U.PORTO

FEUP FACULDADE DE ENGENHARIA
UNIVERSIDADE DO PORTO

OTIMIZAÇÃO DA REMOÇÃO DE *PHOTORESISTS* NO PROCESSO eWLB NA INDÚSTRIA DE SEMICONDUTORES

DIANA ESPERANÇA VIRGÍLIO CARDOSO

Dissertação realizada no âmbito do

Mestrado Integrado em Engenharia Metalúrgica e de Materiais

Orientador: Professor Doutor José Carlos Magalhães Duque da Fonseca

Orientador na empresa: Dr.ª Elsa Pereira

nanium®

Julho 2014

CANDIDATO	Diana Esperança Virgílio Cardoso	*Código*	200906561
TÍTULO	Otimização da remoção de *photoresists* no processo eWLB na indústria de semicondutores		
DATA	25 de Julho de 2014 – 15h30		
LOCAL	Faculdade de Engenharia da Universidade do Porto - Sala F103		

JÚRI	*Presidente*	Professor Doutor Fernando Jorge Mendes Monteiro	DEMM/FEUP
	Arguente	Professor Doutor Sérgio Dinis Teixeira de Sousa	DPS/EEUM
	Orientador	Professor Doutor Sérgio Dinis Teixeira de Sousa	DEMM/FEUP

RESUMO

O foco da dissertação incidiu na otimização do processo de remoção de *photoresists* na NANIUM, através do estudo dos parâmetros de processo de *wet etching*. Foram ainda estudadas duas soluções alternativas à solução atualmente utilizada em *wet etching*, também com vista à redução de custos deste processo.

Ambas as soluções alternativas testadas foram desconsideradas no fim do estudo realizado, por não irem de encontro ao objetivo proposto, uma por não demonstrar eficácia no processo e outra por não conceder a redução de custos desejada.

O estudo dos parâmetros de processo de *stripping* permitiu definir processos otimizados que representam uma redução de custos entre 49 a 60 %. Os testes realizados a estes novos processos demonstram resultados positivos.

O trabalho futuro a realizar consistirá na avaliação dos resultados dos testes realizados para avaliação de possíveis falhas. Caso não se verifique um aumento de falhas em relação ao processo de referência será realizada uma experiência de confirmação em produção e posterior implementação do processo otimizado.

Palavras-chave: *Stripping*, *Wet etching*, Otimização de processo

ABSTRACT

This thesis focused on the optimization of photoresists etching at NANIUM, through the study of wet etching process parameters. Two etchants were also studied as an alternative for the current etchant, as an additional solution for cost reduction within this process.

Both alternative etchant were disregarded at the end of this study, since they did not fill the initial objective, either by not being an effective etchant or by not providing the needed cost reduction.

The study regarding the process parameters enabled setting optimized stripping procedures which represent a cost reduction between 49 to 60 %. Tests performed with these new procedures reveal positive results.

Future work to be carried out will consist in evaluating the tests results for the evaluation of potential failures. If these tests do not show an increased number of failures when comparing to the standard process then it will be carried a confirmation experiment in production and subsequent implementation of the optimized process.

Keywords: Stripping, Wet etching, Process optimization

AGRADECIMENTOS

Agradeço ao Professor Doutor José Carlos Fonseca pelo apoio cedido durante este trabalho.

A todas as pessoas na NANIUM que contribuíram para a concretização deste trabalho. À minha orientadora, Elsa Pereira, e à Cláudia Heitor, por todo o apoio, paciência e disponibilidade cedidos. A todos os engenheiros da NANIUM que de alguma forma me deram a formação necessária para a realização deste trabalho. Aos técnicos da área de wet pelo apoio durante as experiências na linha de produção. Por fim, aos meus colegas da NANIUM, em particular à Raquel Pinto e à Ana Santos pelo companheirismo e apoio moral. À Marta Santos por toda a disponibilidade.

A todos os meus colegas e amigos que fiz no MIEMM, por todo o companheirismo demonstrado nestes últimos 5 anos. Um sincero obrigado por tornarem estes últimos anos muito mais do que uma formação académica.

Agradeço à FEUP, nomeadamente ao DEMM e aos seus docentes, por todo o apoio e disponibilidade aos estudantes do MIEMM, que tantas vezes falha no ensino superior.

A todos os meus amigos que direta ou indiretamente me ajudaram durante este período. Em especial, àqueles que a distância me impede de ver mais vezes.

Ao Vasco, que desde o primeiro dia me incentivou e apoiou incondicionalmente.

Aos meus irmãos, por toda a cumplicidade e por serem os maiores responsáveis pelo meu crescimento pessoal.

Por fim, agradeço aos meus pais, por todos os sacrifícios que fizeram para que eu pudesse atingir os meus objetivos pessoais e profissionais. E por, mesmo longe, conseguirem estar sempre comigo.

ÍNDICE

Lista de figuras x

Lista de tabelas xiv

Lista de acrónimos xvi

Glossário xviii

1. Introdução 1

2. Apresentação da NANIUM 5

3. Tecnologia eWLB – *embebbed Wafer Level Packaging* 7

3.1. Processo eWLB da NANIUM 8

3.2. Principais processos da etapa de redistribuição 14

3.2.1. Litografia 14

3.2.2. Deposição por pulverização catódica 16

3.2.3. Eletrodeposição 17

4. *Etching* 18

4.1. *Dry Etching* 20

4.2. *Wet etching* 21

4.2.1. *Wet etching* em metais 22

4.2.2. *Wet etching* em polímeros 22

4.2.2.1. *Strippers* utilizados na indústria dos semicondutores 23

5. Materiais e Métodos 24

5.1. Localização da etapa de *wet etching* no processo eWLB 24

5.2. Materiais utilizados 25

5.2.1. *Photoresists* 25

5.2.2. *Strippers* 26

5.3. Procedimento 26
5.3.1. Otimização por alteração do *stripper* atual 28
5.3.2. Otimização por alteração dos parâmetros de processo 30
5.3.3. Criação e validação do processo de *stripping* otimizado 32
6. Resultados e Discussão 34
6.1. Otimização por alteração do *stripper* atual 34
6.2. Otimização por alteração dos parâmetros de processo 39
6.3. Criação e validação do processo de *stripping* otimizado 45
7. Conclusões 54
Referências bibliográficas 56
Anexo A – Método de Taguchi: metodologia aplicada 60

LISTA DE FIGURAS

Figura 1 - Diferentes ICs sobre um circuito impresso [8]. 1
Figura 2 – Sala limpa da NANIUM [13].....2
Figura 3 – Exemplos de w*afers* (a) *Wafer* de 300 mm de diâmetro (b) *Die* destacado de uma *wafer* [17, 18].....3
Figura 4 – Percurso histórico da NANIUM [24].....5
Figura 5 – Instalações da NANIUM [24].....6
Figura 6 – Esquema representativo da tecnologia FOWLP [33, 36]. 7
Figura 7 - Diferentes etapas do processo de produção eWLB [37].....8
Figura 8 – Os *die*s provenientes da *wafer* de *front-end* (à esquerda) são colocados num suporte metálico previamente revestido com um adesivo (a meio), com um determinado espaçamento entre si (à direita) [37]. 9
Figura 9 – Sobre os *dies* aderidos ao suporte metálico (à esquerda) é vertido o MC (a meio), que após compressão, vácuo e cura dará origem à *wafer* reconstruída (à direita) [37].....9
Figura 10 – Esquema do método de *spin coating* [37]. 10
Figura 11 – Pormenor de uma *wafer* reconstruída após eletrodeposição e *wet etching* [37]... 11
Figura 12 – *Dies* do processo eWLB após a soldadura das bolas de solda: (a) vários *dies* na *wafer* reconstruída (b) um *die* em pormenor [37]. 12
Figura 13 – Esquema dos passos do processo de eWLB da NANIUM [16]..... 13
Figura 14 – Passos do processo de litografia (excluindo o alinhamento do padrão) [38]. 15
Figura 15 – Esquema da técnica de pulverização catódica. 16
Figura 16 – Esquema da técnica de eletrodeposição do cobre sobre a superfície metálica de uma *wafer* [42]. 17
Figura 17 – Evolução dos perfis obtidos com os processos de *etching* isotrópico (à esquerda) e idealmente anisotrópico (à direita) [44]. 19
Figura 18 - Esquema dos passos do processo de eWLB (a) após eletrodeposição (b) após *stripping* (c) após *wet etching* de cobre (d) após *wet etching* de titânio..... 20
Figura 19 – Esquema representativo da *wafer* após os processos de eletrodeposição (à esquerda) e *wet etch* (consiste em *stripping*, Cu *etch* e Ti *etch*) [16]. 24
Figura 20 – Composições químicas do solvente PGMEA e da resina Novolac [68, 69]. 25

Figura 21 - Espectro FTIR em transmitância de uma resina epoxídica [66]. 25
Figura 22 – Etapas do estudo realizado. 27
Figura 23 – Aspeto de uma *wafer* BS após a operação de eletrodeposição. 27
Figura 24 – Sequência de operações para avaliação do *strip rate* dos s*trippers* A e S..... 29
Figura 25 – Aspeto de uma *wafer* BS após remoção completa de *photoresist* através da operação de *stripping*..... 29
Figura 26 – Deposição de *stripper* em (a) *stream* (b) *spray*, através do braço de deposição (a branco). 29
Figura 27 – Passos realizados no processo de *stripping* para avaliação do *strip rate* dos *strippers* A e S. 30
Figura 28 – Aspeto da *wafer* durante a inspeção visual do teste preliminar realizado com acetona..... 34
Figura 29 – Aspeto da *wafer* durante a inspeção visual do teste preliminar realizado com o *stripper* S. 35
Figura 30 - Inspeção ao microscópio ótico do teste preliminar com os *strippers* alternativos. O cobre aparece com uma cor acastanhada, enquanto o *photoresist* e a camada de *seed layer* apresentam uma cor amarelada. Todas as figuras são apresentadas com a mesma ampliação. 36
Figura 31 – Massa de *photoresist* 1 na *wafer* em função do número de deposições de *stripper* S. 38
Figura 32 – Massa de *photoresist* 1 na *wafer* em função do número de deposições de s*tripper* A. 38
Figura 33 – Imagem do (a) *stripper* A (b) *stripper* S, durante a execução do método da gota de séssil. 39
Figura 34 - Massa de *photoresist* 2 na *wafer* em função do número de deposições de s*tripper* A. 40
Figura 35 – Influência da velocidade de rotação (rpm) durante a deposição em *spray* de s*tripper* A sobre o *photoresist* 1. 41
Figura 36 - Influência da velocidade de varrimento durante a deposição em *spray* de s*tripper* A sobre o *photoresist* 1..... 41
Figura 37 – Efeito da interação tempo de *soak* e velocidade de rotação na massa de *photoresist* 1 removida. 43
Figura 38 – Variação da massa de *photoresist* removida em função do tempo de *soak*. 44

Figura 39 – *Wafer* após *wet etching* realizado com o PO2, mostrando resíduos de *seed layer* (a amarelo) entre as estruturas de cobre (a castanho). As figuras são apresentadas com a mesma ampliação. 47
Figura 40 – *Wafer* após *wet etching* realizado com o PO1. É apenas visível *seed layer* entre os vários *packagings* (à esquerda). A figura à esquerda é apresentada com o dobro da ampliação da figura à direita. 48
Figura 41 – Comparação do *leakage* medido após os vários processos de *stripping* executados. 49
Figura 42 – Quantidade e tipo de defeitos identificados após inspeção automatizada, segundo o processo de *stripping* executado. 50
Figura 43 – (a) Mapa de distribuição de defeitos na *wafer* submetida ao PO2. Os defeitos por resíduos de *seed layer* estão marcados a castanho (b) Imagem obtida através da inspeção automatizada, demonstrando resíduos de *seed layer* entre as estruturas de cobre, na *wafer* submetida ao PO2. 50
Figura 44 – Espessura de cobre depositado, segundo o processo de *stripping* executado. 51
Figura 45 – *Yield* após etapa a redistribuição, segundo o processo de *stripping* executado.... 52
Figura 46 – Comparação dos espectros FTIR em transmitância de todas as amostras testadas. 53
Figura 47 – Gráfico linear da matriz L_4. 63
Figura 48 – Efeito do tempo de *soak* (à esquerda) e da velocidade de rotação (à direita) na massa de *photoresist* removida..... 65
Figura 49 – Efeito da interação tempo de *soak* e velocidade de rotação na massa de *photoresist* 1 removida..... 67

LISTA DE TABELAS

Tabela 1 – Condições testadas no teste preliminar dos *strippers* alternativos. 28
Tabela 2 – Velocidades de rotação e varrimento estudadas durante a deposição em *spray* do *stripper* A. 31
Tabela 3 – Fatores e níveis selecionados para o estudo da operação de *soak* através do método de Taguchi. 31
Tabela 4 – Matriz ortogonal L_4 do método de Taguchi. 32
Tabela 5 – Tabela das respostas médias obtidas através do método de Taguchi. 42
Tabela 6 – Respostas médias obtidas para os dois níveis dos fatores estudados através do método de Taguchi. 43
Tabela 7 - Comparação dos processos otimizados de *stripping* em relação ao processo de referência. 45
Tabela 8 – Fatores e níveis selecionados para o estudo da operação de *soak* através do método de Taguchi. 61
Tabela 9 – Matriz ortogonal L_4 do método de Taguchi. 62
Tabela 10 – Plano de experiências executadas na aplicação do método de Taguchi. 63
Tabela 11 – Resultados obtidos após realização das experiências idealizadas. 64
Tabela 12 – Tabela das médias, construída segundo o método de Taguchi. 65
Tabela 13 – Respostas médias obtidas para os dois níveis dos fatores estudados. 66

LISTA DE ACRÓNIMOS

ANOVA	*Analysis Of Variance*
	(Análise de variâncias)
ATR	*Attenuated Total Reflection*
BS	*Blank Silicon*
eWLB	*Embedded Wafer Level Ball Grid Array*
FMEA	*Failure Modes and Effects Analysis*
	*(*Análise modal de falhas e efeitos)
FOWLP	*Fan-Out Wafer Level Package*
FTIR	*Fourier Transform Infrared Spectroscopy*
	(Espectroscopia de infravermelho com transformada de Fourier)
IC	*Integrated Circuit*
	(Circuito Integrado)
I/O	*Inputs/Outputs*
	(Entradas/Saídas)
KOH	Hidróxido de sódio
MC	*Mold Compound*
NMP	N-metil-2-pirrolidona
OSAT	*Outsourced Semiconductor Assembly and Test*
PCB	*Printed Circuit Board*
	(Placa do circuito impresso)
PGMEA	*Propylene Glycol Monomethyl Ether Acetate*
	(1-metoxi–2-propril acetato)
PVD	*Physical Vapour Deposition*
	(Deposição física por vapor)
RIE	*Reactive Ion Etching*
UV	Ultravioleta
WLP	*Wafer Level Packaging*

GLOSSÁRIO

Back-end

Processo que engloba o *dicing* da *wafer* em *chips* individuais, o *packaging* e os testes dos circuitos integrados criados. Ver *dicing*, *wafer*, *packaging*, circuito integrado.

Circuito Integrado

Circuito elétrico avançado de pequenas dimensões (na ordem dos milímetros), composto por diferentes componentes eletrónicos tais como transístores, resistências, condensadores e díodos. Frequentemente denominado de *chip* ou *microchip*.

Crosslinking

Ligações químicas cruzadas entre diferentes cadeias de polímeros.

Developer (litografia)

Solução utilizada em litografia com função de remover (revelar) o *photoresist*. Ver litografia, revelação, *photoresist*.

Dicing

Processo de corte que permite a individualização da *wafer* em *die*s. Ver *wafer*, *die*, singularização.

Die

Pequenos blocos individuais de uma *wafer*, individualizados através do processo de *dicing*. Um ou mais *die*s dão origem a um circuito integrado. Ver *wafer*, *dicing*, circuito integrado.

Dielétrico (litografia)

Photoresist que atua como isolante elétrico. Ver litografia, *photoresist*.

Dry etching

Processo de remoção de material que utiliza um gás ou plasma como *etchant*. Ver *etching*, *etchant*, *wet etching*.

Eletrodeposição

Processo de revestimento em que um metal é depositado na superfície de materiais condutores. O mesmo que *plating*.

Etchant

Agente promotor da remoção seletiva de material durante o processo de *etching*. Pode consistir num líquido, num gás ou num plasma. Ver *etching*, *dry etching*, *wet etching*.

Etching

Processo seletivo de remoção de materiais, usualmente divido em *wet etching* e *dry etching*. Ver *etchant*, *dry etching*, *wet etching*.

***Etching* anisotrópico**

Processo de *etching* no qual a taxa de remoção de material difere de acordo com a direção. Ver *etching*.

***Etching* isotrópico**

Processo de *etching* no qual a taxa de remoção se mantém constante em todas as direções. Ver *etching*.

Etch rate

Taxa de remoção de material, promovida por um determinado *etchant*, durante o processo de *etching*. Ver *etching*, *etchant*.

eWLB *(Embedded Wafer Level Ball Grid Array)*

Tecnologia de *packaging* eletrónico. Ver *packaging*.

Front-end

Processo de fabrico dos circuitos integrados, sobre uma *wafer*, a partir de uma *wafer* "limpa". Os processos de *dicing* e *packaging* dos circuitos integrados não são incluídos no processo de *front-end*. Ver *back-end*, *wafer*, circuito integrado, *dicing*, *packaging*.

Leakage

Perda não intencional de corrente elétrica entre diferentes estruturas do *chip*. Ver circuito integrado.

Litografia

Processo usado na microfabricação de padrões de filmes finos. É utilizada uma luz para transferir um padrão geométrico num polímero sensível à luz. Uma série de tratamentos químicos posteriores revelam o padrão desenhado, permitindo depois a deposição de um novo material apenas nas zonas desejadas. Também denominado por fotolitografia.

Máscara (*etching*)

Material depositado sobre o material a remover, que define as zonas onde deverá ocorrer o *etching*. Ver *etching*.

Máscara (litografia)

Estrutura da dimensão de uma *wafer*, que contém o padrão a transferir para o *photoresist*, durante o processo de litografia. Ver *wafer*, *photoresist*, litografia.

Mold compound

Polímero utilizado no *packaging* dos *chips*. Ver *packaging*, circuito integrado.

Overetching

Execução do processo de *etching* durante mais tempo que o necessário. Ver *etching*.

Package

Estrutura física, tipicamente constituída por polímeros, que protege o *chip* de danos físicos e corrosão, mantendo as suas propriedades térmicas e elétricas. O *package* é obtido através do processo de *packaging*. Ver circuito integrado, *packaging*.

Packaging

Processo de empacotamento dos *chips*. Ver circuito integrado, *package*

Photoresist

Resina fotossensível (sensível à luz), tipicamente de natureza orgânica, utilizada no processo de litografia. Frequentemente denominado apenas por *resist*. Ver litografia.

Pick & place

Processo de agarrar um objeto num determinado local e colocá-lo noutro local. Este é usualmente um processo automatizado realizado por um braço robótico.

Plasma

Gás ionizado em cujas concentrações de partículas carregadas com carga positiva e negativa são aproximadamente iguais. Considerado o quarto estado físico da matéria.

Pulverização catódica

Método de deposição de filmes finos, que envolve a remoção de um material do alvo e a sua deposição num substrato. O mesmo que *sputtering*.

Retículo

Estrutura de dimensão inferior a uma *wafer*, com parte do padrão a transferir para o *photoresist* durante o processo de litografia. Ver *wafer*, *photoresist*, litografia.

Revelação (litografia)

Processo de remoção do *photoresist* exposto, através de uma solução denominada por *developer*. Ver litografia, *photoresist*, *developer*.

Salas limpas

Sala com um ambiente controlado utilizada para a manufatura dos semicondutores. Este tipo de sala é desenhada para possuir um reduzido número de partículas no ar, evitando assim a falha dos componentes eletrónicos por contaminação por partículas. O mesmo que *cleanroom*.

Seed layer

Um ou mais filmes finos de materiais metálicos que tem como função ser o substrato para as ligações cobre a serem construídas posteriormente por eletrodeposição.

Seletividade (*etching*)

Taxa de remoção (*etch rate*) do material a remover em relação ao *etch rate* dos restantes materiais utilizados no *chip*, para um determinado *etchant*. Ver *etching*, *etch rate*, circuito integrado, *etchant*.

Singularização

Individualização da *wafer* em *chips*, através do processo de *dicing*. Ver *wafer*, circuito integrado, *dicing*.

Soft-baking (litografia)

Tratamento térmico de cura a baixa temperatura do *photoresist* utilizado durante o processo de litografia. Ver litografia, *photoresist*.

Spin coating

Técnica para a obtenção de camadas finas e uniformes em substratos planos. Consiste na rotação de uma *wafer* a grande velocidade durante e deposição de uma determinada quantidade de material sobre o substrato.

Stripping

Processo de remoção do *photoresists* através de *etching*. Ver *etching*, *photoresist*, *Stripper*.

Stripper

Agente promotor da remoção seletiva de *photoresists* durante o processo de *stripping*. Ver *stripping*, *photoresist*.

Strip rate

Taxa de remoção de *photoresist*, promovida por um determinado *stripper*, durante o processo de *stripping*. Ver *stripping*, *stripper*.

Substrato

Material físico sobre o qual um determinado processo ou etapa do processo está a ser realizada.

Teratogénico

Substância que produz malformações a um ser vivo durante o estágio embrionário ou fetal.

Underetching

Distância entre a extremidade da máscara utilizada em *etching* e a extremidade do material removido debaixo da máscara. O mesmo que *undercutting*. Ver *etching*, máscara (*etching*).

Wafer

Fina fatia de material semiconductor monocristalino, tipicamente silício, na qual os circuitos integrados são construídos. Ver circuitos integrados

Wafer-Level Packaging

Processo de *packaging* definido por originar *package*s com uma área inferior a 120 % da área do *die* nele contido e pelo *packaging* ser produzido sobre a *wafer* antes de ocorrer o *dicing* da mesma. Ver *packaging*, *package*, *dicing*, *wafer*.

Wet etching

Processo de remoção de material que utiliza um líquido como *etchant*. Ver *etching*, *etchant*, *dry etching*.

Yield

Percentagem de *chips* conformes obtidos após um processo, etapa de processo, inspeção ou teste.

1. INTRODUÇÃO

A sociedade atual encontra-se dependente de pequenos componentes de microeletrónica, denominados por circuitos integrados (ICs, do inglês *Integrated Circuits*). Os circuitos integrados encontram-se em praticamente todos os tipos de aplicações eletrónicas: nos computadores, telemóveis, eletrodomésticos, equipamento médico, na indústria da manufatura ou em automóveis [1-5].

Um circuito integrado (figura 1), frequentemente denominado de *chip* ou *microchip*, consiste num circuito elétrico avançado, composto por diferentes componentes eletrónicos, tais como transístores, resistências, condensadores e díodos. As diferentes configurações destes componentes essenciais permitem a construção de ICs com diferentes funções [2, 6, 7].

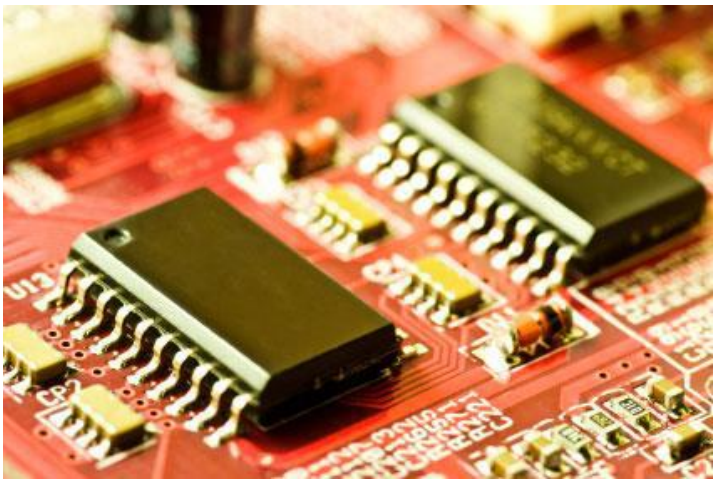


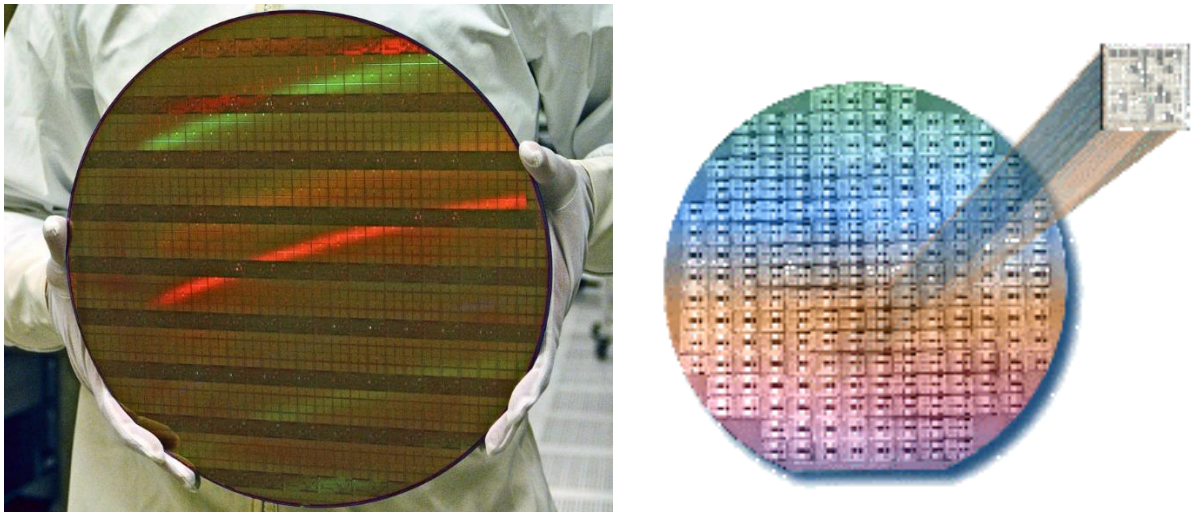
Figura 1 - Diferentes ICs sobre um circuito impresso [8].

De acordo com a lei de Moore, o número de transístores num *chip* duplica a cada dois anos, de modo a aumentar a performance e funcionalidade dos *chips*. Como resultado, o tamanho dos componentes eletrónicos num IC diminuem de tamanho, sendo que hoje em dia são produzidos ICs contendo transístores na ordem dos 20 nm de tamanho [4, 9, 10]. Desta forma, o processo de manufatura dos ICs tem de lidar com elementos de dimensão muito reduzida e qualquer defeito ou contaminante é crítico para o bom funcionamento do *chip*. Por estas razões os *chips* são produzidos em salas limpas (do inglês *cleanroom*), as quais possuem

uma quantidade máxima de partículas externas, consoante a classe de sala limpa definida pela ISO 14644-1. A redução de partículas é alcançada pela utilização de filtros no sistema de ar e de um vestuário específico para evitar a libertação de partículas por parte dos trabalhadores (figura 2) [2, 4, 11, 12].

Figura 2 – Sala limpa da NANIUM [13].

O processo de manufatura de ICs é normalmente dividido em duas fases: *front-end* e *back-end*. A fase denominada por *front-end* consiste na fabricação de *wafers* e a criação dos diferentes componentes eletrónicos sobre as mesmas. As *wafers* utilizadas nesta etapa são fatias de reduzida espessura de um material semicondutor monocristalino, tipicamente o silício. A fase de *back-end* consiste na individualização da *wafer* em pequenos blocos individuais, denominados de *dies* (figura 3) e no seu empacotamento, um processo denominado por *packaging*. Um *package* (estrutura física que envolve o IC) dá origem a um *chip*, o qual pode conter um ou mais *dies*. O *package* tem quatro funções essenciais, sendo elas a proteção contra danos físicos e corrosão, a condução do sinal elétrico entre o *chip* e o exterior, o suporte físico do *chip* e a dissipação de calor [2, 4, 5, 14-16].



(a) (b)

Figura 3 – Exemplos de w*afers* (a) *Wafer* de 300 mm de diâmetro (b) *Die* destacado de uma *wafer* [17, 18].

Existem inúmeros tipos de *package* na indústria dos semicondutores, sendo um deles o eWLB (*embedded Wafer Level Ball Grid Array)*. Neste tipo de tecnologia, a *wafer* proveniente do *front-end* é singularizada e os *dies* obtidos são envolvidos por um polímero (MC, do inglês *Mold Compound*), normalmente epóxi. O processo de *back-end* é então desenvolvido a partir de uma *wafer* dita reconstruída, a partir do qual será possível obter *chips* com uma área superficial superior à área dos *dies*, devido à introdução do MC [13, 16, 19, 20]. O processo de eWLB será explicado em detalhe no capítulo 3 deste documento.

Para além de ter a função de proteger o *die*, o MC serve ainda de suporte para o desenho de ligações elétricas secundárias, que asseguram a comunicação entre o *die* e o exterior. Estas ligações elétricas são produzidas com base em processos de litografia (também denominados por fotolitografia), deposição por pulverização catódica e eletrodeposição. Ao cobre depositado para a criação das ligações elétricas serão soldadas bolas de solda, responsáveis pelo contacto entre o *chip* e outros componentes eletrónicos [16].

O desenho das estruturas de cobre é assegurado pela utilização de um material fotossensível, denominado de *photoresist*, durante o processo de litografia. Sendo o desenho das ligações elétricas a única função do *photoresist*, este é tido com um material de sacrifício, sendo necessário removê-lo após a eletrodeposição do cobre. A remoção incorreta deste material impedirá a posterior remoção dos metais depositados por pulverização catódica, dando

origem a perdas não intencionais de corrente elétrica (*leakage*) entre as várias ligações elétricas existentes no *chip*, podendo torná-lo inutilizável.

O processo de remoção seletiva de material, denominado de *etching*, é assim um processo crítico em qualquer indústria de semicondutores, podendo ser realizado através de gases, plasma (*dry etching*) ou soluções líquidas (*wet etching*). O *wet etching* é um processo amplamente utilizado por possuir uma boa seletividade para a maioria dos materiais, aliado a um baixo custo, quando comparado com o processo de *dry etching*. Apesar disto, a constante pressão do mercado para a diminuição do preço dos *chips* requer uma otimização contínua dos processos, de forma a diminuir os seus custos [4, 21-23].

O foco deste trabalho incidiu na otimização do processo de remoção de *photoresists* na NANIUM, através do estudo dos parâmetros de processo de *wet etching*. Foram ainda estudadas alternativas à solução utilizada, que poderão trazer vantagens económicas ao processo. Sendo esta a operação de *wet etching* com maior custo associado, a sua otimização terá como consequência uma redução significativa do custo associado ao processo descrito. No entanto, sendo o objetivo a introdução de uma mudança ao processo estabelecido, foi essencial a realização de uma análise modal de falhas e efeitos (FMEA, do inglês *Failure modes and effects analysis*), de modo a prever e controlar a possível introdução de falhas no produto.

Dado o contexto empresarial em que foi desenvolvida esta dissertação, e pelas características confidenciais do mesmo, foi decidido omitir alguma informação não essencial à compreensão do trabalho desenvolvido.

2. APRESENTAÇÃO DA NANIUM

A NANIUM é uma empresa com mais de 17 anos de experiência no processo de *back-end* de semicondutores, fornecendo serviços na área do fabrico, montagem, desenvolvimento, testes e engenharia de produto [24].

A empresa foi fundada em 1996 como Siemens Semiconductors Backend. Em 1999 esta área da Siemens foi cindida da empresa mãe, sendo criada a Infineon Technologies. Tendo como base a produção de memórias, esta divisão da Infineon tornou-se em 2006 uma empresa distinta com o nome Qimonda. Após a crise no mercado das memórias, e com a dissolução da Qimonda, a NANIUM nasce como uma companhia independente em fevereiro de 2010 (figura 4) [25-27].

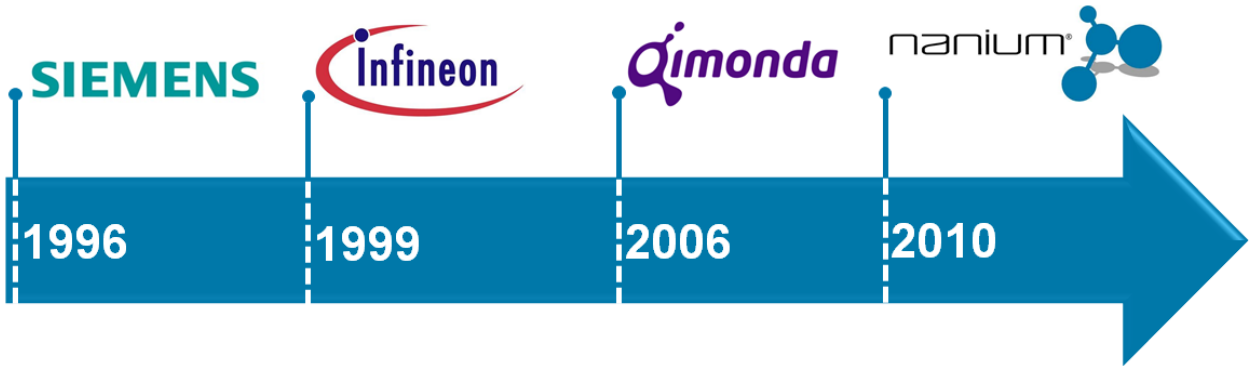


Figura 4 – Percurso histórico da NANIUM [24].

O nome NANIUM surge do prefixo de origem grega "nano", que se refere a objetos de dimensão reduzida, e do sufixo de origem latina "ium", que é utilizado em vários termos científicos, como são exemplo os elementos químicos. O logotipo da empresa sugere ainda a estrutura atómica cristalina, como símbolo de união entre diferentes áreas [24].

A NANIUM está localizada em Vila do Conde, no norte de Portugal, possuindo instalações com tecnologia de ponta, que representam um investimento acumulado superior a mil milhões de euros. As instalações da empresa (figura 5) ocupam uma área total de 155 000 m^2, dos quais 20 600 m^2 são destinados a salas limpas com classificação de 1K (ISO 6), 10K (ISO 7) e 100K (ISO 8) [11, 12, 16, 24] .

Com cerca de 500 colaboradores e mais de 200 milhões de componentes eWLB produzidos, a NANIUM é a maior fornecedora de serviços externos de montagem e testes de semicondutores (OSAT, do inglês *Outsourced Semiconductor Assembly and Test*) na Europa e uma líder mundial na produção da tecnologia *wafer-level packaging* (WLP) em *wafer*s de 300 mm [24, 28-30].

Figura 5 – Instalações da NANIUM [24].

3. TECNOLOGIA eWLB – *EMBEBBED WAFER LEVEL PACKAGING*

Todos os circuitos integrados passam pelo processo de *back-end*, que tem como objetivo o *packaging* do *chip*, de modo a protegê-lo contra as agressões ambientais, tais como humidade, corrosão e danos físicos. O *package* produzido deve ainda ter capacidade para *resist*ir às variações de temperatura a que estará sujeito, mantendo a condutividade elétrica necessária a um bom desempenho [4, 16, 31].

Nos últimos 5 anos, a tecnologia de *Fan-Out Wafer Level Package* (FOWLP), também denominada por eWLB, foi referida como um processo de *package* promissor no mundo da microeletrónica. O eWLB consiste no aumento da área do *package* em relação à área do *die* através da utilização de um MC de resina epóxi (figura 6). Este processo é visto como o futuro dos *chips* por permitir, a preços competitivos, um maior número de I/O sem comprometer a fiabilidade da placa do circuito impresso (PCB, do inglês *Printed Circuit Board*) e por permitir a transição para os *chips* 3D [32-35].

Figura 6 – Esquema representativo da tecnologia FOWLP [33, 36].

No processo de eWLB a *wafer* proveniente do *front-end* é individualizada em *die*s através de uma operação denominada por *dicing*. Os *die*s produzidos são depois reorganizados com um determinado espaçamento e embebidos por um polímero, o MC, criando uma *wafer* reconstruída. O aproveitamento da área extra, proporcionada pelo MC, é realizado através da criação de ligações elétricas, do *chip* até à superfície da *wafer*, através de processos como a litografia, a deposição por pulverização catódica e a eletrodeposição. O contacto do *die* ao exterior é garantido pelas bolas de solda que são colocadas sobre os contactos de cobre das

ligações elétricas criadas. No fim deste processo procede-se à singularização dos *die*s da *wafer* reconstruída, obtendo-se por fim pequenos *chips* protegidos pelo *packaging* eletrónico [16, 37].

3.1. Processo eWLB da NANIUM

A NANIUM produz vários tipos de *wafer-level packaging* (WLP), sendo uma das principais produtoras mundiais de eWLB. O processo eWLB está dividido, sumariamente, em 4 áreas distintas: preparação da *wafer*, reconstituição, redistribuição e ligação das bolas de solda com posterior singularização (figura 7) [16, 37].

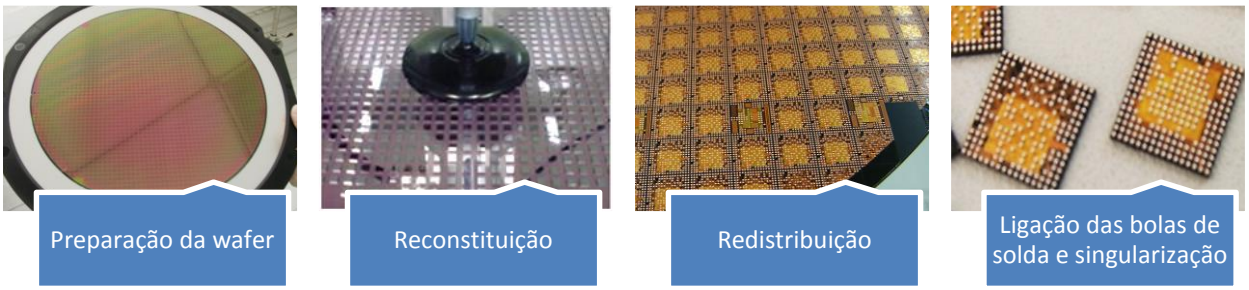


Figura 7 - Diferentes etapas do processo de produção eWLB [37].

As *wafer*s provenientes do *front-end* são recebidas na área de preparação da *wafer*. O processo eWLB é iniciado com o desbaste da zona não ativa da *wafer*, de modo a reduzir a sua espessura. A *wafer* é então colocada sobre um suporte (adesivo) e submetida ao *dicing*, que individualiza a *wafer* em diversos *die*s [16, 37].

Nesta altura as *wafer*s entram na zona de reconstituição. Os *die*s que sejam reconhecidos como estando em boas condições são colocados, por *pick & place*, num suporte metálico previamente revestido com um adesivo (figura 8). Os *die*s são colocados com a parte ativa para baixo e com um determinado espaçamento entre si, o qual dará origem à área extra para I/O, típica da tecnologia FOWLP. Este conjunto é curado, de modo a promover a adesão dos *die*s ao adesivo [16, 37].

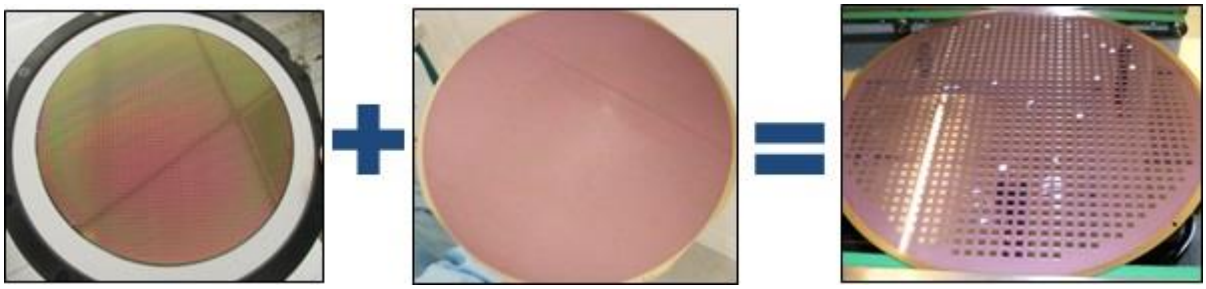


Figura 8 – Os *dies* provenientes da *wafer* de *front-end* (à esquerda) são colocados num suporte metálico previamente revestido com um adesivo (a meio), com um determinado espaçamento entre si (à direita) [37].

De seguida procede-se à moldagem da *wafer*, no qual o MC é vertido sobre os *dies* aderidos ao suporte metálico. O MC é forçado a espalhar-se por toda a área do suporte metálico através de compressão e vácuo, garantido que todos os *dies* são cobertos pelo polímero. Durante esta prensagem o MC sofre uma pré-cura, que é posteriormente concluída num forno. Quando arrefecido, o adesivo e o suporte metálico são removidos, obtendo-se assim uma *wafer* reconstruída, em que os *dies* de silício se encontram embebidos no MC (figura 9) [16, 37].

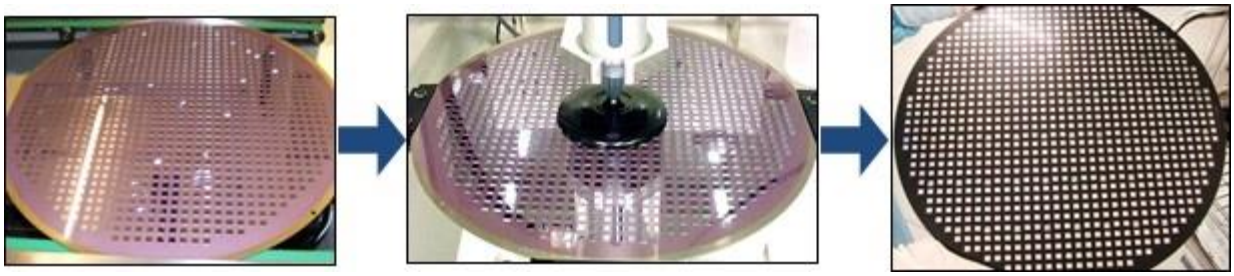


Figura 9 – Sobre os *dies* aderidos ao suporte metálico (à esquerda) é vertido o MC (a meio), que após compressão, vácuo e cura dará origem à *wafer* reconstruída (à direita) [37].

A próxima etapa é a redistribuição, que consiste na construção de vias de distribuição, que asseguram a ligação do *die* ao exterior através das bolas de solda. Esta fase é constituída por três processos base: a litografia, a deposição por pulverização catódica e a eletrodeposição (ver secção 3.2). A etapa da redistribuição é iniciada com tratamentos de plasma, que removem possíveis resíduos que dificultam a adesão e o contacto entre a *wafer* reconstruída e os materiais que serão depositados nos passos seguintes [16, 37].

Seguidamente é depositada a primeira camada de dielétrico sobre a parte ativa da *wafer* moldada, através de *spin coating*. Nesta técnica, uma porção de material líquido, dielétrico e

fotossensível, é colocado no centro da superfície da *wafer*. A *wafer* é então rotacionada e a força centrífuga provoca o espalhamento do líquido por toda a superfície (figura 10) [16, 37].

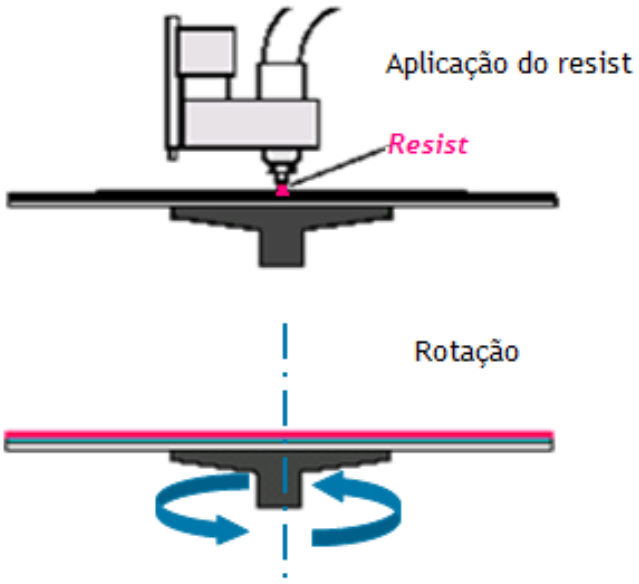


Figura 10 – Esquema do método de *spin coating* [37].

O dielétrico é então submetido ao processo de litografia, onde é exposto a uma luz ultravioleta (UV) que alterará as suas propriedades. A configuração da estrutura elétrica é obtida através de uma máscara alinhada com a *wafer*, que permite expor o dielétrico apenas em áreas bem definidas. Estas áreas expostas são removidas posteriormente por um processo denominado por revelação. Nesta altura, a *wafer* é submetida a mais um processo de cura, para aumentar a robustez do dielétrico que permanece sobre o *die* [16, 37].

O padrão desenhado pela máscara utilizada em litografia garante a exposição dos contactos de alumínio do *die* de silício. Seguidamente é depositada por pulverização catódica a *seed layer* - uma dupla camada de titânio e cobre. O titânio da *seed layer* tem como função evitar a migração de átomos de cobre no alumínio, o que levaria a que não houvesse condução elétrica entre o *die* e o exterior. A *seed layer* garante então que existe uma superfície condutora para a eletrodeposição de cobre, permitindo a posterior adesão das bolas de solda [16, 37].

Uma vez depositada a *seed layer* é realizado um novo passo de litografia que tem como função deixar expostas as áreas de *seed layer* onde será eletrodepositada uma camada de cobre. A eletrodeposição de cobre desenha as vias de distribuição entre os contactos de alumínio e as

bolas de solda a serem colocadas. No fim desta etapa procede-se à remoção, por *wet etching*, do *photoresist* (frequentemente denominado apenas por *resist*) dito de sacrifício, já que este tem apenas como função definir as zonas de eletrodeposição de cobre. Recorrendo também ao *wet etching* remove-se toda a camada de *seed layer* em excesso, que ficou exposta após remoção do *photoresist*. Após o processo de *wet etching* a *seed layer* permanecerá apenas nas zonas onde o cobre foi eletrodepositado, como mostra a figura 11 [16, 37].

A etapa de redistribuição termina com a deposição da segunda camada de dielétrico, de novo através de litografia. Desta vez as zonas expostas exibirão os contactos de cobre onde as bolas de solda irão ser depositadas. Toda a restante área encontrar-se-á isolada com o material dielétrico não exposto [16, 37].

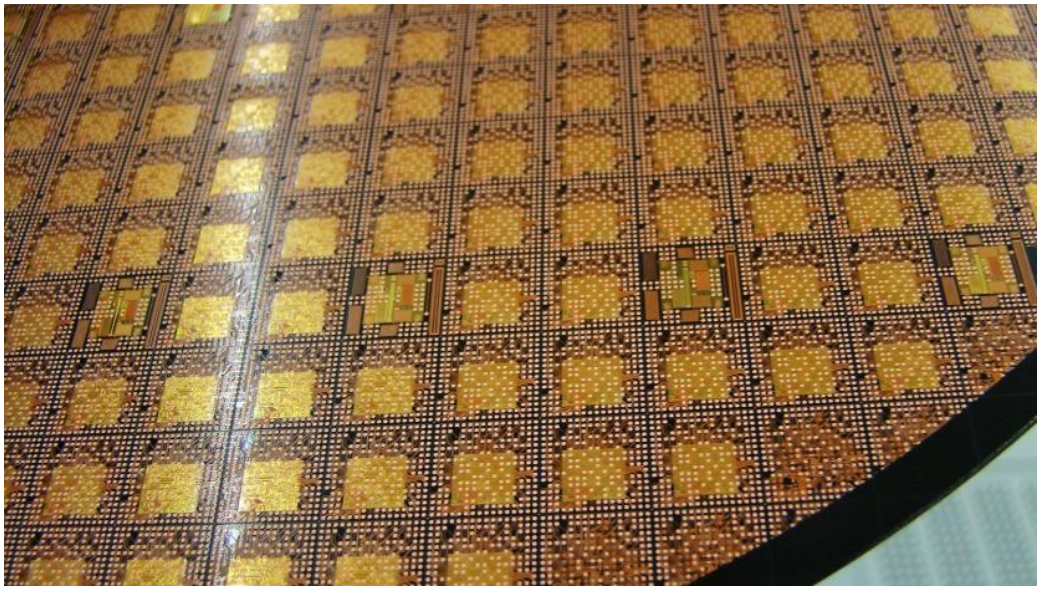
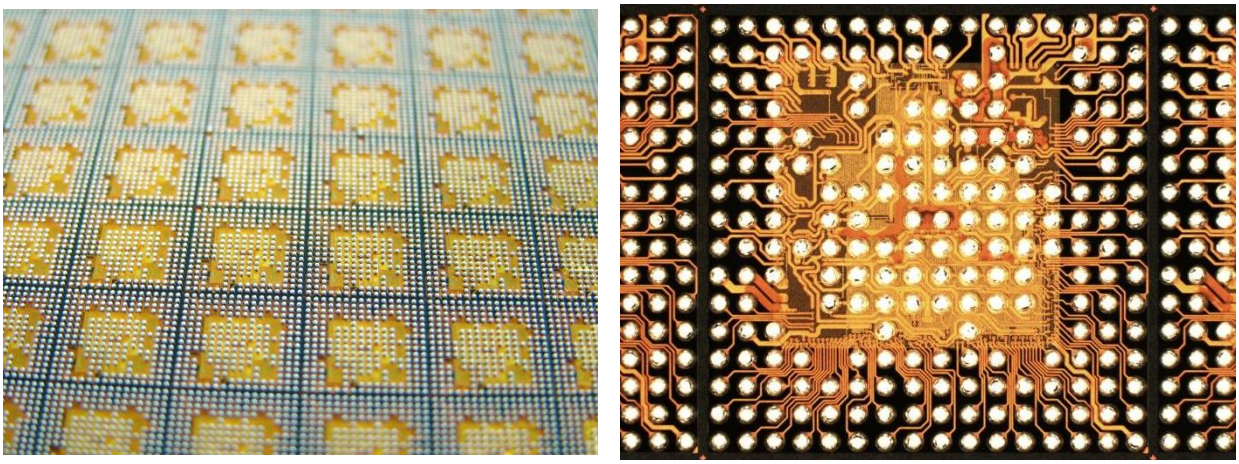


Figura 11 – Pormenor de uma *wafer* reconstruída após eletrodeposição e *wet etching* [37].

Por último, as *wafers* são submetidas à última etapa do processo, a de ligação de bolas de solda com posterior singularização. As bolas de solda têm como função fazer a ligação elétrica entre o interior (*die* de silício) e o exterior do circuito integrado [16, 37].

Neste procedimento é colocado um fluxo pastoso sobre as pequenas aberturas da segunda camada de dielétrico, o qual é constituído por ácido fórmico e um granulado de estanho, prata e cobre. Estes são os metais constituintes das bolas de solda pelo que a deposição deste fluxo, termicamente ativado, vai permitir uma boa ligação das bolas de solda aos contactos de cobre. As bolas de solda são colocadas sobre o fluxo e a *wafer* é submetida a um

ciclo térmico que atinge a temperatura de ativação do fluxo, dando-se nesta altura a soldadura das bolas de solda ao cobre (figura 12). Para finalizar o processo, as *wafers* são singularizadas e marcadas a laser com o código do respetivo produto [16, 37].

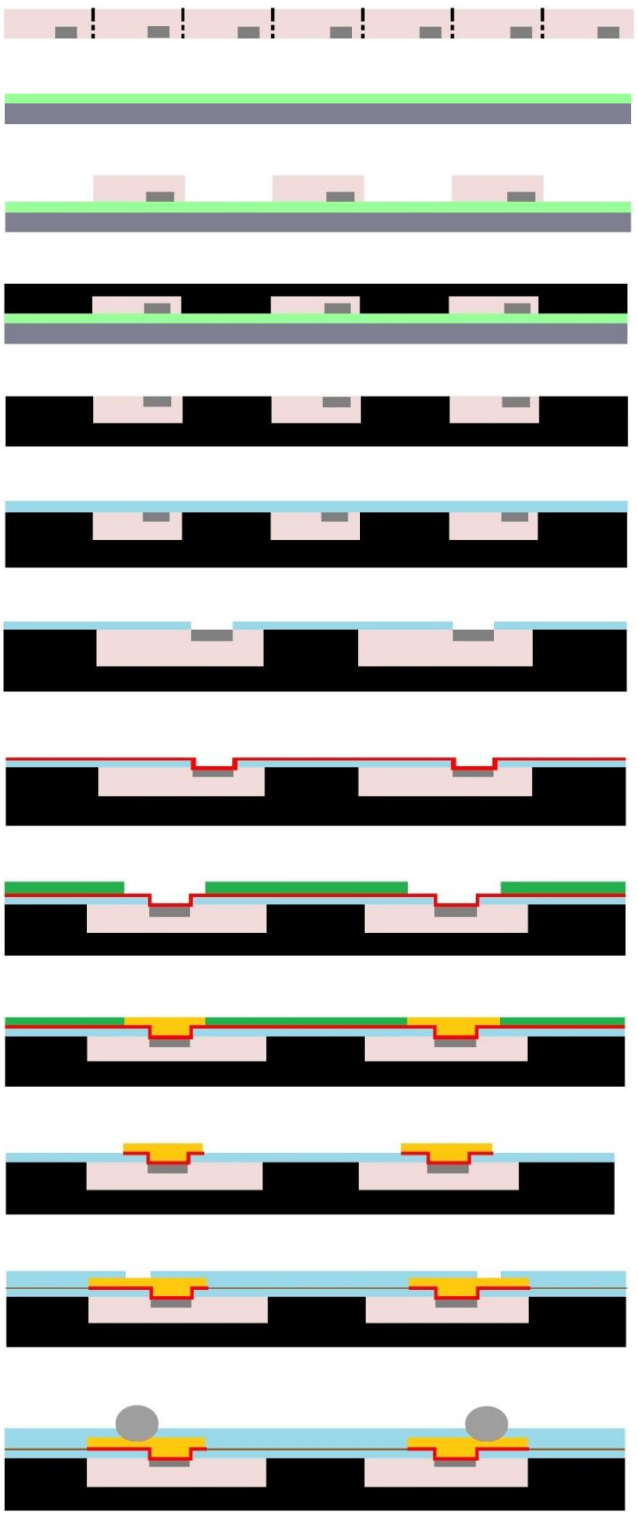


(a) (b)

Figura 12 – *Dies* do processo eWLB após a soldadura das bolas de solda: (a) vários *dies* na *wafer* reconstruída (b) um *die* em pormenor [37].

A figura 13 esquematiza os passos do processo de eWLB acima descritos.

Todo o processo de eWLB tem a ele associado metodologias de metrologia e testes de desempenho que garantem a qualidade do produto produzido [37].



1. *Dicing* da *wafer* de silício.
2. Ligação do adesivo ao suporte metálico.
3. Posicionamento dos *dies* de silício no suporte, por *pick & place*.
4. Moldagem da *wafer*.
5. Remoção do suporte metálico.
6. Deposição da primeira camada de dielétrico através de *spin coating*.
7. Exposição e revelação do dielétrico, mantendo os contactos de alumínio expostos através de litografia.
8. Deposição da *seed layer* (titânio e cobre) através de pulverização catódica.
9. Deposição, exposição e revelação do *photoresist* (através de litografia), mantendo expostas as zonas onde será depositado as vias de cobre.
10. Eletrodeposição do cobre.
11. Remoção do material *photoresist* e do excesso de *seed layer*, através de *wet etching*.
12. Deposição, exposição e revelação da segunda camada de dielétrico (por litografia), mantendo expostas as zonas de ligação das bolas de solda.
13. Soldadura das bolas de solda.

Figura 13 – Esquema dos passos do processo de eWLB da NANIUM [16].

3.2. PRINCIPAIS PROCESSOS DA ETAPA DE REDISTRIBUIÇÃO

3.2.1. LITOGRAFIA

Litografia é o processo que permite, no *packaging* de ICs, a transferência de um determinado padrão para um substrato depositado sobre a *wafer*. Este substrato, de origem polimérica, é denominado de *photoresist* e é fotossensível a uma determinada fonte de luz, tipicamente radiação UV [4, 5, 38-40].

O padrão desejado é desenhado numa máscara, ou em retículos, através da definição de áreas que são seletivamente transparentes ou opacas ao comprimento de onda utilizado no processo litográfico. A litografia é uma etapa crítica na indústria dos semicondutores, já que é a resolução deste processo que define qual a dimensão mínima possível de obter nos diferentes componentes do IC, permitindo assim o aumento da complexidade e redução do tamanho dos *chips* [4, 5, 38, 39].

Resumidamente existem quatro passos associados (figura 14) ao processo de litografia:

i. O *photoresist* é depositado uniformemente sobre a *wafer* através de *spin coating*;
ii. O padrão, existente numa máscara, ou apenas parte desta (retículos), é alinhado com a *wafer*;
iii. Uma fonte de luz, com um comprimento de onda apropriado, é utilizada para expor o *photoresist*;
iv. A *wafer* é colocada em contacto com uma solução denominada por *developer*, que tem como função remover (revelar) algumas zonas do *photoresist*, definidas pelo padrão utilizado no passo (ii) [38, 39]

Os *photoresist* são usualmente divididos em positivo e negativo, dependendo do modo como estes materiais se comportam durante o passo de revelação. Se o *photoresist* exposto muda quimicamente de modo a ser dissolvido pelo *developer*, então é denominado de *photoresist* positivo. Por outro lado, se o *photoresist* se torna mais estável com a exposição ao UV, então não é dissolvido pelo *developer* e é denominado por *photoresist* negativo. Desta forma, ao usar um *photoresist* positivo, teremos uma imagem positiva do padrão utilizado e o oposto acontece com um *photoresist* negativo. Os *photoresist*s positivos são mais adequados para transferência de padrões com alta resolução e são tipicamente utilizados em sistemas que utilizam os UV como fonte de luz [4, 5, 38, 40].

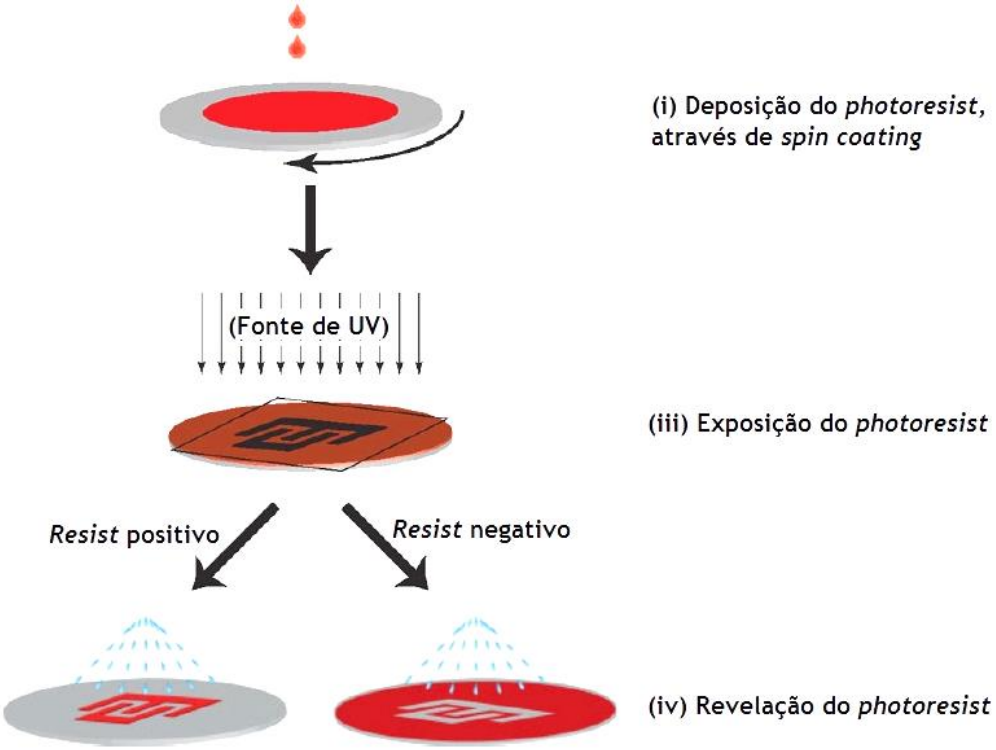


Figura 14 – Passos do processo de litografia (excluindo o alinhamento do padrão) [38].

A uniformidade na camada de *photoresist* é garantida pela deposição de um volume bem definido deste composto, seguido do processo de *spin coating*, que promove a rotação da *wafer* e, consequentemente, a distribuição do polímero. Caso necessário realizam-se ainda tratamentos de superfície, antes de rotacionar a *wafer*, de modo a promover a adesão do *photoresist* ao substrato. Após da deposição realiza-se um tratamento térmico ao *photoresist*, denominado de *soft-baking*, com o objetivo de remover os solventes que constituem o *photoresist*, tornando-o assim quimicamente estável. [4, 5, 38-40].

Os *photoresists* podem ser utilizados apenas como camada de sacrifício, sendo esta totalmente removida posteriormente, de modo a construir algumas das características do *package*. Em alternativa podem ser parte integrante do *package*, tendo como função limitar e isolar algumas áreas do *die*. Este último tipo de *photoresist* é denominado de dielétrico [16].

3.2.2. DEPOSIÇÃO POR PULVERIZAÇÃO CATÓDICA

A deposição por pulverização catódica, denominada em inglês por *sputtering*, é uma técnica de deposição de filmes finos sem reação química, ou seja, apenas através de fenómenos físicos. Assim, a pulverização catódica é considerada como sendo uma técnica de deposição física por vapor (PVD, do inglês *Physical Vapour Deposition*) [38].

Na técnica de pulverização catódica uma superfície alvo, com átomos do filme a depositar, é bombardeada por um fluxo de iões, que promovem a remoção dos átomos desta superfície. Um gás é introduzido numa câmara de alto vácuo e é aplicada uma diferença de potencial entre o alvo (átomos a depositar) e o substrato (superfície onde se deseja depositar o filme). Os átomos do gás ionizam-se, produzindo eletrões de alta energia e iões positivos, dando assim origem ao fluxo de iões, denominado por plasma. Normalmente o gás escolhido para a produção do plasma é o árgon devido à sua elevada massa atómica e pelo facto de, sendo um gás nobre, não reagir nem com o alvo nem com o substrato [4, 5, 38, 41].

O fluxo de iões gerado bombardeia o alvo, transferindo parte do seu momento para os átomos à superfície do mesmo. Caso a energia transferida seja suficiente, os átomos atingidos são removidos do alvo e caem sobre a superfície do substrato (figura 15), formando o filme fino, de uma forma gradual [4, 5, 38, 41].

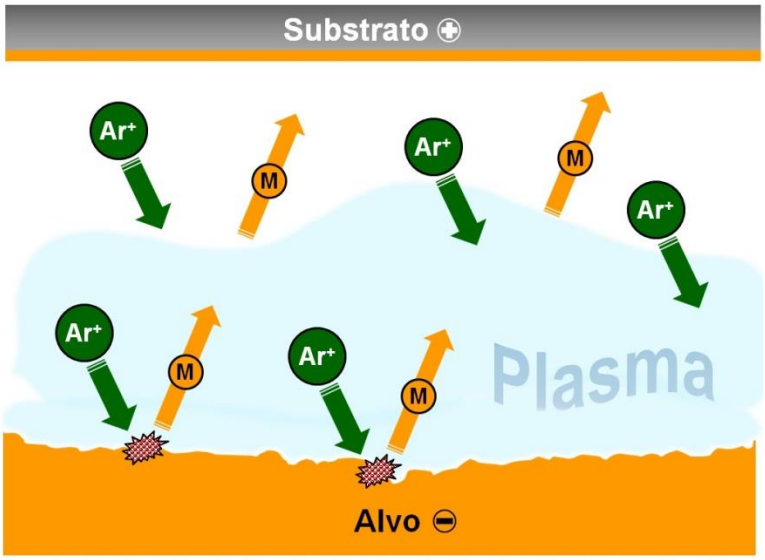


Figura 15 – Esquema da técnica de pulverização catódica.

3.2.3. ELETRODEPOSIÇÃO

A eletrodeposição (denominada em inglês por *plating*) é uma técnica de deposição de metais usada desde o início do século XIX. Com esta técnica é possível depositar camadas metálicas com espessuras na ordem dos µm, com bons níveis de qualidade superficial e baixas tensões internas. Esta é uma etapa essencial na produção dos ICs, já que são os metais eletrodepositados que asseguram os caminhos de comunicação entre o *die* e o exterior [4, 38].

Neste método a *seed layer* da *wafer* é ligada ao polo negativo (cátodo) de uma fonte de energia, enquanto o material a depositar (tipicamente o cobre) está ligado ao polo positivo, constituindo assim o ânodo. O ânodo é submerso por uma solução denominada de eletrólito, que contém iões do metal a depositar. Esta solução está também em contato com a parte da wafer durante o processo de eletrodeposição. Os catiões do eletrólito são atraídos pela carga negativa imposta à *wafer*, depositando-se na mesma e fechando assim o circuito elétrico (figura 16). Durante este processo os átomos do ânodo substituem os iões que vão sendo depositados na superfície da *wafer*, mantendo assim as características químicas do eletrólito [38].

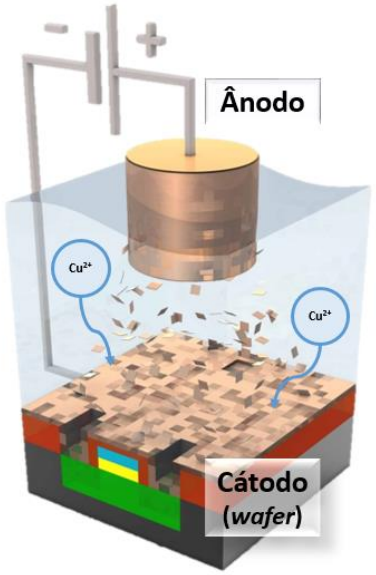


Figura 16 – Esquema da técnica de eletrodeposição do cobre sobre a superfície metálica de uma *wafer* [42].

Na criação dos circuitos elétricos, tem-se como objetivo realizar a eletrodeposição de um modo seletivo, apenas em algumas zonas da *wafer*. Para cumprir este objetivo, as áreas em que o metal não deverá ser depositado devem estar cobertas, o que normalmente é alcançado através da deposição de um *photoresist* durante a etapa de litografia. O *photoresist* atua como um molde, desde que a sua espessura seja superior à espessura de metal eletrodepositado [38].

4. *ETCHING*

O processo de *etching* tem como função a remoção seletiva e controlada de um determinado material. Na NANIUM o *etching* é realizado após o processo de eletrodeposição, sendo que o cobre eletrodepositado atua como máscara de *etching*, limitando as zonas onde as camadas sacrificiais devem ser removidas [4, 21, 38].

O *etching* baseia-se na transformação de um material sólido para um material que esteja num estado móvel (líquido ou gasoso), de modo a ser possível removê-lo. É usual a divisão do *etching* em dois tipos de processos, o *wet etching* e o *dry etching*. No *wet etching* o agente promotor da reação, denominado por *etchant*, está no estado líquido. Por outro lado, o *dry etching* é caracterizado por utilizar um *etchant* em forma de gás ou plasma [4, 5, 21, 23, 38, 43-45].

O processo de *etching* pode ainda ser denominado de isotrópico ou anisotrópico, conforme se a taxa de remoção do material é igual em todas as direções ou se há uma direção de remoção preferencial (figura 17). A anisotropia pode ser alcançada através da estrutura do material funcional (material a remover) ou através do subprocesso escolhido. No caso do *etching* isotrópico, a remoção uniforme de material em todas as direções origina o fenómeno do *underetching*, também denominado de *undercutting*. Este é definido como sendo a distância entre a extremidade da máscara utilizada e a extremidade do material a remover debaixo da máscara (figura 17) [5, 38, 43-46].

Enquanto o subprocesso de *dry etching* é sempre anisotrópico, o *wet etching* tanto pode ser isotrópico como anisotrópico. O *etching* anisotrópico em *wet etching* representa um caso especial dos processos anisotrópicos, já que está dependente da estrutura cristalina do material funcional. Um exemplo bem conhecido de *wet etching* anisotrópico acontece com a utilização de soluções alcalinas (e.g. hidróxido de sódio, KOH) como *etchant* de cristais de silício. Neste caso particular sabe-se que o KOH remove o material dos planos cristalográficos (100) cerca de 400 vezes mais rápido do que nos planos cristalográficos (111), sendo assim possível controlar a direção de *etching* a partir do conhecimento da estrutura cristalina do material [5, 38, 43-46].

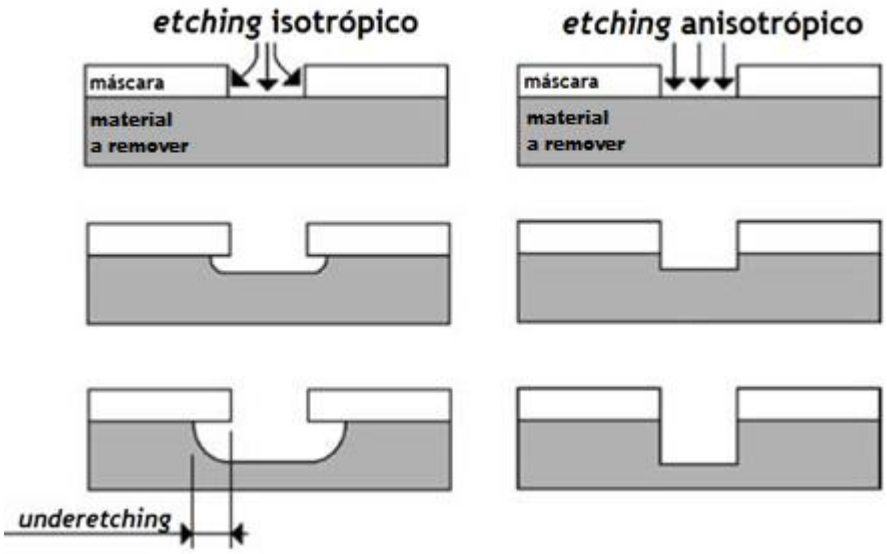


Figura 17 – Evolução dos perfis obtidos com os processos de *etching* isotrópico (à esquerda) e idealmente anisotrópico (à direita) [44].

Um dos fatores mais importantes no processo de *etching* é a seletividade do *etchant*, ou seja, a taxa de remoção do material a remover em relação à taxa de remoção dos restantes materiais utilizados. Se a seletividade do *etchant* for baixa significa que as taxas de remoção de dois ou mais materiais depositados são semelhantes e, por isso, o material alvo não pode ser removido de uma forma isolada. Nestes casos, o processo de *etching* ocorrerá também nos restantes materiais, provocando danos ao nível de geometria ou mesmo a nível de estrutura (e.g. corrosão). Desta forma, é fácil de perceber a importância da seleção da camada utilizada como máscara [21, 22, 38, 47].

No processo eWLB é o cobre eletrodepositado que funciona como máscara no processo de *etching*. Neste caso particular o *underetching* revela-se na camada de *seed layer* mas não no *photoresist*, já que este é removido na totalidade. O fenómeno de *underetching* no processo eWLB está esquematizado na figura 18.

A seletividade do *etchant* é garantida através do conhecimento da taxa de remoção, ou *etch rate*, do *etchant* selecionado em relação aos materiais utilizados. Para além disto, o *etch rate* é um fator cada vez mais estudado para garantir um processo expedito que possibilite uma elevada produtividade a um custo reduzido. Desta forma, são preferidos *etchant*s que garantam a seletividade do processo e *etch rate*s elevados, que garantam a remoção eficiente do material funcional [21-23, 47].

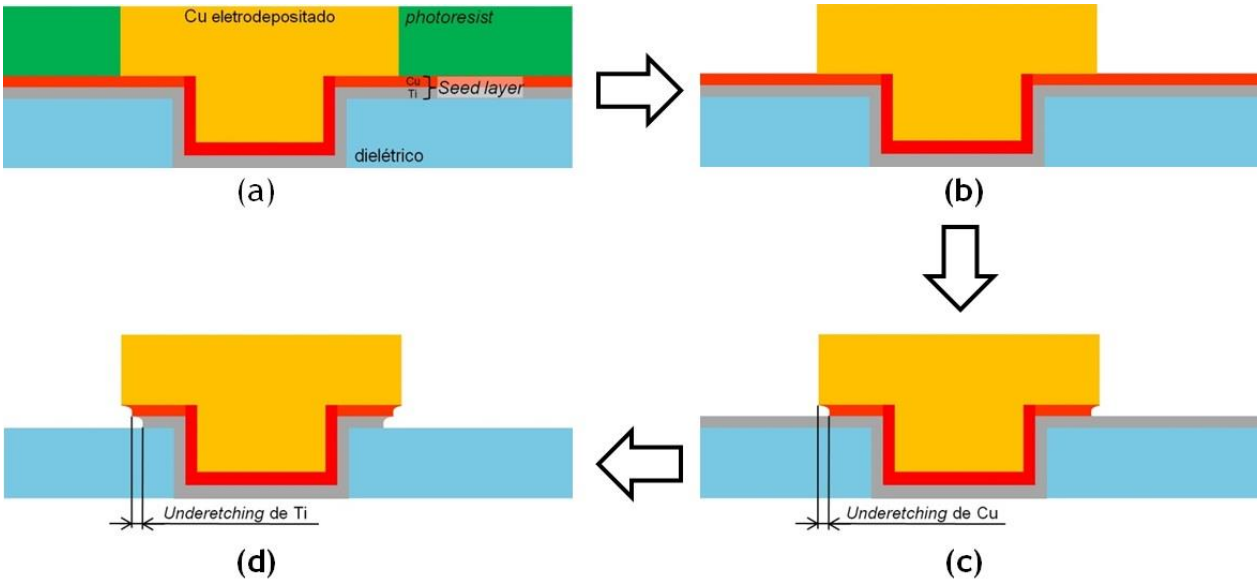


Figura 18 - Esquema dos passos do processo de eWLB (a) após eletrodeposição (b) após *stripping* (c) após *wet etching* de cobre (d) após *wet etching* de titânio.

Os fatores críticos do processo de *etching*, descritos anteriormente, são afetados pelo tipo de subprocesso aplicado. Geralmente o subprocesso de *wet etching* possui uma boa seletividade, uniformidade, reprodutibilidade e um *etch rate* mais elevado quando comparado com o *dry etching*. Para além disso, o *wet etching* é um processo mais simples e com um baixo investimento de capital em relação aos processos de *dry etching*. As grandes desvantagens do *wet etching* prendem-se com as questões de tratamento e manipulação de resíduos químicos tóxicos e com o facto do processo ser, na maioria dos casos, isotrópico, criando um *underetching* indesejado [4, 21, 22, 43, 44, 48].

4.1. *DRY ETCHING*

Para superar os inconvenientes que o *wet etching* demonstra, o *dry etching* tem vindo a ganhar peso na indústria dos semicondutores. Ao contrário do *wet etching*, este processo é anisotrópico, evitando os problemas causados pelo *underetching* e o tratamento de largas quantidades de reagentes químicos [4, 23, 43].

Os processos de *dry etching* podem ser baseados em remoção puramente mecânica através de impacto de iões (e.g. *etching* por pulverização catódica), pela remoção de materiais por gases muito reativos ou ainda por uma combinação dos dois processos (e.g. *Reactive Ion Etching* - RIE) [44].

4.2. *WET ETCHING*

O processo de *wet etching* consiste na utilização de um *etchant* líquido que reaja seletivamente com o material funcional, de modo a removê-lo. Este é um processo de natureza química em que as moléculas do *etchant*, ao deslocarem-se para a superfície da *wafer*, reagem com o material funcional e geram subprodutos, facilmente removidos através da limpeza posterior da *wafer* [21, 38].

O *etchant* utilizado neste tipo de processo é normalmente composto por 3 tipos de químicos: um oxidante (e.g. peróxido de hidrogénio); um ácido ou base para dissolver a superfície oxidada (e.g. ácido sulfúrico); e um solvente que permita transportar reagentes e produtos (e.g. água) [21].

A profundidade da remoção provocada no material pode ser controlada resumidamente de duas formas: através da espessura do material funcional e através do tempo de reação. Nos casos em que o *etchant* possui uma alta seletividade, a reação de *etching* terminará na interface entre o material funcional e outro material depositado no IC. Desta forma, a espessura do material funcional determinará a profundidade máxima de *etching*. Por outro lado, caso o *etch rate* do *etchant* esteja determinado, pode-se inferir a quantidade de tempo necessário para remover uma dada quantidade de material, sendo assim a profundidade de *etching* controlada através do tempo de reação [21, 38].

A remoção completa do material funcional é garantida através do *overetching*, ou seja, a continuação do processo de *wet etching* após o tempo teórico correspondente ao fim da reação. O *overetching* é um passo necessário para absorver as variações de topografia e padrões inerentes aos processos anteriores (e.g. litografia) [21].

Como já mencionado, o *etch rate* é um dos fatores mais importantes em consideração, uma vez que afeta diretamente o custo e a produtividade do produto. Os parâmetros de processo que mais influenciam o *etch rate* são a temperatura, a concentração de iões e os aditivos do *etchant*, o tipo de filme a ser removido e a agitação do banho [4, 21-23].

O processo de *wet etching* é um processo tipicamente isotrópico, sendo a única exceção o *etching* seletivo dependente da orientação cristalográfica do material. O *etch rate* deste processo isotrópico é tipicamente controlado por fenómenos de transferência de massa. Os fenómenos associados à energia de ativação da reação têm normalmente um pequeno peso na

determinação do *etch rate*, já que o *etchant* selecionado deve possuir uma elevada reatividade em relação ao material funcional [4, 22, 23, 43-45].

O *etch rate* limitado pelos fenómenos de transferência de massa está dependente da velocidade em que os subprodutos de reação são removidos da superfície do material funcional e da difusão de espécies ativas para esta mesma superfície. A difusão destas duas espécies de reação está fortemente ligada à temperatura e tempo de reação, bem como à agitação do *etchant*. Desta forma, estes são parâmetros que irão influenciar o *etch rate* da reação e que deverão ser controlados durante o processo de *wet etching* [21, 22, 38, 43, 45].

4.2.1. WET ETCHING *EM METAIS*

O processo de *wet etching* de metais é um processo eletroquímico, semelhante ao que acontece durante a corrosão destes materiais. O *etching* das espécies metálicas é causado pela transformação de átomos metálicos à superfície do material funcional para iões metálicos e solúveis em solução (reação parcial anódica). Os eletrões resultantes desta reação são removidos através da reação com um agente oxidante, que é reduzido na superfície de reação (reação parcial catódica) [44].

4.2.2. WET ETCHING *EM POLÍMEROS*

Os materiais orgânicos de baixo peso molecular, como por exemplo os *photoresists*, podem ser removidos através de *wet etching* pela utilização de um *etchant* orgânico adequado. Enquanto os polímeros lineares são dissolvidos através de um simples solvente, as matrizes poliméricas com *crosslinking* necessitam de outros componentes, de alto potencial redox, capazes de quebrar estas ligações químicas [44].

Os agentes de oxidação tipicamente utilizados para a dissolução de matrizes poliméricas (e.g. peróxido de hidrogénio) são normalmente semelhantes aos usados nos banhos de contaminações orgânicas [44].

O *wet etching* de polímeros é muitas vezes aplicado para a remoção de camadas sacrificiais, que apenas servem de base para a deposição de outros materiais [44].

Este processo aplicado a *photoresists* é chamado usualmente de *stripping*, sendo o *etchant* utilizado nesta operação denominado de *stripper* [49-52].

4.2.2.1. *Strippers* utilizados na indústria dos semicondutores

Existem inúmeros *strippers* mencionados pela bibliografia, desde solventes orgânicos rotineiros, como a acetona, até solventes comerciais desenvolvidos para gamas específicas de *photoresists*.

A acetona é talvez o orgânico mais simples e de fácil acesso mencionado pela bibliografia como possível *stripper*. O *strip rate* (taxa de remoção do *photoresist*) da acetona pode ser aumentado pela elevação da temperatura de reação ou promovendo a reação de *stripping* num tanque de ultrassons. Contudo, o aumento da temperatura não é aconselhável a nível de segurança, já que a acetona é bastante volátil e os seus vapores podem formar misturas explosivas com o ar [23, 53-57].

O composto químico N-metil-2-pirrolidona (NMP) é também muitas vezes referido como sendo um dos principais componentes utilizado em vários *strippers*. Este composto é usualmente utilizado na indústria dos semicondutores por possuir uma baixa pressão de vapor e por não danificar o silício. Tem, no entanto, a desvantagem de ser tóxico e teratogénico, apresentando um risco de saúde a quem o manipula [55, 58-61].

A mistura de ácido sulfúrico (H_2SO_4) e peróxido de hidrogénio (H_2O_2) é outra solução, frequentemente denominada por piranha, bastante utilizada na operação de *stripping*. A solução piranha é utilizada, por norma, a altas temperaturas (por volta dos 110 ºC) de modo a aumentar o *strip rate* da solução. As temperaturas utilizadas promovem a rápida decomposição do H_2O_2, pelo que é necessário o fornecimento de solução fresca em curtos períodos de tempo [62, 63].

As soluções fortemente alcalinas, tais como o hidróxido de potássio (KOH) ou hidróxido de sódio (NaOH), são também *strippers* eficazes. Tal como as soluções anteriores, o seu *strip rate* pode ser aumentado através do aumento da temperatura. A grande desvantagem destas soluções é a sua baixa seletividade em relação aos metais tipicamente utilizados na construção de ICs, tais como o alumínio ou o cobre, podendo danificar estas estruturas durante a operação de *stripping [55].*

Existem ainda inúmeros *strippers* de empresas especializadas em oferecer soluções para a indústria dos semicondutores [49-52, 64, 65].

5. MATERIAIS E MÉTODOS

A redução de custos na operação de remoção do *photoresist* (*stripping*) em *wet etching*, objetivo principal deste trabalho, foi estudada de duas formas distintas.

A primeira abordagem passa pela redução de custos através da substituição do s*tripper* atual, que será denominado por *stripper* A, por um outro s*tripper* mais económico. Para isto foram pesquisados a nível bibliográfico vários s*trippers* alternativos ao atual. A seleção dos *strippers* a testar foi realizada tendo em conta os requisitos da empresa, que serão posteriormente descritos.

Numa segunda abordagem, a redução de custos foi idealizada através da otimização da operação de *stripping*, de modo a reduzir o consumo do *stripper* A por cada *wafer* produzida.

5.1. LOCALIZAÇÃO DA ETAPA DE *WET ETCHING* NO PROCESSO EWLB

De modo a melhor entender o processo estudado, é necessário localizá-lo no processo de eWLB. Recordando o capítulo 3 deste documento, o *wet etching* encontra-se imediatamente a seguir ao processo de eletrodeposição. Dentro do *wet etching* existem as operações de remoção do *photoresist*, sucedida pela remoção da *seed layer*. A evolução das camadas depositadas durante as operações de eletrodeposição e *wet etching* do processo eWLB pode ser observada na figura 19. No final do processo de eletrodeposição, a superfície da *wafer* exibe o cobre eletrodepositado (a laranja) e o *photoresist* (a verde) que servirá apenas como camada sacrificial. O processo de *wet etching* é iniciado pela operação de *stripping*, ficando à superfície da *wafer* o cobre eletrodepositado e a *seed layer* (a vermelho). A *seed layer* é então removida em duas operações distintas e sequenciais do *wet etching* (Cu *etch* e Ti *etch*).

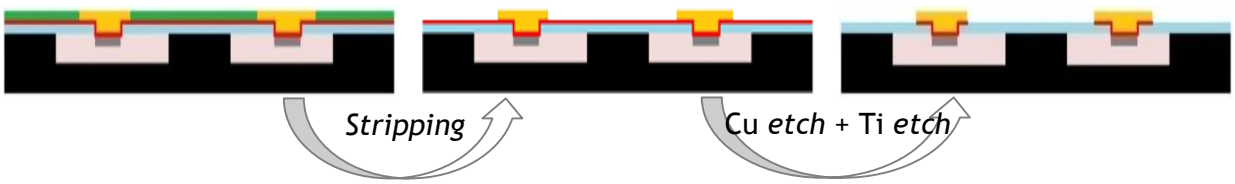


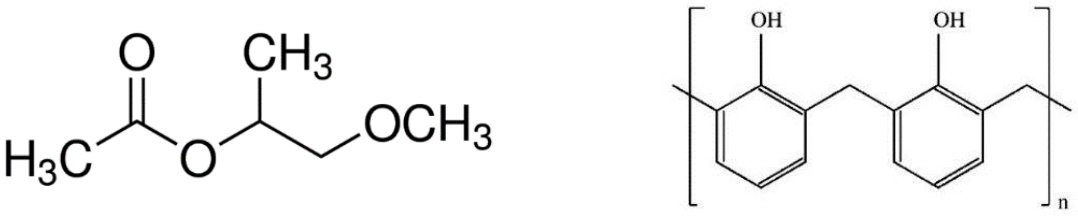
Figura 19 – Esquema representativo da *wafer* após os processos de eletrodeposição (à esquerda) e *wet etch* (consiste em *stripping*, Cu *etch* e Ti *etch*) [16].

5.2. MATERIAIS UTILIZADOS

5.2.1. PHOTORESISTS

A operação de *stripping* foi estudada em dois *photoresists* positivos distintos, utilizados como camada sacrificial no processo eWLB da NANIUM, e que serão denominados por *photoresist* 1 e *photoresist* 2 durante a descrição do trabalho realizado.

Os dois *photoresists* estudados possuem na sua composição o solvente orgânico 1-metoxi-2-propril acetato (PGMEA, do inglês *Propylene Glycol Monomethyl Ether Acetate*) e a resina Novolac (resina epoxídica formada a partir dos grupos fenol e formaldeído), cujas fórmulas estruturais estão descritas na figura 20. O espectro de infravermelho com transformada de Fourier (FTIR, do inglês *Fourier Transform Infrared Spectroscopy*) de uma resina epoxídica encontra-se na figura 21. As resinas revelam em FTIR uma banda por volta dos 920 cm^{-1}, que traduz a existência de um anel oxirano, o composto característico destas resinas [66, 67].



PGMEA Novolac

Figura 20 – Composições químicas do solvente PGMEA e da resina Novolac [68, 69].

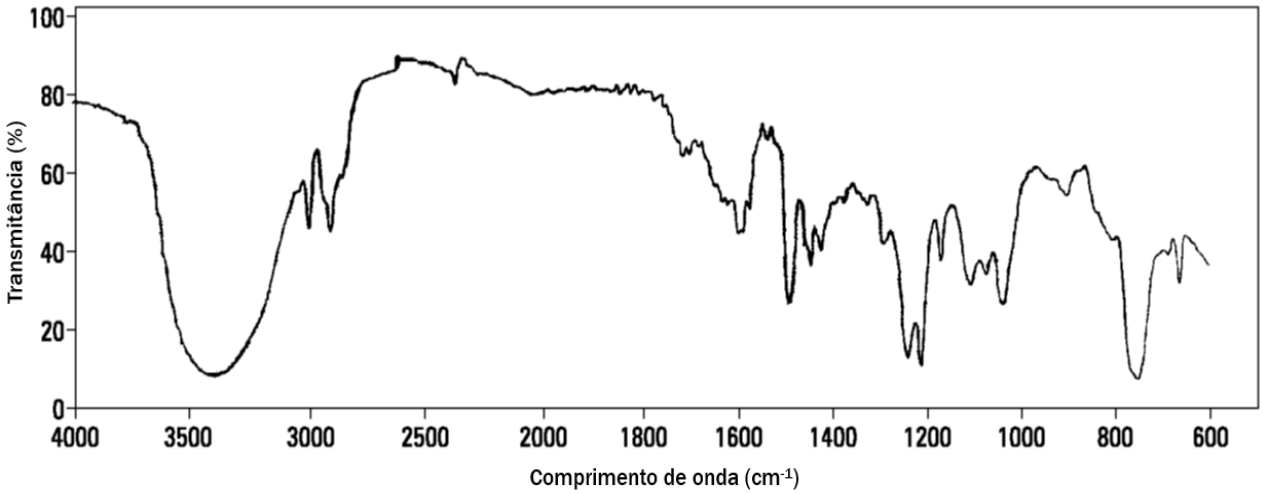


Figura 21 - Espectro FTIR em transmitância de uma resina epoxídica [66].

5.2.2. STRIPPERS

O estudo realizado contemplou a aplicação de três *strippers* distintos. O *stripper* A foi analisado com vista à otimização do processo atualmente implementado e como base de comparação aos restantes *strippers* estudados. Como alternativas ao *stripper* A foram analisados a acetona, por ser um composto de baixo custo, e um outro *stripper* comercializado por uma empresa especializada, que será denominado por *stripper* S.

O *stripper* A e S são ambos uma mistura pronta a ser utilizada (*ready-to-use*), com base num solvente e em compostos com grupos amina.

As restantes alternativas referidas pela bibliografia e mencionadas na secção 4.2.2.1. deste documento não foram consideradas neste trabalho experimental por não serem adequados aos requisitos da NANIUM. O NMP foi descartado por representar um risco de segurança aos colaboradores; a solução piranha não se adequa à realidade industrial por obrigar à preparação de novos banhos em curtos períodos de tempo; por último, as soluções alcalinas referidas não são seletivas em relação aos restantes materiais utilizados no processo da NANIUM.

5.3. PROCEDIMENTO

Tendo em conta o objetivo proposto para este estudo, o planeamento experimental foi dividido em duas partes que decorreram em paralelo, como se pode verificar na figura 22. A primeira parte deste trabalho contempla o estudo dos s*trippers* alternativos ao *stripper* A. A acetona será utilizada apenas numa parte deste estudo, por não possuir o *strip rate* necessário ao processo implementado na NANIUM, como será discutido no capítulo 6 deste documento. Em paralelo estudou-se a influência dos parâmetros do processo no *strip rate* do *stripper* A, de modo a otimizar o processo de *stripping*, diminuindo o consumo atual.

Para estudar o *strip rate* dos *strippers* foram utilizadas *wafer*s de silício sem *die*s produtivos (*wafer*s *blank silicon*, ou *wafer*s BS), com as camadas equivalentes às do processo eWLB. Desta forma, as *wafer*s BS utilizadas possuíam as camadas de *seed layer*, *photoresist* e cobre (figura 23), depositados pelas etapas de pulverização catódica, litografia e eletrodeposição, com os mesmos parâmetros utilizados no processo eWLB.

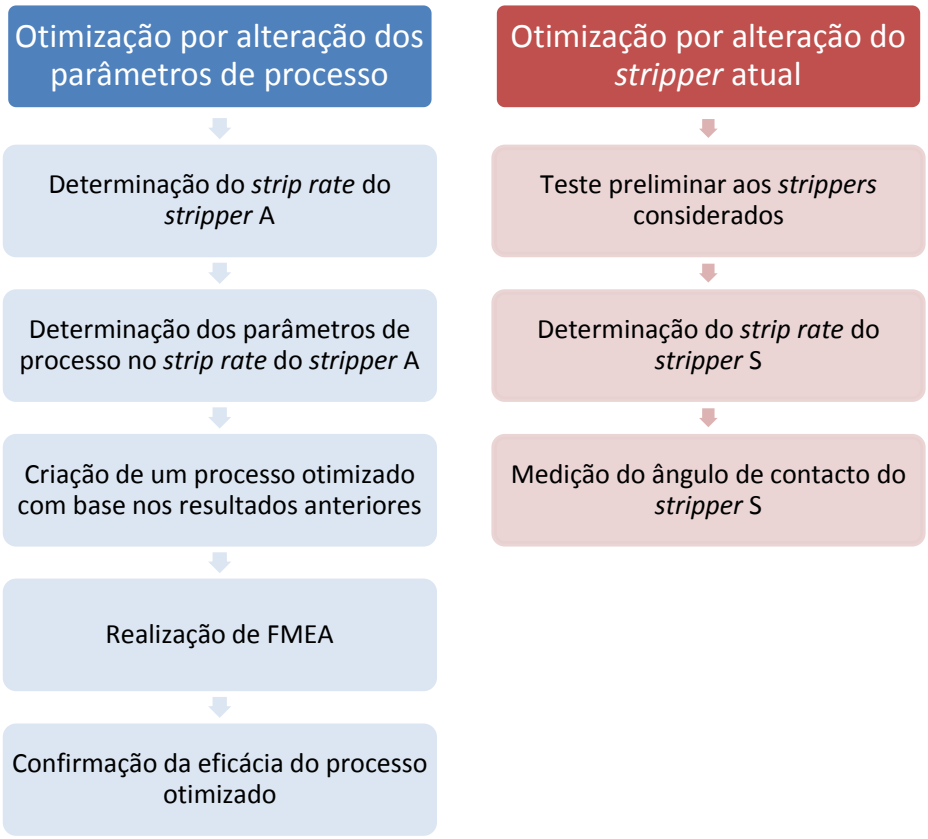


Figura 22 – Etapas do estudo realizado.

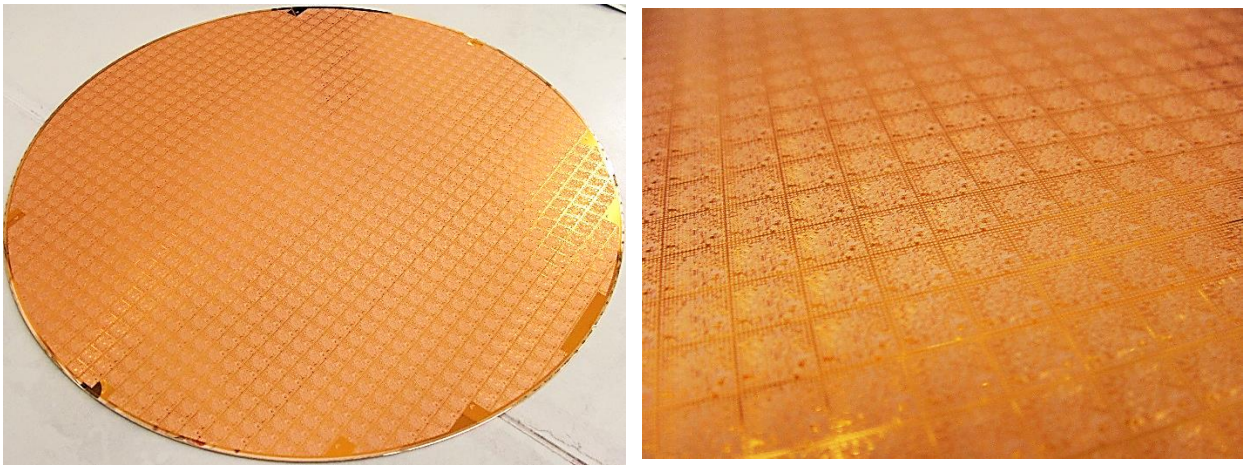


Figura 23 – Aspeto de uma *wafer* BS após a operação de eletrodeposição.

A avaliação do *etch rate* de um determinado solvente faz-se normalmente através da variação da espessura do material funcional em função do tempo de *etching*. No entanto, os *photoresists* estudados ao sofrerem o processo de *stripping* espalham-se sobre toda a *wafer*,

pelo que a medição da sua espessura não traduziria o *etch rate* da solução testada. Desta forma, optou-se pela medição do *strip rate* através da variação da massa da *wafer* ao longo dos vários passos de deposição de *stripper*. Foram realizados 3 ensaios para cada condição experimental, como forma de controlar a variação dos resultados.

5.3.1. OTIMIZAÇÃO POR ALTERAÇÃO DO *STRIPPER* ATUAL

O estudo da eficácia dos *strippers* alternativos ao *stripper* A foi iniciado com um teste preliminar em laboratório. Aplicou-se uma gota das soluções de acetona e de *stripper* S sobre uma *wafer* BS, nas condições descritas pela tabela 1. A *wafer* foi de seguida inspecionada a olho nu e a microscópio ótico.

A avaliação do teste preliminar permitiu prever o comportamento dos dois *strippers* nas condições de produção. Por não realizar um *stripping* adequado à realidade industrial da NANIUM (como será demonstrado no capítulo 6), a acetona foi descartada como opção alternativa ao *stripper* A. Desta forma, a determinação do *strip rate* em condições semelhantes às do processo eWLB (no equipamento de produção) foi realizada apenas com o *stripper* S.

Tabela 1 – Condições testadas no teste preliminar dos *strippers* alternativos.

Stripper	Temperatura (ºC)	Tempo (min)
Acetona	Temperatura ambiente	5
		2
		1
Stripper S	65	5
		2
	45	5
		2

Após serem submetidas às etapas anteriores ao *stripping*, as *wafer*s BS foram pesadas, como explica a figura 24. O processo de *stripping* foi de seguida realizado no equipamento utilizado em produção. Após *stripping*, a *wafer* foi lavada com água desionizada e secada com nitrogénio (N_2). Por fim, tornou-se a pesar a *wafer* e inspecionou-se visualmente, de modo a verificar a existência de *photoresist* à superfície da *wafer*. Caso permanecesse *photoresist* este

procedimento era repetido até não se detetar mais *photoresist* visível à superfície da *wafer* (figura 25). Este estudo foi realizado apenas com o *photoresist* 1. Pode ser observado na figura 25 o aspeto de uma *wafer* BS após remoção completa de *photoresist*.

Figura 24 – Sequência de operações para avaliação do *strip rate* dos s*trippers* A e S.

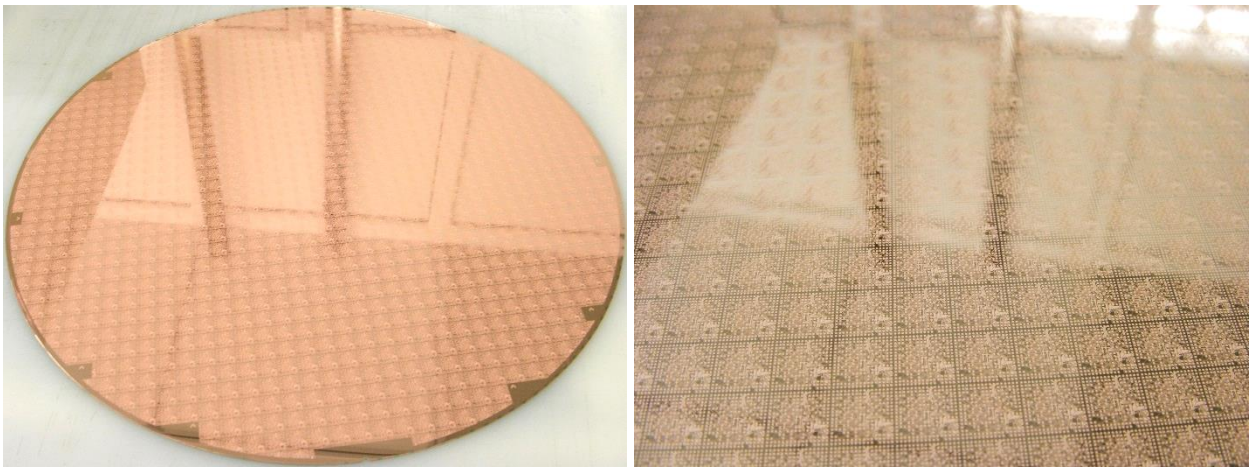
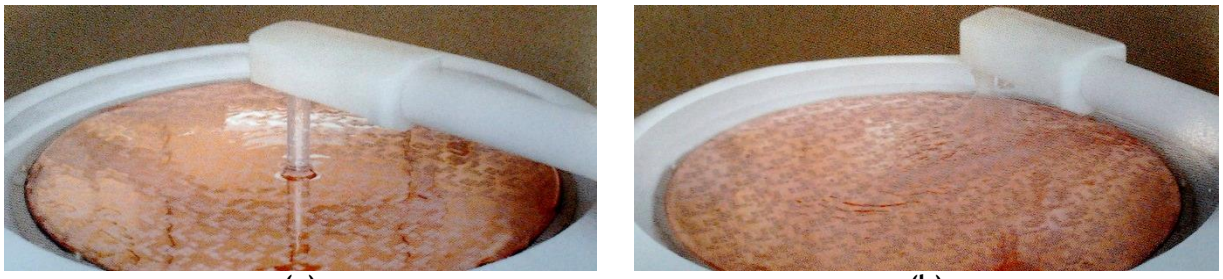


Figura 25 – Aspeto de uma *wafer* BS após remoção completa de *photoresist* através da operação de *stripping*.

A deposição do *stripper* pode ser feita em jato (normalmente chamado de *stream*) ou em *spray*. Após a deposição de *stripper* é possível deixar o solvente depositado sobre a *wafer* durante um determinado período de tempo, sendo este passo denominado por *soak*. As deposições *stream* e *spray* são mostradas pela figura 26.



(a) **(b)**

Figura 26 – Deposição de *stripper* em (a) *stream* (b) *spray*, através do braço de deposição (a branco).

Estes três passos (*stream*, *spray* e *soak*) foram avaliados através do plano experimental exibido pela figura 27. As deposições em *stream* e em *spray* foram realizadas durante 15 segundos, podendo ou não ser seguidas por um passo de *soak* de 20 s. Os restantes parâmetros de processo foram mantidos iguais ao processo atualmente implementado na NANIUM. Este esquema de experiências foi repetido até não existir mais *photoresist* visível aquando da inspeção visual.

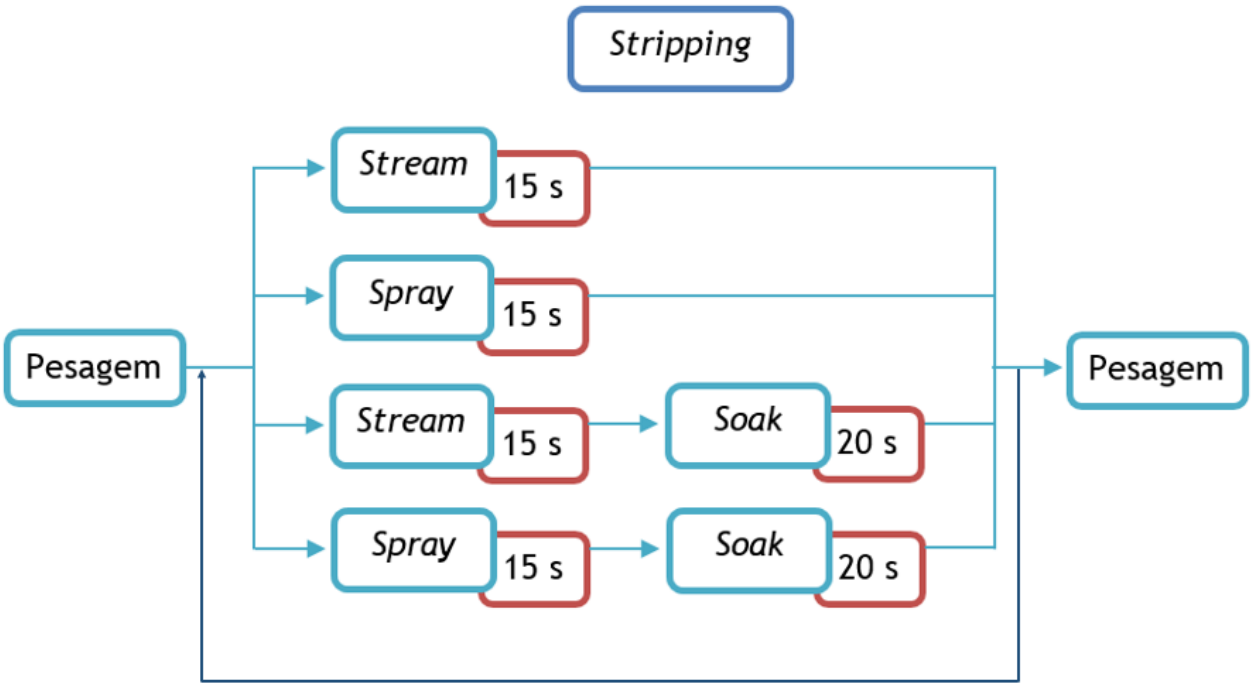


Figura 27 – Passos realizados no processo de *stripping* para avaliação do *strip rate* dos *strippers* A e S.

Por fim, foram medidos os ângulos de contacto dos *strippers* A e S em *wafer*s BS, de modo a verificar a molhabilidade destas soluções. Os ângulos de contacto foram determinados utilizando o método da gota de séssil. Para isto utilizou-se o equipamento Krüss FM40 Easy Drop, sendo depois o ângulo calculado através do *software* Krüss Drop Shape Analysis DAS 100.

5.3.2. Otimização por alteração dos parâmetros de processo

Esta segunda fase do estudo foi iniciada pela análise da influência dos parâmetros de processo no *strip rate* do *stripper* A. O efeito dos vários tipos de deposição de *stripper* A foram estudados aquando da comparação com o *stripper* alternativo. Adicionalmente, foi realizado o mesmo estudo utilizando o *stripper* A e o *photoresist* 2.

Foi ainda estudada a influência de outros dois parâmetros de processo durante a deposição do s*tripper*: a velocidade de rotação (em inglês *spin speed*) da *wafer* e a velocidade de varrimento (em inglês *scan speed*) do braço responsável pela deposição do *stripper*. Estes dois parâmetros foram estudados apenas com deposições em *spray* de 15 segundos e com o *photoresist* 1, consoante o procedimento experimental expresso pela figura 24. Os valores testados para estes dois parâmetros encontram-se descritos na tabela 2.

Tabela 2 – Velocidades de rotação e varrimento estudadas durante a deposição em *spray* do *stripper* A.

Parâmetros	Valor atual	Valores estudados			
Velocidade de rotação (rpm)	50	13	25	100	200
Velocidade de varrimento	26	13	39	52	195

Os parâmetros de processo associados à operação de *soak* foram estudados com base nos métodos de Taguchi. Selecionaram-se os fatores de tempo de *soak* e velocidade de rotação da *wafer*, a dois níveis distintos (tabela 3).

Tabela 3 – Fatores e níveis selecionados para o estudo da operação de *soak* através do método de Taguchi.

Fator	Nível 1	Nível 2
Tempo de *soak* (s)	20 (Atual)	60
Velocidade de rotação (rpm)	15 (Atual)	50

Segundo o método de Taguchi, para esta conjugação de fatores e níveis, são necessárias 4 experiências, utilizando uma matriz ortogonal denominada por L4, como mostra a tabela 4. A resposta analisada durante este estudo foi a perda de massa de *photoresist* após a operação de *stripping*. Paralelamente, e à semelhança dos casos anteriores, todas as *wafer*s foram inspecionadas visualmente.

Tabela 4 - Matriz ortogonal L_4 do método de Taguchi.

L_4	Fatores e Níveis		
Experiências	Fator A	Fator B	Interação AxB
1	1	1	1
2	1	2	2
3	2	1	2
4	2	2	1

Através da utilização deste método foi ainda possível analisar o efeito da interação entre o tempo de *soak* e a velocidade de rotação. Tal como no caso anterior, os parâmetros da operação de *soak* foram estudados com deposições em *spray* de 15 segundos, utilizando o *stripper* A e o *photoresist* 1.

Por último, para concluir o estudo da operação de *soak*, foram realizados ensaios adicionais mantendo a velocidade de rotação em 15 rpm e fazendo variar os tempos de *soak*. Foram pesadas *wafer*s submetidas a 10, 20, 30, 40, 50 e 60 segundos de *soak*.

5.3.3. CRIAÇÃO E VALIDAÇÃO DO PROCESSO DE STRIPPING *OTIMIZADO*

A análise aprofundada dos resultados obtidos permitiu a construção de dois processos otimizados para o *stripping*, que serão discutidos na secção 6.3 deste documento. Foram ainda idealizados mais dois processos otimizados, variando apenas dos primeiros na velocidade de rotação da *wafer* durante a etapa de deposição de solvente. Sendo esta uma proposta para alteração ao processo eWLB foi fundamental a execução de um FMEA, de modo a prever possíveis falhas provocadas pela implementação destes processos.

Através da realização do FMEA foi identificada a necessidade de comparar os processos otimizados com um processo de referência. Desta forma, foram processadas cinco *wafer*s reconstituídas, com vista a executar de igual forma todo o processo eWLB, à exceção da operação de *stripping*. Cada uma destas *wafer*s foi processada em *wet etching* com um processo de *stripping* diferente, correspondendo aos quatro processos otimizados e ao processo de referência, que foi tido como o procedimento de referência.

O controlo da qualidade do processo de *stripping* ao longo do processo de eWLB foi verificado de cinco formas distintas: pela inspeção manual ao microscópio ótico, de modo a identificar a presença de resíduos de *seed layer* após *wet etching*; inspeção visual automatizada, examinando 100 % da superfície da *wafer* em reconhecimento de defeitos; monitorização do *leakage*; monitorização da espessura de cobre eletrodepositada; e, por fim, pela monitorização da adesão das bolas de solda ao *package*.

Adicionalmente foi realizada uma análise de superfície através da espectroscopia no infravermelho por transformada de Fourier (FTIR). Nesta análise teve-se como objetivo comparar o espetro do *photoresist* 1, existente em *wafer*s BS após a operação de eletrodeposição, com os espetros obtido após a aplicação dos processos otimizados. Para isto foi utilizado um equipamento de FTIR em modo ATR (do inglês *Attenuated Total Reflection*) ABB-Bomen, com 6 scans por amostra, resolução espacial de 4 cm^{-1} e uma gama de 4000-650 cm^{-1})

6. Resultados e Discussão

O estudo realizado foi dividido em duas partes de modo a facilitar a compreensão da sequência de testes realizados. No entanto, é necessário chamar a atenção que estas duas linhas de trabalho não são independentes, mas antes complementares entre si, como será revelado ao longo deste capítulo.

6.1. Otimização por alteração do *stripper* atual

O teste preliminar realizado em laboratório foi essencial para prever se os *strippers* alternativos considerados serão adequados ao processo de produção da NANIUM.

Quando bem-sucedido, o processo de *stripping* remove na totalidade o *photoresist* aplicado, desaparecendo o tom amarelado deste material. Desta forma, espera-se ver a estrutura de cobre intacta, sendo que a única diferença será a zona onde o *photoresist* estava depositado, que deverá exibir uma cor metálica polida correspondente à *seed layer*.

A figura 28 mostra o aspeto visual da *wafer* após o teste preliminar de *stripping* com acetona. É possível constatar que a acetona dissolve o *photoresist* mas este espalha-se sobre a *wafer*, ficando esta com cor acastanhada. O *stripping* com recurso a acetona não apresentou resultados diferentes com os tempos experimentados, verificando-se assim que a acetona não é um *stripper* eficaz, mesmo após 5 minutos de reação.

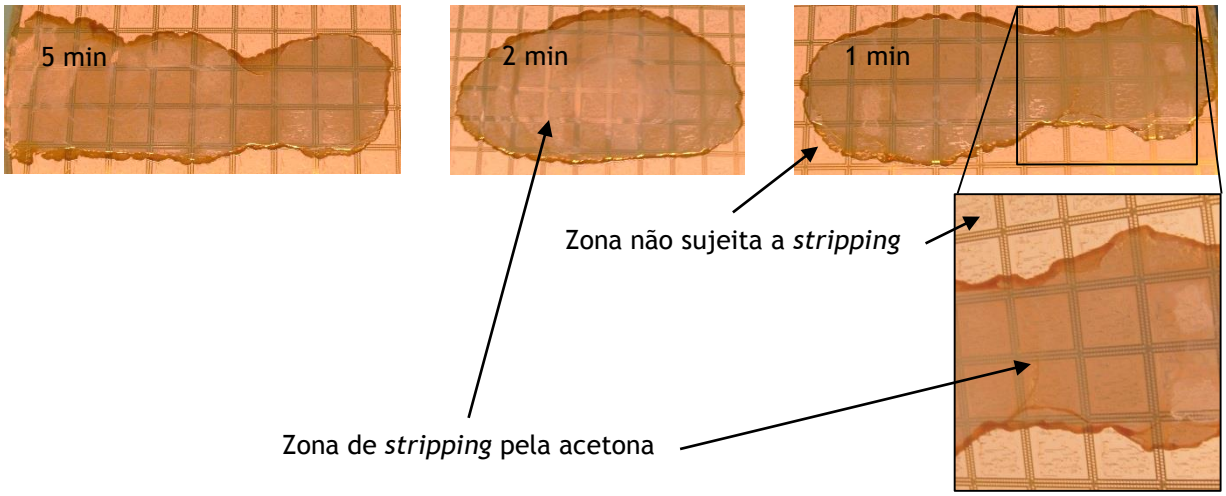


Figura 28 – Aspeto da *wafer* durante a inspeção visual do teste preliminar realizado com acetona.

Por outro lado, a figura 29 demonstra a adequação do *stripper* S à remoção do *photoresist* 1 em todas as condições testadas. Verifica-se que o cobre (de cor alaranjada) mantém o seu aspeto após *stripping*, sendo que as zonas intercaladas com o cobre perdem a coloração amarela típica do *photoresist* utilizado.

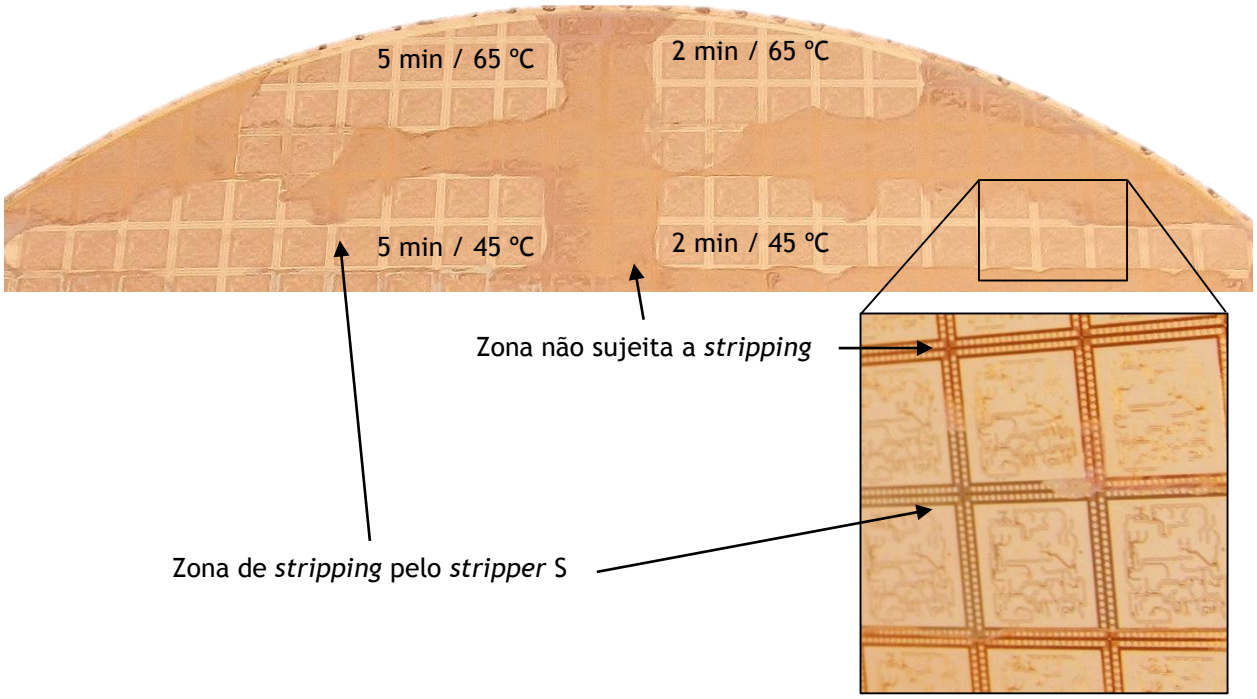
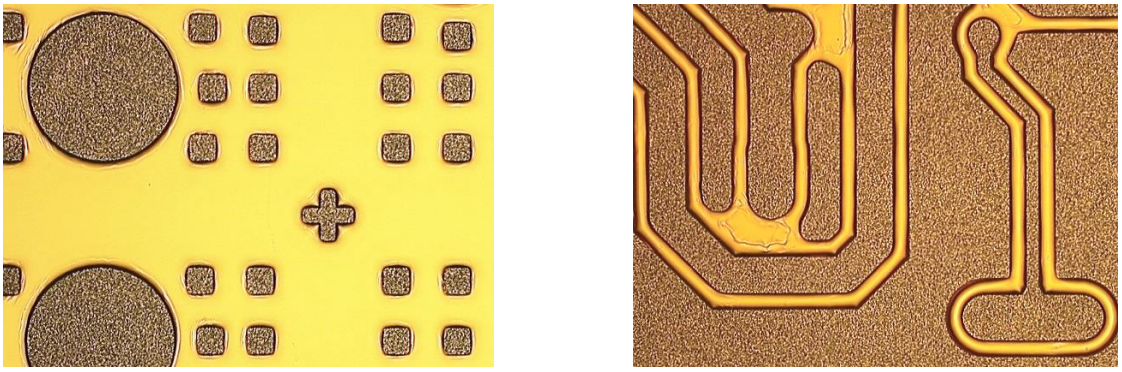


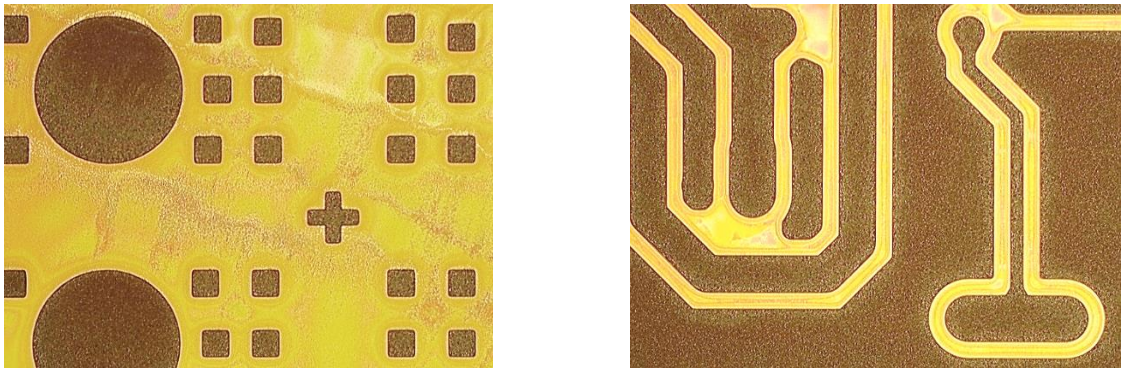
Figura 29 – Aspeto da *wafer* durante a inspeção visual do teste preliminar realizado com o *stripper* S.

A inspeção ao microscópio ótico (figura 30) confirma a inadequação da acetona como *stripper* do *photoresist* 1. É ainda possível verificar que a utilização do *stripper* S a 45 ºC durante 2 minutos é ineficaz, já que não remove por completo o *photoresist* à superfície da *wafer*.

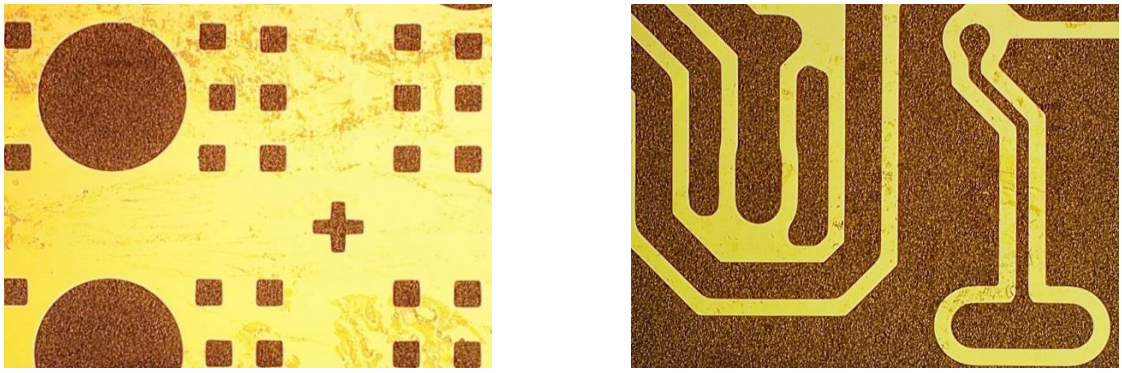
A inspeção ao microscópio ótico demonstra que o *strip rate* do *stripper* S é maior a temperaturas mais elevadas, sendo por isso esta condição mais favorável para a diminuição do consumo de solvente. Consequentemente, o *strip rate* foi determinado no equipamento de *wet etching* mantendo o *stripper* S a 65 ºC.



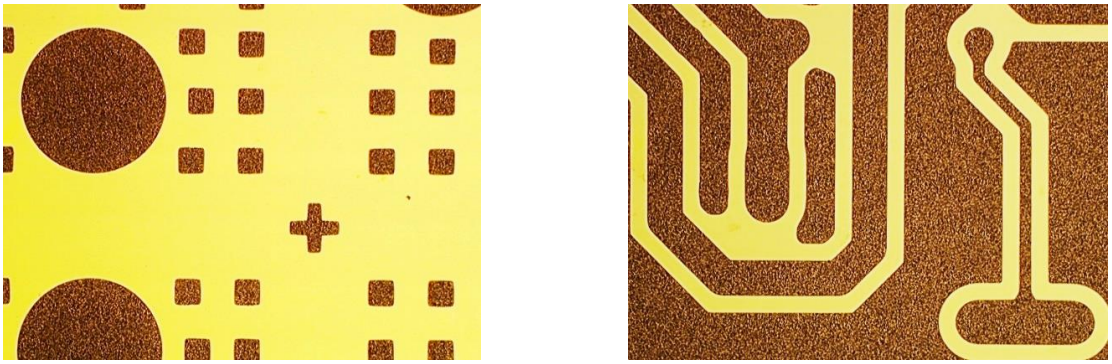
(a) Superfície após eletrodeposição e antes de *stripping*, com o *photoresist* depositado entre o cobre.



(b) Superfície após a operação de *stripping* com acetona.



(c) Superfície após a operação de *stripping* com o *stripper* S durante 2 minutos a 45 °C.



(d) Superfície após a operação de *stripping* com o *stripper* S durante 5 min a 45 °C e 2 e 5 min a 65 °C.

Figura 30 - Inspeção ao microscópio ótico do teste preliminar com os *strippers* alternativos. O cobre aparece com uma cor acastanhada, enquanto o *photoresist* e a camada de *seed layer* apresentam uma cor amarelada. Todas as figuras são apresentadas com a mesma ampliação.

Como referido no capítulo 5, o *strip rate* das soluções testadas foi definido pela perda de massa de *resist* em função do número de deposições de s*tripper* sobre a *wafer*. Deste modo, de acordo com a figura 27, uma deposição corresponde a 15 segundos de *stream* ou *spray* e 20 segundos de *soak*, caso este tenha sido efetuado.

Nas figuras 31 e 32 estão representados os *strip rates* obtidos para cada dos *strippers* testados no *photoresist* 1, em função do tipo de deposição utilizado. É possível observar desde logo que o s*tripper* S possui um *strip rate* bastante mais elevado que o s*tripper* A, já que a perda de massa do *photoresist* é mais acentuada em todos os tipos de deposição (à exceção do caso *stream* combinado com *soak*) quando utilizado o *stripper* S. A elevada reatividade do *stripper* S é evidente sobretudo quando comparando as deposições em *spray* dos dois *strippers* estudados. Enquanto o *stripper* A necessita de 4 deposições em *spray* para a remoção total do *photoresist*, o *stripper* S necessita apenas de 3 deposições. O mesmo acontece quando se combina a deposição de *spray* com *soak*, sendo necessária apenas 1 deposição quando utilizado o *stripper* S e 2 deposições quando utilizado o *stripper* A.

A análise do *strip rate* medido permite ainda definir que, independentemente do s*tripper* utilizado, a deposição por *stream* possui um *strip rate* mais elevado que a deposição por *spray*. Este acontecimento é facilmente explicado pelo facto da deposição por *stream* possuir um caudal de solvente bastante superior (mais do dobro) à deposição por *spray*. Consequentemente, a deposição por *stream* terá uma renovação de solvente igualmente superior, removendo uma maior quantidade de subprodutos de reação e aumentando a quantidade de espécies ativas na superfície de reação durante o mesmo período de tempo, diminuindo o efeito limitante dos fenómenos por transferência de massa.

O efeito do passo de *soak* é também evidente através da análise das figuras abaixo. A existência do *soak* aumenta o tempo disponível para a reação de *stripping*. Neste caso, apesar de não haver renovação do solvente, o tempo adicional permite a difusão de espécies ativas para a superfície da *wafer*, sendo por isso visível uma menor quantidade de *photoresist* no fim da reação.

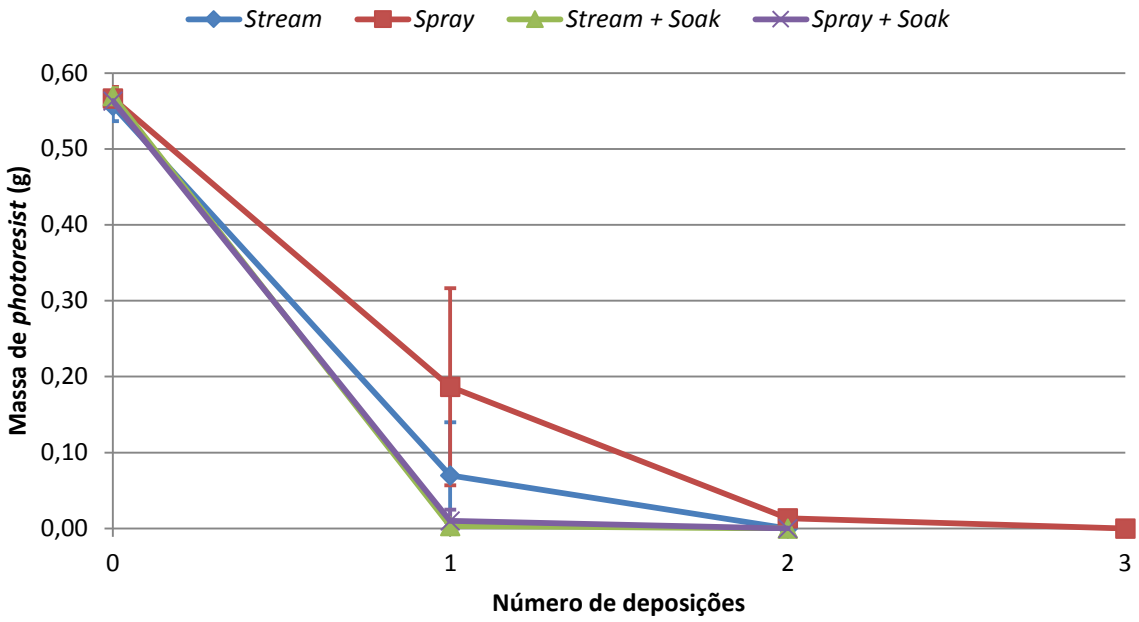


Figura 31 – Massa de *photoresist* 1 na *wafer* em função do número de deposições de *stripper* S.

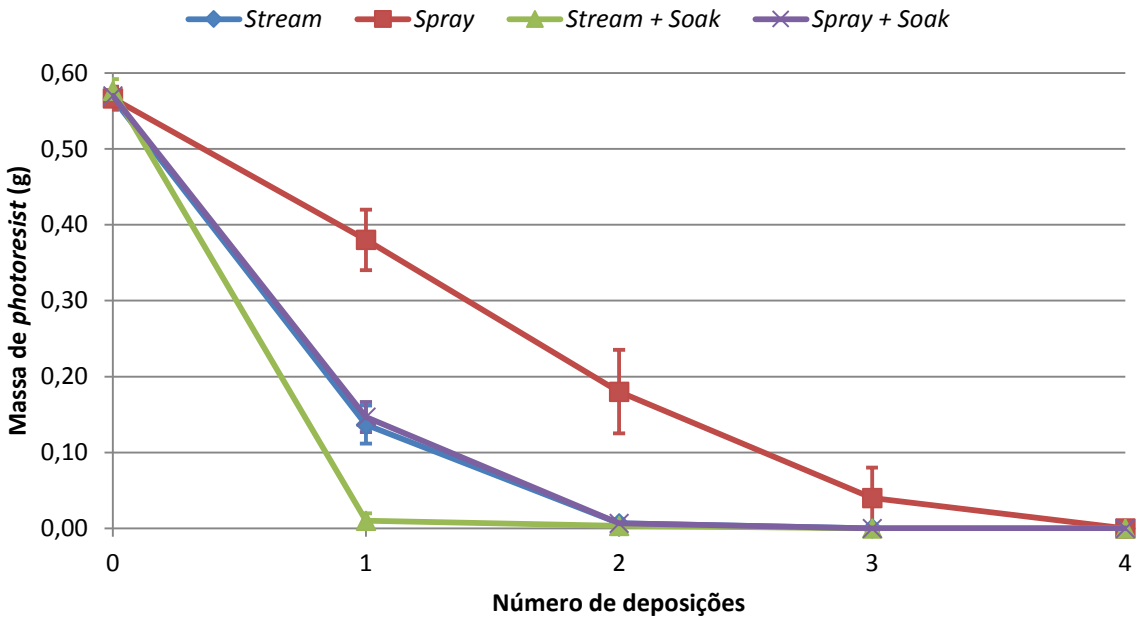
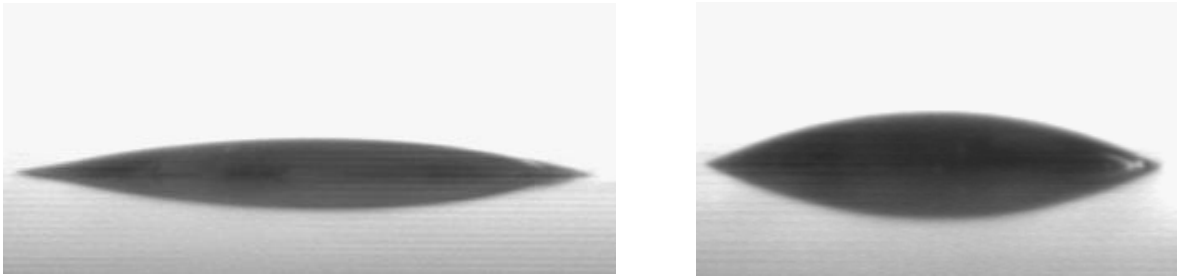


Figura 32 – Massa de *photoresist* 1 na *wafer* em função do número de deposições de *stripper* A.

Por fim, a determinação do ângulo de contacto permite determinar o grau de molhabilidade das superfícies pelos *strippers* utilizados em relação ao *photoresist* 1. O *stripper* A exibiu um ângulo de contacto de 13,8 ° ± 1,3, enquanto o *stripper* S demonstrou possuir 24,2 ° ± 1,7 (figura 33). Como seria expectável, os dois *strippers* demonstram excelentes graus de molhabilidade, ainda que o *stripper* S possua um ângulo de contacto superior ao *stripper* A. Constata-se assim que a molhabilidade, apesar de ser uma condição necessária para a reação de remoção de *photoresist*, por si só não é determinante para a eficácia do *stripper* utilizado.



(a) **(b)**

Figura 33 – Imagem do (a) *stripper* A (b) *stripper* S, durante a execução do método da gota de séssil.

6.2. OTIMIZAÇÃO POR ALTERAÇÃO DOS PARÂMETROS DE PROCESSO

Esta segunda etapa do estudo realizado apenas considerou a utilização do *stripper* A. O primeiro teste teve como base a comparação do *strip rate* deste solvente nos dois *photoresists* considerados. Comparando os resultados obtidos, é possível verificar que o *strip rate* é bastante superior usando o *photoresist* 2 (figura 34), quando comparado com o *photoresist* 1 (figura 32).

A influência dos vários tipos de deposição de *stripper* são corroborados mais uma vez pelo *strip rate* definido para o *photoresist* 2.

A criação de um novo processo de *stripping* deve ter em consideração a utilização dos dois *photoresists* considerados. Desta forma, e tendo em conta que o *stripper* é seletivo em relação aos restantes materiais do *package*, o novo processo deve ser construído tendo em consideração o *strip rate* mais baixo (associado ao *photoresist* 1), de modo a garantir a remoção dos dois *photoresists* considerados.

O estudo da influência dos restantes parâmetros de processo foi assim realizado utilizando apenas o *photoresist* 1, já que é este que determinará a alteração ao processo de *stripping*. Escolheu-se ainda realizar o restante estudo com deposição em *spray*, uma vez que o baixo *strip rate* desta operação tornará mais percetível ligeiras alterações à resposta estudada.

Para além disto, a utilização da deposição em *spray* permite diminuir os custos associados a este estudo, já que o seu consumo é bastante inferior à deposição em *stream*.

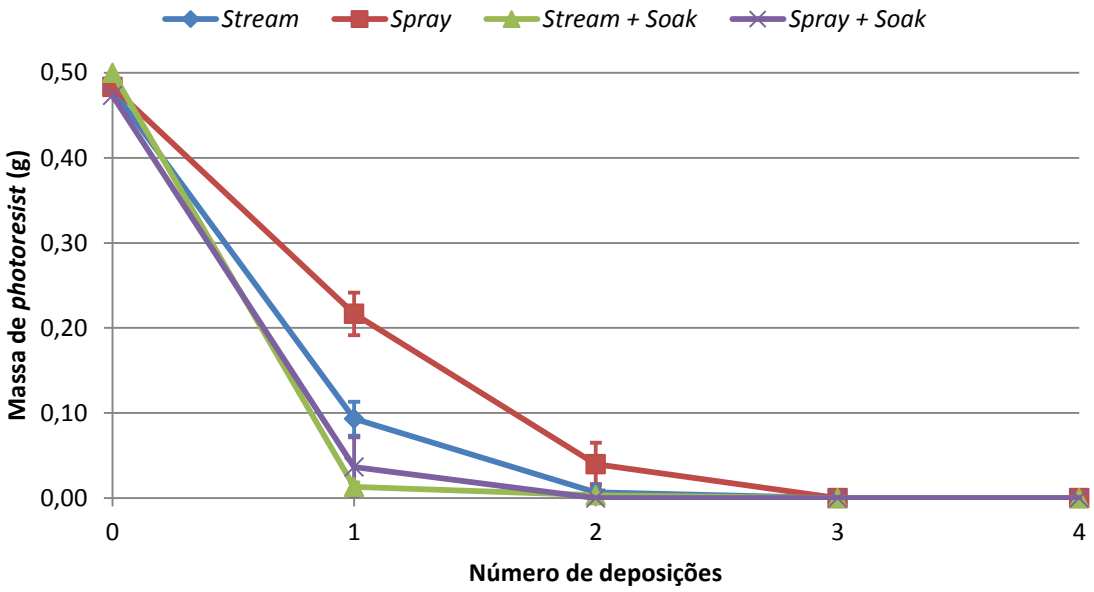


Figura 34 - Massa de *photoresist* 2 na *wafer* em função do número de deposições de *stripper* A.

Observando a variação de massa de *photoresist* em função da velocidade de rotação da *wafer* (figura 35) verifica-se um aumento do *strip rate* com o aumento da velocidade de rotação. O aumento da velocidade de rotação obriga, através da força centrifuga aplicada, um maior movimento da solução sobre a *wafer*, tendo um efeito semelhante ao de agitação da solução. Não obstante, o efeito da velocidade de rotação é menos acentuado quando comparado ao efeito associado ao tipo de deposição de *stripper*.

Considerando que a velocidade de rotação atual é de 50 rpm, o processo de *stripping* poderá ser otimizado pelo aumento da velocidade de rotação para 200 rpm, diminuindo o número de deposições de *stripper* e, consequentemente, o seu consumo.

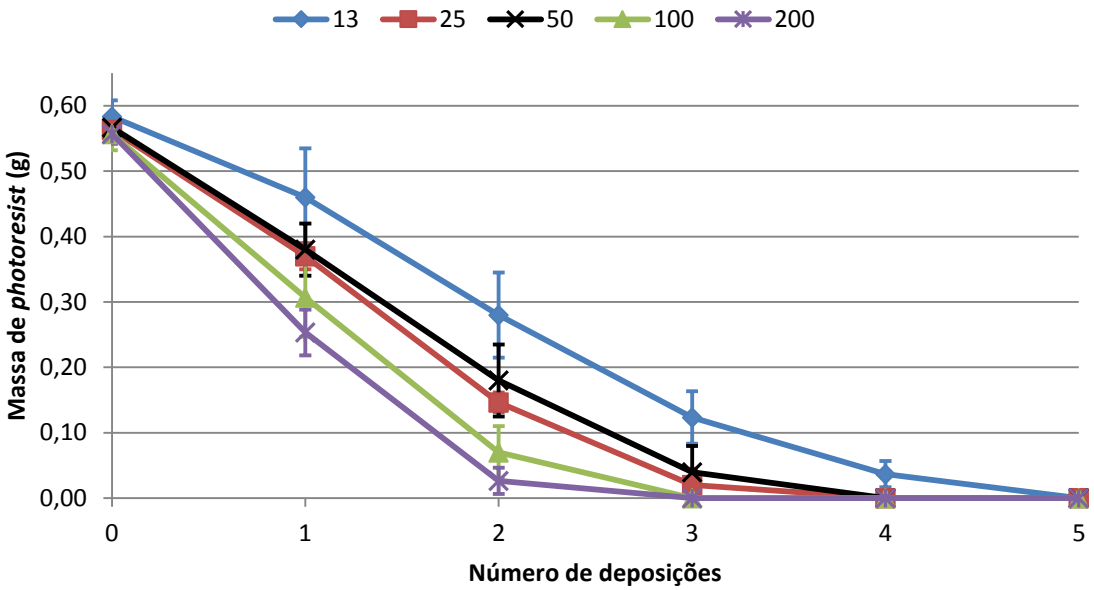


Figura 35 - Influência da velocidade de rotação (rpm) durante a deposição em *spray* de s*tripper* A sobre o *photoresist* 1.

Por outro lado, a variação da velocidade de varrimento do braço de deposição (figura 36) não parece ter influência na variação do *strip rate* do solvente.

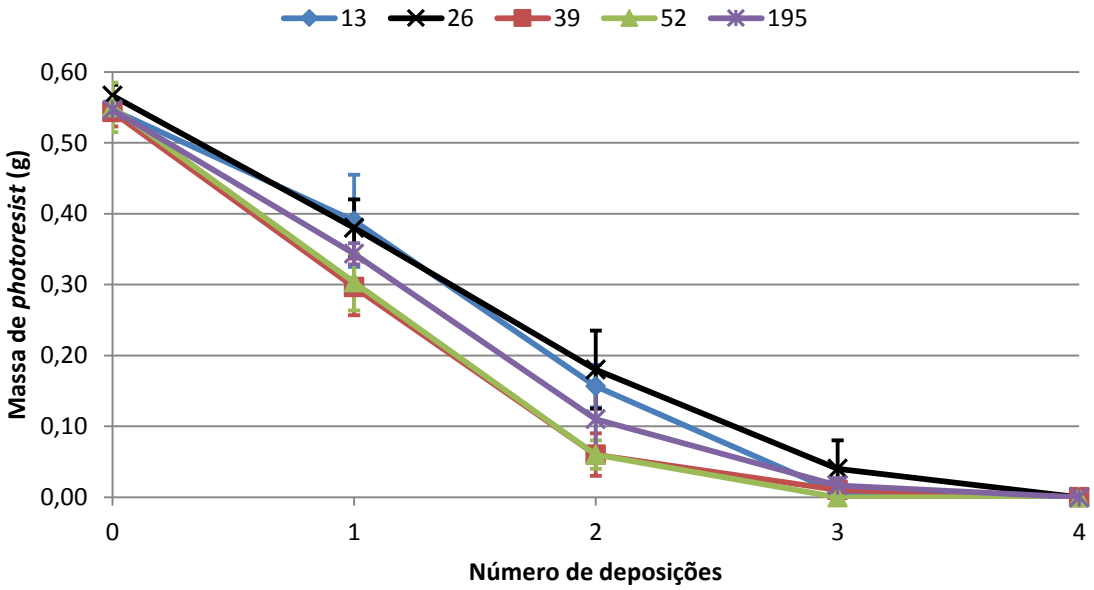


Figura 36 - Influência da velocidade de varrimento durante a deposição em *spray* de s*tripper* A sobre o *photoresist* 1.

O estudo dos parâmetros da operação de *soak* através do método de Taguchi permitiu a identificação do tempo de *soak* como sendo o fator com maior efeito na variação da massa de *photoresist* (tabela 5). Por outro lado, o fator de velocidade de rotação possui um efeito (delta) muito reduzido, pelo que não será um fator importante para a melhoria do processo. Adicionalmente é possível verificar que não existe interação entre os dois fatores considerados, já que a variação associada aos dois níveis estudados é quase nula.

Durante a experiência realizada, a resposta medida foi a massa de *photoresist* perdida após *stripping*, pelo que o resultado mais favorável será o que possuir um valor mais elevado.

Tabela 5 – Tabela das respostas médias obtidas através do método de Taguchi.

	Massa de *photoresist* 1 removida (g)		
	Fator A	Fator B	Interação AxB
	Tempo de *soak*	Velocidade de rotação	Tempo de *soak* x Velocidade de rotação
Nível 1	0,42	0,47	0,48
Nível 2	0,56	0,51	0,50
Delta	0,14	0,04	0,02

A análise em forma gráfica dos fatores estudados possibilita uma perceção imediata do efeito obtido e dos melhores níveis para o problema proposto. O efeito dos vários fatores é traduzido pelo declive das retas traçadas, que será tanto maior quanto maior o efeito existente.

Comparando os fatores estudados, é notório o efeito acentuado do tempo de *soak* em relação à velocidade de rotação. Verifica-se ainda que os melhores níveis serão o tempo de *soak* ao nível 2 (60 segundos) e a velocidade de rotação também ao nível 2 (50 rpm).

A análise mais profunda das respostas obtidas pela combinação dos dois fatores estudados (tabela 6) permite a construção de um gráfico representativo desta interação (figura 37). Por serem praticamente paralelas, as retas traçadas nesta figura traduzem, segundo o método de Taguchi, uma interação bastante fraca entre os dois fatores estudados.

Tabela 6 – Respostas médias obtidas para os dois níveis dos fatores estudados através do método de Taguchi.

		Tempo de *soak* (s)	
		20	60
Velocidade de rotação (rpm)	15	0,39 g	0,55 g
	50	0,45 g	0,57 g

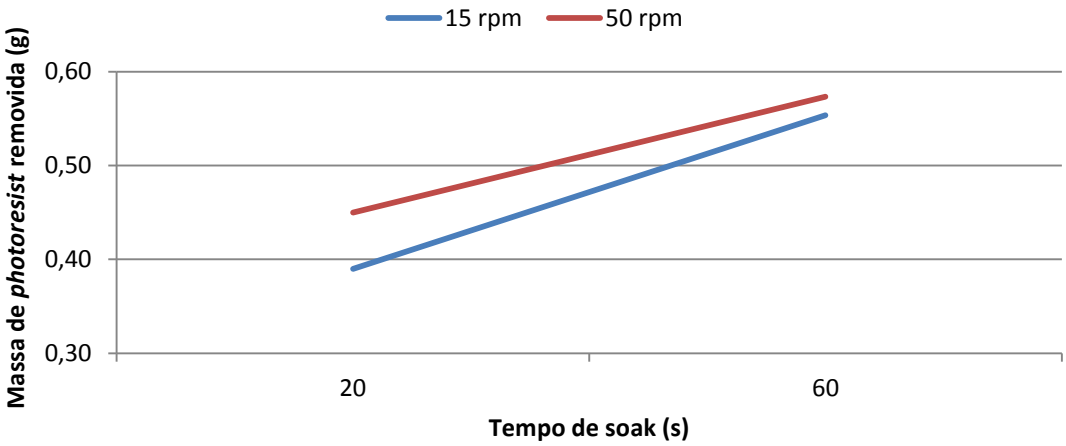


Figura 37 – Efeito da interação tempo de *soak* e velocidade de rotação na massa de *photoresist* 1 removida.

Aplicando a técnica de análise de variâncias (ANOVA, do inglês *Analysis Of Variance*) ao método de Taguchi, é possível determinar quantitativamente o efeito de cada fator na resposta obtida. Foi determinado, desta forma, que o fator tempo de *soak* contribui com 81,5 % na variação total da resposta, sendo que a velocidade de rotação contribui apenas com 4,9 %.

O cálculo do valor médio esperado da resposta com a melhor combinação de fatores revela um valor de 0,58 g, correspondendo a uma melhoria de 48,7 % quando comparado com o valor médio inicial (0,39 g). A descrição detalhada da aplicação do método de Taguchi a este estudo pode ser consultada no anexo A.

Dado que a velocidade de rotação possui um pequeno efeito na variação total da resposta, há outros aspetos que devem ser considerados aquando da escolha do nível deste fator. A inspeção visual da *wafer* após a operação de *stripping* demonstrou uma remoção de *photoresist* uniforme quando aplicada uma velocidade de rotação de 15 rpm. Em contraste, a aplicação da velocidade de rotação de 50 rpm provoca um *stripping* mais acentuado na zona

central da *wafer*, sendo que os resíduos de *photoresist* permanecem na periferia da mesma. Este acontecimento é explicado pela elevação da força centrifuga, que força os subprodutos de reação para as extremidades da *wafer*, impossibilitando que a reação de *stripping* ocorra nestas zonas. Consequentemente, a heterogeneidade demonstrada pela elevada velocidade de rotação leva a uma remoção inadequada do *photoresist*, sendo por isso mais favorável manter este parâmetro com a velocidade de rotação atual (15 rpm). Considerando a seleção dos níveis de 15 rpm para a velocidade de rotação e 60 segundos para o tempo de *soak*, o valor médio esperado da resposta será de 0,56 g, que corresponde a uma melhoria de 43,6 %.

Os resultados obtidos através do método de Taguchi demonstram a importância do fator de tempo de *soak* durante a operação de *stripping*. Assim, considerou-se relevante aprofundar o conhecimento sobre a influência deste fator no processo estudado. A figura 38 permite observar a variação da massa de *photoresist* perdida em função do tempo de *soak* aplicado durante o processo. Como previsto, a massa de *photoresist* removida aumenta continuamente com o tempo de *soak*, sendo que após 60 segundos a massa perdida corresponde à média da massa de *photoresist* depositado durante a operação de litografia (0,56 g ± 0,02).

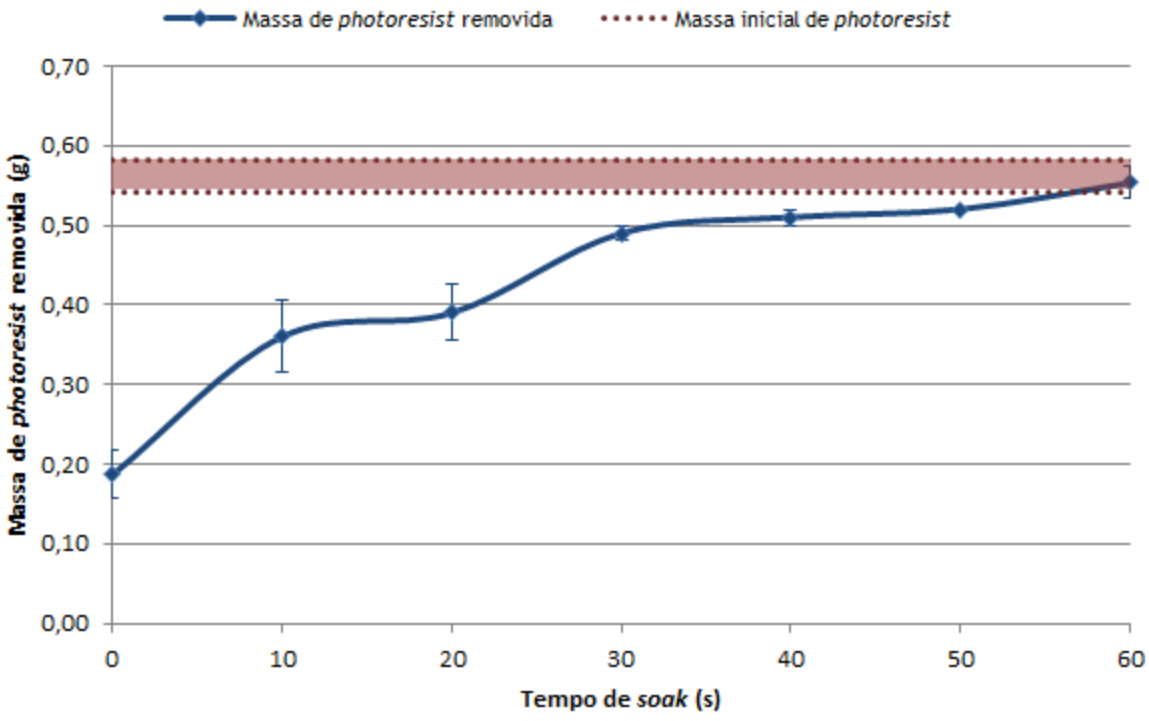


Figura 38 – Variação da massa de *photoresist* removida em função do tempo de *soak*.

6.3. CRIAÇÃO E VALIDAÇÃO DO PROCESSO DE *STRIPPING* OTIMIZADO

A criação do processo otimizado de *stripping* teve inicialmente como base a análise dos s*trippers* alternativos, estando estes reduzidos ao s*tripper* S devido à inadequação da acetona ao processo implementado.

Sabendo que o custo do s*tripper* S é cerca do dobro do custo do s*tripper* A, a sua implementação apenas se justificaria caso o *strip rate* do s*tripper* alternativo fosse igualmente duas vezes superior. Considerando os resultados descritos na secção 6.1 esta alteração não se justifica, sendo assim mantido o s*tripper* A no processo de *wet etching*.

A otimização do processo passa desta forma pela diminuição do consumo atual de s*tripper* A. Considerando o processo de referência (tabela 7) e sabendo que a deposição em *stream* tem um caudal cerca de 2,5 vezes superior à deposição em *spray*, a proposta inicial passou pela diminuição do tempo de deposição em *stream* ou mesmo pela substituição deste passo pela deposição em *spray*.

Tabela 7 - Comparação dos processos otimizados de *stripping* em relação ao processo de referência.

Processo de referência (PR)		Processo otimizado 1 (PO1)		Processo otimizado 2 (PO2)	
Stream	14 s 50 rpm	*Spray*	15 s 200 rpm	*Spray*	15 s 200 rpm
Soak	20 s 15 rpm	*Soak*	30 s 15 rpm	*Soak*	60 s 15 rpm
Stream	14 s 50 rpm	*Spray*	15 s 200 rpm	*Spray*	20 s 200 rpm
Soak	20 s 15 rpm	*Soak*	30 s 15 rpm		
Spray	20 s 50 rpm	*Spray*	15 s 200 rpm		

Analisando cuidadosamente os resultados de *strip rate* demonstrados pela figura 32, é possível observar que a combinação de *stream* e *soak* possui um *strip rate* muito superior às restantes condições. Não obstante, ao fim da segunda deposição de *stripper*, a conjugação de *spray* e *soak* possui o mesmo efeito sobre a massa de *photoresist* removida, ficando assim

definida a substituição das deposições em *stream* do processo de referência para deposições em *spray*. De modo a garantir o *overetching* do processo alterado, optou-se ainda por aumentar o tempo dos dois passos de *soak* em 10 segundos.

A grande vantagem de utilizar a operação de *soak* com um tempo acrescido baseia-se no facto de ser possível remover uma maior quantidade de *photoresist* sem aumentar o consumo de *stripper*, diminuindo assim os custos associados a este processo.

O estudo da influência da velocidade de rotação durante a deposição do *stripper* (figura 35) levou à escolha de uma velocidade de 200 rpm, de modo a amplificar o *strip rate* do solvente durante esta etapa do processo.

A conjugação destas duas análises deu assim origem ao processo otimizado 1 (PO1). O consumo deste processo representa uma redução de 49 % em relação ao consumo atual de *stripper*.

O estudo realizado com as variáveis da operação de *soak* permitiu verificar que ao fim de 60 segundos de *soak* o *photoresist* é removido quase na totalidade. Consequentemente foi sugerido o processo otimizado 2 (PO2), que possui um menor tempo de deposição de *stripper*, representando uma redução de 60 % em relação ao consumo atual.

Após realizar uma análise de modos e efeitos de falha (FMEA) potenciais, definiu-se testar os processos otimizados em *wafer*s reconstruídas, de modo a compará-los com o processo de referência (PR) em condições mais próximas à realidade industrial da NANIUM. Adicionalmente definiu-se que estas *wafer*s seguiriam o processo eWLB implementado, a fim de detetar falhas que poderão ser potenciadas pela alteração do processo de *stripping*.

Observando a execução do PO1 e PO2, realizados em *wafer*s reconstruídas, verificou-se que algumas zonas da periferia da *wafer* não eram corretamente molhadas pelo s*tripper*. Este acontecimento não era expectável já que o ângulo de contacto medido para o s*tripper* A foi bastante reduzido. No entanto, é necessário referir que o ângulo de contacto foi medido em *wafer*s BS e não em *wafer*s reconstruídas. Como tal, é possível que o MC existente nas *wafer*s reconstruídas produza uma alteração na tensão superficial dos materiais depositados durante o processo eWLB, alterando a molhabilidade dos mesmos.

Em consequência destas observações, formularam-se versões alternativas dos processos idealizados, reduzindo-se a velocidade de rotação para a utilizada no processo de referência (50 rpm). Estes novos processos serão denominados por PO11 e PO22 conforme tiveram origem no PO1 ou PO2, respetivamente. Foram assim testados quatro processos otimizados (POs) em *wafer*s reconstruídas.

Dada a seletividade dos reagentes utilizados no processo de *wet etching*, a remoção inadequada de *photoresist* dará origem a uma remoção incompleta da s*eed layer*, após as operações de *etching* de cobre e titânio. Deste modo, o primeiro sinal da ineficácia do processo de *stripping* estará na existência de resíduos de *seed layer* após o processo de *wet etching*. A inspeção no microscópio ótico após a operação de *wet etching* revelou um maior número de resíduos de *seed layer* na *wafer* submetida ao PO2 (figura 39). Nas restantes *wafers* foi detetada uma quantidade de resíduos substancialmente menor, estando estes concentrados nas zonas de *dicing* do *chip*. Esta quantidade e distribuição de resíduos, demonstrada pela figura 40, era semelhante entre *wafers* submetidas ao PO1, PO11 e PO22.

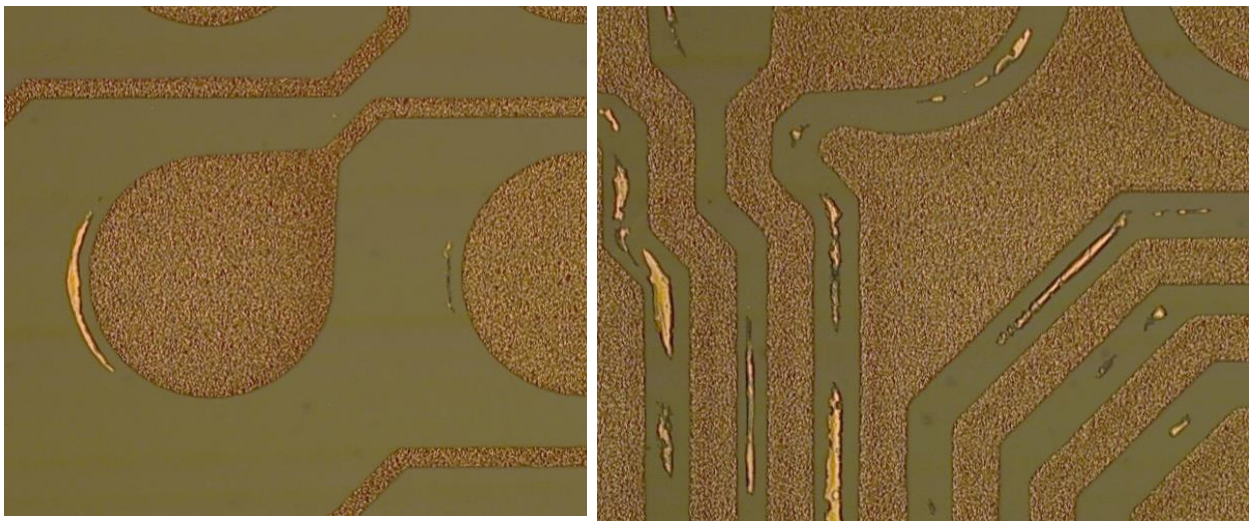


Figura 39 – *Wafer* após *wet etching* realizado com o PO2, mostrando resíduos de *seed layer* (a amarelo) entre as estruturas de cobre (a castanho). As figuras são apresentadas com a mesma ampliação.

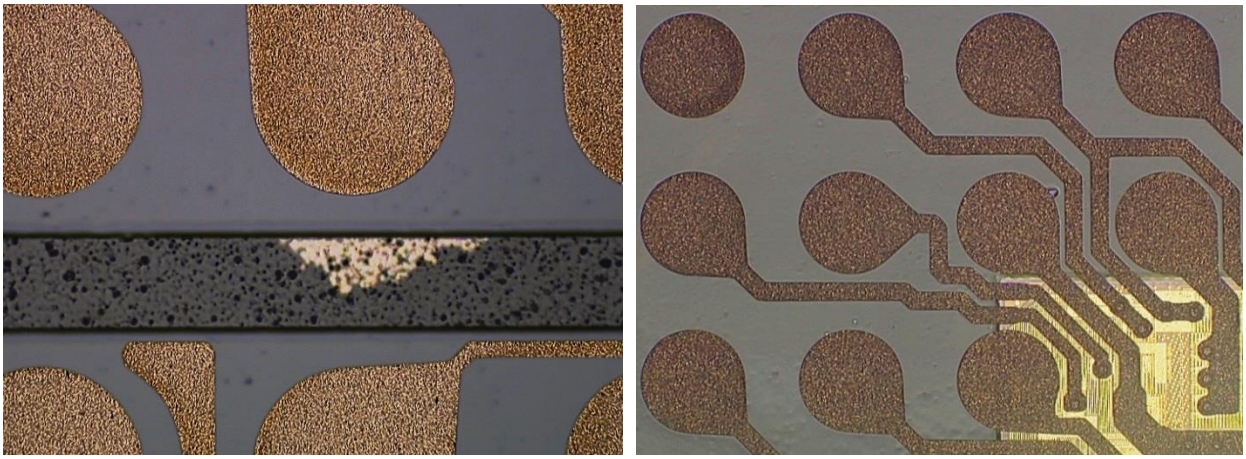


Figura 40 – *Wafer* após *wet etching* realizado com o PO1. É apenas visível *seed layer* entre os vários *packagings* (à esquerda). A figura à esquerda é apresentada com o dobro da ampliação da figura à direita.

A presença de resíduos de s*eed layer*, se em contacto com duas estruturas de cobre distintas, dará origem a uma perda não intencional de corrente elétrica (*leakage*), que poderá tornar o *chip* inutilizável. A medição desta corrente é feita com recurso a um dispositivo elétrico que possui duas pontas de prova. As pontas de prova são colocadas sobre duas estruturas de cobre próximas, mas que não deveriam ter qualquer contacto. O dispositivo quantifica a corrente que flui entre estes dois pontos quando aplicada uma tensão. Quanto maior a corrente medida, maior o *leakage* existente. O *leakage* é medidos em estruturas especialmente desenhadas para o efeito, em 62 *dies* espalhados uniformemente pela *wafer*.

Os resultados da medição de *leakage* após wet etching estão descritos na figura 41. Analisando os valores de *leakage* obtidos, verifica-se que não existem diferenças significativas entre os POs testados, sendo a resposta semelhante ao obtido através do PR. Adicionalmente, todas as amostras demonstram valores de *leakage* inferiores ao máximo previsto pela NANIUM.

A medição de *leakage* não é, no entanto, suficiente para garantir a inexistência de resíduos de *seed layer*, já que é necessário haver um contato entre a *seed layer* e a estrutura de cobre para que o *leakage* se manifeste.

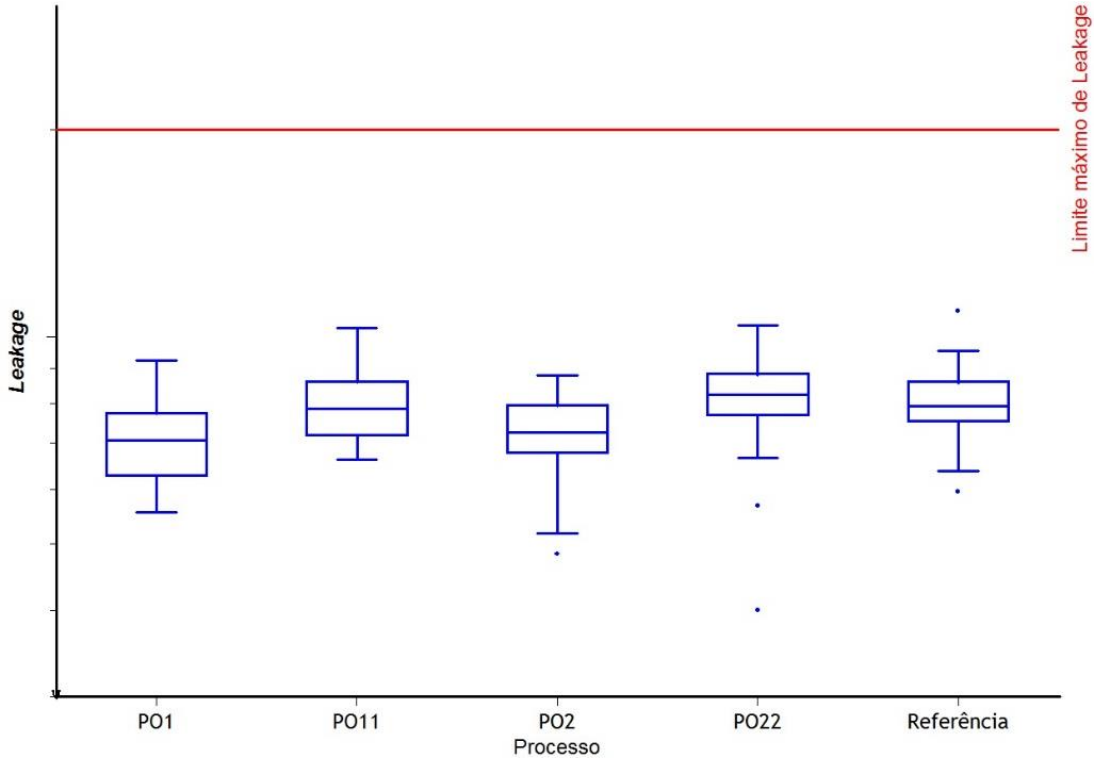


Figura 41 – Comparação do *leakage* medido após os vários processos de *stripping* executados.

A inspeção a 100 % da superfície da *wafer* permitiu quantificar mais detalhadamente os tipos de defeitos existentes após a etapa de redistribuição do processo eWLB. Através desta inspeção confirma-se uma maior presença de resíduos de *seed layer* no PO2 (figura 42). Os restantes POs testados demonstram resultados semelhantes e um número de defeitos idêntico ao PR. A figura 43 demonstra o mapa da *wafer* submetida ao PO2. Nesta figura estão identificados os *dies* não produtivos a amarelo, os *dies* conformes a verde e os *dies* com defeitos nas restantes cores. Os *dies* representados a amarelo com um círculo preto possuem a estrutura de cobre para a medição de *leakage*. Observa-se uma grande quantidade de defeitos nas zonas periféricas da *wafer*, sendo na sua maioria devido a resíduos de *seed layer* (identificados a castanho).

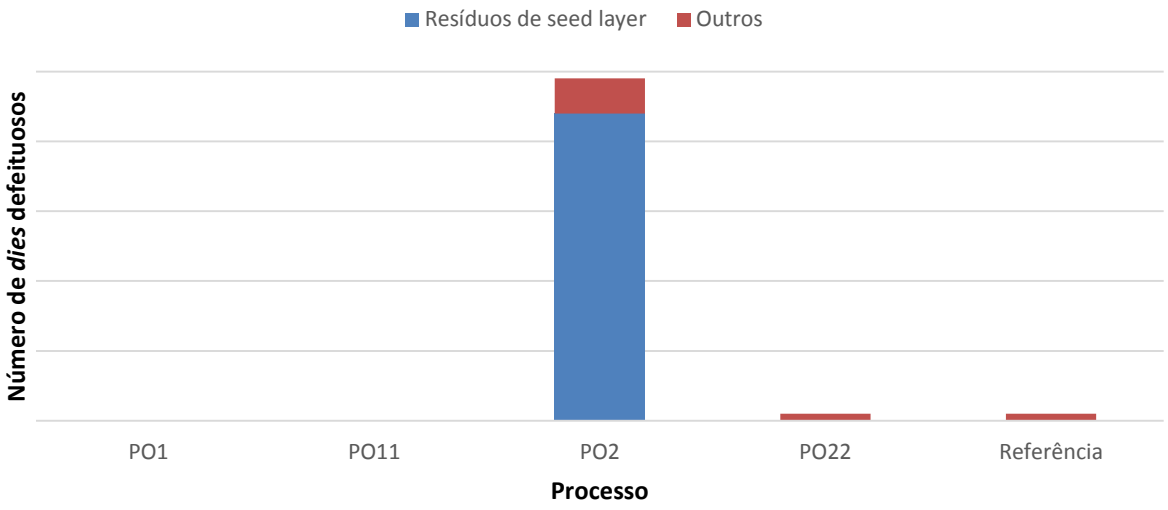
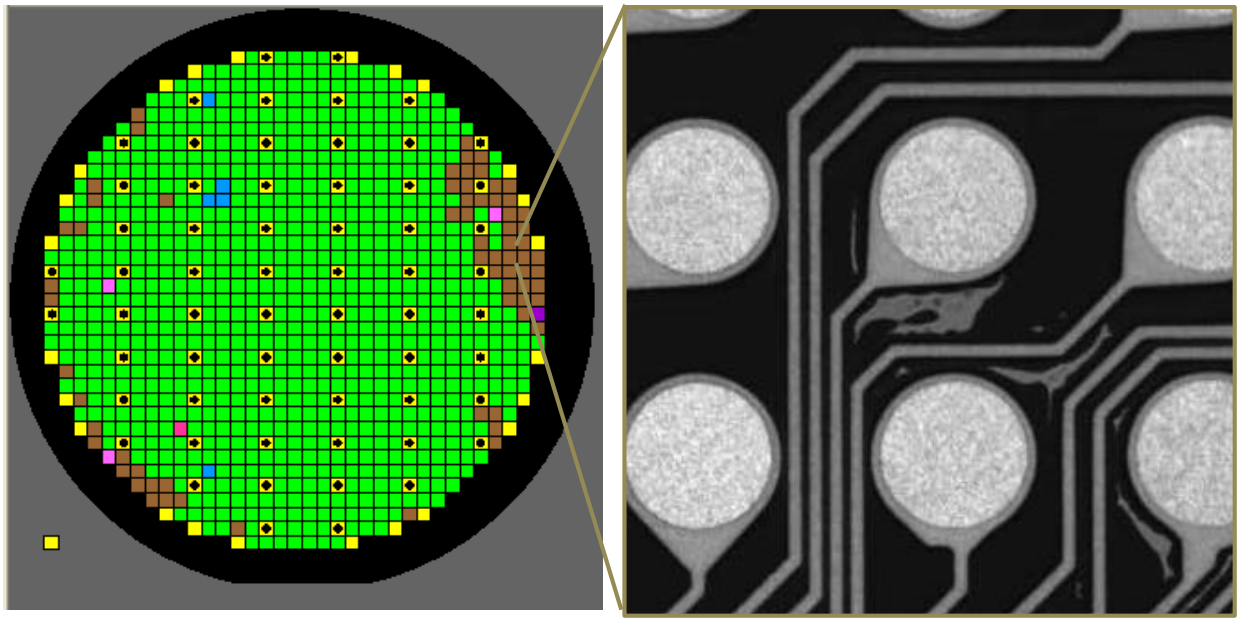


Figura 42 – Quantidade e tipo de defeitos identificados após inspeção automatizada, segundo o processo de *stripping* executado.



(a) **(b)**

Figura 43 – (a) Mapa de distribuição de defeitos na *wafer* submetida ao PO2. Os defeitos por resíduos de *seed layer* estão marcados a castanho (b) Imagem obtida através da inspeção automatizada, demonstrando resíduos de *seed layer* entre as estruturas de cobre, na *wafer* submetida ao PO2.

A medição da espessura de cobre eletrodepositado revela que a alteração do processo de *stripping* não produz qualquer efeito no parâmetro medido, como pode ser observado na figura 44.

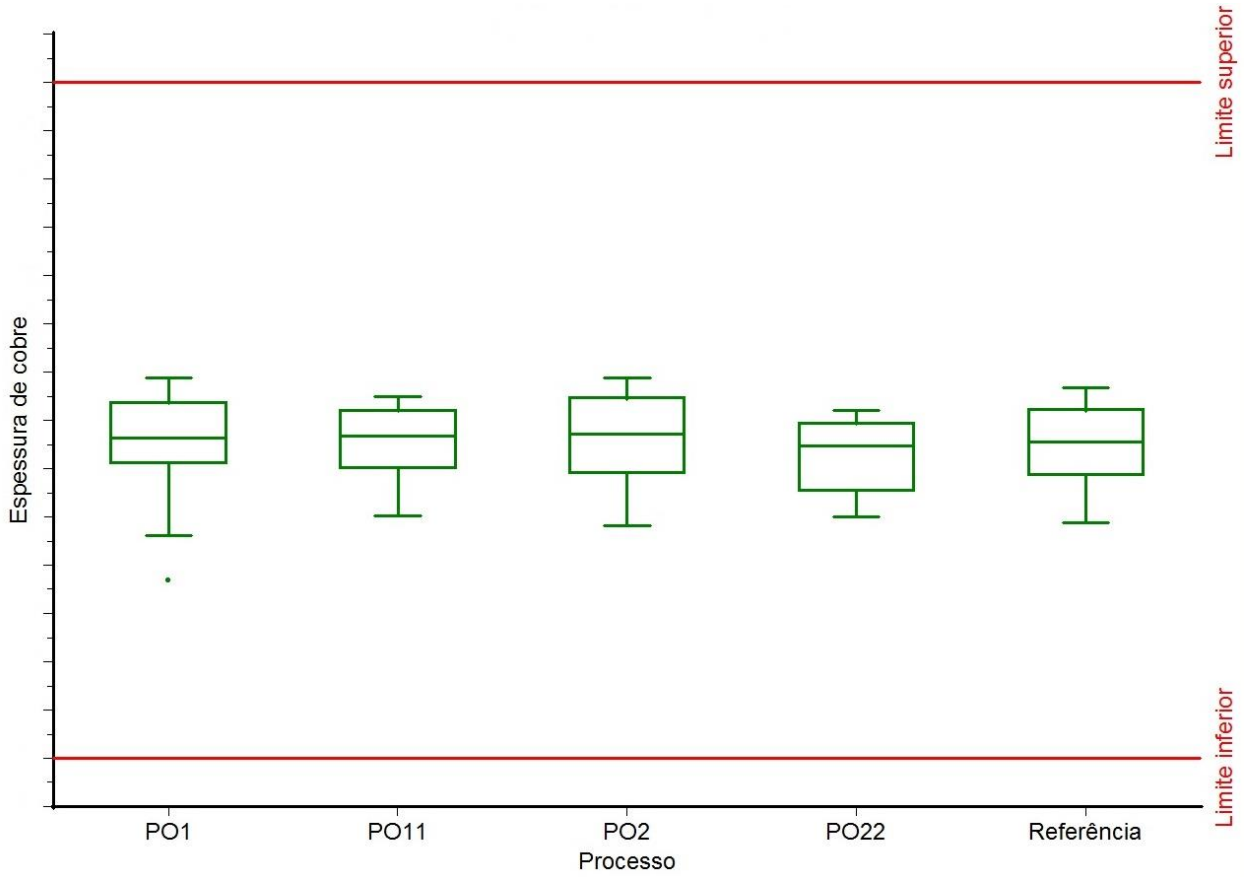


Figura 44 – Espessura de cobre depositado, segundo o processo de *stripping* executado.

Os resultados obtidos através desta inspeção podem ser traduzidos em valores de *yield* (figura 45), ou seja, percentagem de *chips* conformes no fim desta etapa de processo. Mais uma vez, verifica-se que todos os procedimentos realizados são semelhantes, à exceção do PO2 que demonstra um *yield* mais baixo que os restantes.

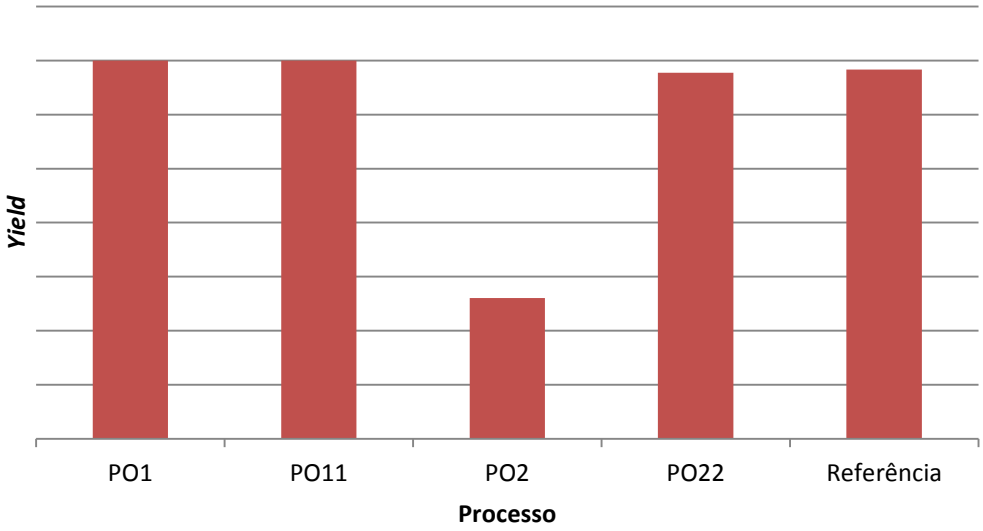


Figura 45 – *Yield* após etapa a redistribuição, segundo o processo de *stripping* executado.

Os resultados obtidos até este momento são favoráveis para a alteração do PR, já que são equiparáveis a este. As *wafer*s processadas com os POs estão atualmente a seguir o processo produtivo, onde será quantificada a adesão das bolas de solda ao *chip*.

De modo a confirmar a eficácia dos procedimentos otimizados, foi efetuada uma análise de FTIR em modo ATR, traduzida pela figura 46. Esta análise foi realizada em amostras de *wafer*s BS submetidas à operação de *stripping* com o PO1 e PO2. Adicionalmente foi analisada uma *wafer* BS sem operação de *stripping*, possuindo por isso a camada de *photoresist* 1 depositada por litografia.

Durante o processo de litografia a maioria do solvente presente no *photoresist* irá desaparecer por evaporação e devido à operação de *soft-baking*. Desta forma, é expectável que o espectro correspondente à amostra após eletrodeposição seja semelhante ao espectro da resina epoxídica exibido pela figura 21. É possível observar a semelhança entre os dois espectros, confirmando a existência de uma resina epoxídica à superfície da amostra. Verifica-se ainda a existência de uma banda por volta dos 960 cm^{-1} (identificada por uma seta), que mostra a presença de um anel de oxirano, o grupo característico associado às resinas epoxídicas.

Analisando os restantes resultados de FTIR, é possível confirmar a semelhança dos espectros das amostras submetidas ao *stripping* através do PO1 e PO2, o que exprime uma eficácia semelhante dos dois POs criados. Adicionalmente, não se observa nenhum dos picos característicos dos compostos do *photoresist* identificados no espectro FTIR da amostra que não sofreu *stripping*. Consequentemente, a análise FTIR vem reforçar a eficácia dos processos otimizados definidos.

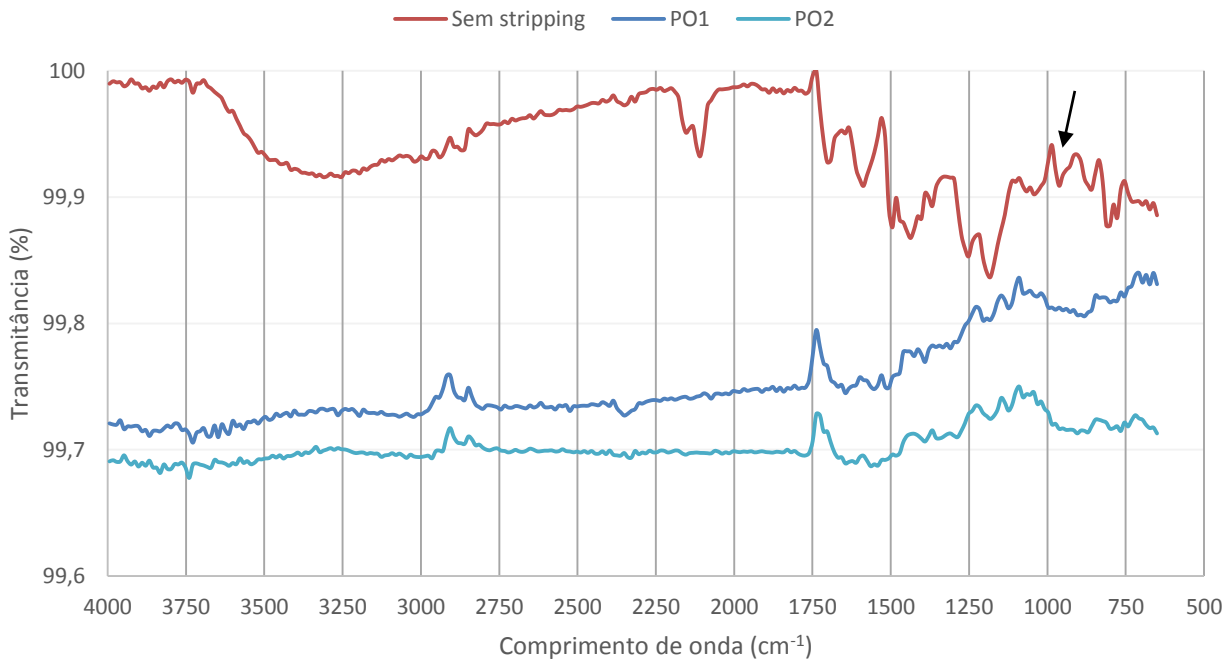


Figura 46 – Comparação dos espectros FTIR em transmitância de todas as amostras testadas.

7. CONCLUSÕES

Este trabalho teve como objetivo primário o estudo do processo de *stripping* de modo a reduzir os custos associado ao mesmo. Para isso foram considerados diferentes s*trippers* e foram analisados os parâmetros de processo associados à operação de *stripping*. O *stripper* utilizado deveria ser de fácil utilização (de preferência *ready-to-use*) e seguro, adequado à realidade industrial da NANIUM.

Foram considerados dois *strippers* alternativos ao *stripper* atual, o *stripper* S e a acetona. Este último *stripper* demonstrou ser ineficaz na remoção do *photoresist* utilizado. O *stripper* S demonstrou ser eficaz e exibiu um *strip rate* mais elevado que o *stripper* utilizado atualmente. No entanto, esta melhoria na eficiência da operação de *stripping* não é suficiente para justificar a diferença de custo entre o *stripper* S e o *Stripper* atual. Consequentemente, a alteração do *stripper* não iria de encontro com o objetivo proposto, pelo que o *stripper* S foi desconsiderado.

Através do estudo dos parâmetros do processo de *stripping*, verificou-se ser possível a diminuição do consumo do *stripper* utilizado pela substituição da deposição em *stream* pela deposição em *spray* e pelo aumento do tempo de *soak*.

Foram criados processos de *stripping* otimizados que representam uma redução do custo associado à operação de *stripping* entre 49 a 60 %.

Os espectros de FTIR demonstram a remoção eficaz dos processos de *stripping* otimizados, já que estes não apresentam as bandas típicas do *photoresist* utilizado.

Identificaram-se os possíveis modos de falha associados à alteração do processo da operação de *stripping*, tendo sido definidos inspeções e parâmetros de controlo adequados à sua deteção. Todos os processos otimizados testados demonstram valores de *leakage* semelhantes aos obtidos com a operação de *stripping* de referência. Contudo, as inspeções a microscópio ótimo revelaram um maior número de resíduos de *seed layer* no PO2, que se traduziu num valor de *yield* menor. Assim, o PO2 não é adequado para implementação na linha produtiva da NANIUM.

O trabalho futuro a realizar prevê a análise da adesão das bolas de solda ao *chip*. Pelos resultados descritos, não é expectável uma variação deste parâmetro devido à alteração do processo de *stripping*.

A próxima etapa do estudo consistirá na realização de uma experiência em *wafer*s produtivas, de modo a confirmar os resultados obtidos até agora. Atendendo a todos os parâmetros avaliados, a experiência em produção deverá ser aplicada ao PO22, já que é este que apresenta uma maior redução de custos sem comprometer o *yield* do processo. Sendo os resultados desta experiência positivos, proceder-se-á à implementação do novo processo otimizado.

REFERÊNCIAS BIBLIOGRÁFICAS

1. Analog Devices. *Integrated Circuits for Next Generation Appliances*. 2013 [consultado em 29-12-2013]; Disponível em: http://www.analog.com/static/imported-files/tech_docs/White.Goods.Flyer.pdf.
2. Bralla, J. G., *Handbook of Manufacturing Processes - How Products, Components and Materials are Made*. 2007: Industrial Press.
3. Fujitsu. *Integrated Circuits for Embedded Applications*. 2012 [consultado em 29-12-2013]; Disponível em: http://www.fujitsu.com/downloads/MICRO/fsa/pdf/products/spbg/SPBG_ALL_Overview_BR.pdf.
4. Asthana, R., A. Kumar, and N. B. Dahotre, *Chapter 7 - Semiconductor Manufacturing*, in *Materials Processing and Manufacturing Science*, R. Asthana, A. Kumar, and N.B. Dahotre, Editors. 2006, Academic Press: Burlington. p. 485-550.
5. Chatterjee, P. K., S. D. S. Malhi, M. G. Harward, et al., *Chapter 20 - Integrated Circuits*, in *Reference Data for Engineers (Ninth Edition)*, W.M. Middleton and M.E. Valkenburg, Editors. 2002, Newnes: Woburn. p. 1-113.
6. Nobelprize.org. *The History of the Integrated Circuit*. 2013 [consultado em 29-12-2013]; Disponível em: http://www.nobelprize.org/educational/physics/integrated_circuit/history/.
7. Storr, W. *Digital Logic Gates*. 2013 [consultado em 29-12-2013]; Disponível em: http://www.electronics-tutorials.ws/logic/logic_1.html.
8. Schirber, M. *Noisy Logic*. 2011 [consultado em 29-01-2014]; Disponível em: http://prbo.aps.org/story/v23/st7.
9. Intel Corporation. *Moore's Law: Fun Facts*. 2012 [consultado em 02-01-2014]; Disponível em: http://www.intel.com/content/www/us/en/history/history-moores-law-fun-facts-factsheet.html.
10. Courtland, R. *The Status of Moore's Law: It's Complicated*. 2013 [consultado em 02-01-2014]; Disponível em: http://spectrum.ieee.org/semiconductors/devices/the-status-of-moores-law-its-complicated.
11. ISO - International Organization for Standardization, *ISO 14644-1:1999 - Cleanrooms and associated controlled environments -- Part 1: Classification of air cleanliness*, 1999.
12. Terra Universal Inc. *FS209E and ISO Cleanroom Standards*. 2014 [consultado em 30-06-2014]; Disponível em: http://www.terrauniversal.com/cleanrooms/iso-classification-cleanroom-standards.php.
13. NANIUM. *Wafer-Level Packaging*. 2014 [consultado em 17-01-2014]; Disponível em: http://www.nanium.com/our-offer/wafer-level-packaging.
14. Ayers, J. E., *Digital integrated circuits: analysis and design*. 2005: CRC Press.
15. Bates, S. P., *Silicon Wafer Processing*, 2000, SJSU / Applied Materials / IISME-ETP.
16. Pinto, R. B., *Medição de Adesão de Interfaces no Package Microeletrónico - Dissertação de Mestrado*, 2013, FEUP: Porto.
17. Kubicki, K. *Intel Opens 300mm Wafer Fab 24-2*. 2006 [consultado em 29-01-2014]; Disponível em: http://www.dailytech.com/Intel+Opens+300mm+Wafer+Fab+242/article2998.htm.

18. TopLine. *Silicon Test Die - Variety of Wire Bondable Patterns*. 2013 [consultado em 29-01-2014]; Disponível em: http://www.topline.tv/test_die.html.
19. Fan, X. *Wafer level packaging (WLP): Fan-in, fan-out and three-dimensional integration*. in *Thermal, Mechanical & Multi-Physics Simulation, and Experiments in Microelectronics and Microsystems (EuroSimE), 2010 11th International Conference on*. 2010.
20. STATS ChipPAC. *Wafer Level Technology*. 2014 [consultado em 17-01-2014]; Disponível em: http://www.statschippac.com/services/packagingservices/waferlevelproducts/ewlb.aspx.
21. Brankovic, S. and B. Crue, *Wet etch for selective removal of alumina*, 2004, Google Patents.
22. Ting, H. T., K. A. Abou-El-Hossein, and H. B. Chua, *Review of micromachining of ceramics by etching*. Transactions of Nonferrous Metals Society of China, 2009. **19, Supplement 1**(0): p. s1-s16.
23. Williams, K. R. and R. S. Muller, *Etch rates for micromachining processing*. Microelectromechanical Systems, Journal of, 1996. **5**(4): p. 256-269.
24. NANIUM, *Nanium Overview*, 2013, Relatório Interno.
25. Infineon Technologies AG. *Infineon Technologies, Qimonda and Tessera Conclude Licensing Agreement and Settle All Existing Claims*. 2006 [consultado em 26-02-2014]; Disponível em: http://www.infineon.com/cms/en/corporate/press/news/releases/2006/190331.html.
26. Qimonda. *Company History*. [consultado em 26-02-2014]; Disponível em: http://www.qimonda-licensing.com/CompanyHistory.html.
27. Siemens AG. *Former Affiliates*. 2014 [consultado em 26-02-2014]; Disponível em: https://www.siemens.com/history/en/affiliated_companies/former_affiliates.htm#toc-13.
28. *IFTLE 124 Status and the Future of eWLB; Will Deca lower the cost of FO-WLP ?* 2012 [consultado em 27-02-2014]; Disponível em: http://electroiq.com/insights-from-leading-edge/2012/11/iftle-124-status-and-the-future-of-ewlb-will-deca-lower-the-cost-of-fo-wlp/.
29. NANIUM. *NANIUM Opens Branch Office in Dresden*. 2012 [consultado em 27-02-2014]; Disponível em: http://www.nanium.com/sites/default/files/2012-01-25_NANIUM_NewsRelease_Dresden%20Office.pdf.
30. Yuen, J. *NANIUM Passes Production Milestone: 200 million eWLB Components Shipped in Less than Two Years*. 2012 [consultado em 26-02-2014]; Disponível em: http://www.reuters.com/article/2012/10/10/idUS36988+10-Oct-2012+BW20121010.
31. Intel Corporation. *Performance Characteristics of IC Packages*. 2000 [consultado em 02-03-2014]; Disponível em: http://www.intel.com/content/dam/www/public/us/en/documents/packaging-databooks/packaging-chapter-04-databook.pdf.
32. Che, F. X., H. Y. Li, Z. Xiaowu, et al. *Wafer level warpage modeling methodology and characterization of TSV wafers*. in *Electronic Components and Technology Conference (ECTC), 2011 IEEE 61st*. 2011.
33. Fan, X. and Q. Han. *Design and Reliability in Wafer Level Packaging*. in *Electronics Packaging Technology Conference, 2008. EPTC 2008. 10th*. 2008.
34. Liu, C. C., C. Shuo-Mao, K. Feng-Wei, et al. *High-performance integrated fan-out wafer level packaging (InFO-WLP): Technology and system integration*. in *Electron Devices Meeting (IEDM), 2012 IEEE International*. 2012.

35. Prashant, M., Y. Seung-Wook, L. Yaojian, et al. *Cost effective 300mm large scale eWLB (embedded Wafer Level BGA) technology*. in *Electronics Packaging Technology Conference (EPTC), 2011 IEEE 13th*. 2011.
36. SPTS. *Fan-out Wafer Level Packaging*. 2013 [consultado em 17-01-2014]; Disponível em: http://www.spts.com/banners/fo-wlp.
37. NANIUM, *eWLB Process Flow (Relatório Interno)*. 2013.
38. Bahreyni, B., *Chapter 2 - Microfabrication*, in *Fabrication and Design of Resonant Microdevices*, B. Bahreyni, Editor. 2009, William Andrew Publishing: Norwich, NY. p. 9-46.
39. Cirelli, R. A., G. P. Watson, and O. Nalamasu, *Optical Lithography*, in *Encyclopedia of Materials: Science and Technology (Second Edition)*, K.H.J. Buschow, et al., Editors. 2001, Elsevier: Oxford. p. 6441-6448.
40. Darling, R. B. *EE-527: MicroFabrication - Photolithography*. [consultado em 28-03-2014]; Disponível em: http://www.ee.washington.edu/research/microtech/cam/PROCESSES/PDF%20FILES/Photolithography.pdf.
41. Heraeus Materials Technology. *Sputtering Process Animation*. 2014 [consultado em 03-04-2014]; Disponível em: http://heraeus-targets.com/en/technology/_sputteringbasics/sputtering.aspx.
42. Paul Goodhead. *How to Make a CPU - Electroplating and Interconnect Layering*. 2010 [consultado em 20-06-2014]; Disponível em: http://www.bit-tech.net/hardware/cpus/2010/06/10/how-to-make-a-cpu-from-sand-to-shelf/3.
43. Datta, M. and D. Harris, *Electrochemical micromachining: An environmentally friendly, high speed processing technology*. Electrochimica Acta, 1997. **42**(20–22): p. 3007-3013.
44. Köhler, M., *Isotropic Etching*, in *Encyclopedia of Microfluidics and Nanofluidics*, D. Li, Editor. 2008, Springer US. p. 877-884.
45. Gomes, W. P., *Chapter 6 Wet etching of III-V semiconductors*, in *Semiconductors and Semimetals*, R. Willardson and H.S. Nalwa, Editors. 2001, Elsevier. p. 215-295.
46. Gosalvez, M. A., K. Sato, A. S. Foster, et al., *An atomistic introduction to anisotropic etching*. J. Micromech. Microeng., 2007. **17**(4): p. S1-S26.
47. Williams, K. R., K. Gupta, and M. Wasilik, *Etch rates for micromachining processing-Part II*. Microelectromechanical Systems, Journal of, 2003. **12**(6): p. 761-778.
48. Kim, H.-J., D.-J. Kim, J.-K. Ryu, et al., *Removal of the photoresist (PR) and metallic-polymer in the concave-typed storage node using the excimer laser*. Applied Surface Science, 2004. **228**(1–4): p. 100-109.
49. Dow. *INTERVIA™ BP Resist Stripper*. 2014 [consultado em 07-03-2014]; Disponível em: http://www.dow.com/products/market/electronics-and-communications/product-line/intervia-bp-resist-stripper/.
50. Dow. *SURFACESTRIP™ Resist Strippers* 2014 [consultado em 07-03-2014]; Disponível em: http://www.dow.com/products/market/electronics-and-communications/product-line/surfacestrip-resist-strippers/.
51. Marvell Nanofabrication Laboratory. *Lab Manual*. [consultado em.
52. Technic Inc. *Strip, Etch and Clean*. 2014 [consultado em 12-03-2014]; Disponível em: http://www.technic.com/applications/semiconductor/chemistry/strip-etch-clean.
53. José Manuel Gomes dos Santos, L. *Acetona: Ficha de Dados de Segurança*. [consultado em 07-03-2014]; Disponível em: http://jmgs.pt/pdfs/Fichas_de_Seguranca/Acetona.pdf.

54. Kim, H., S.-H. Choi, J. Kim, et al., *Microfabrication of single chamber SOFC with co-planar electrodes via multi-step photoresist molding with thermosetting polymer*. Journal of Materials Processing Technology, 2010. **210**(9): p. 1243-1248.
55. MicroChemicals. *Photoresist Removal*. 2013 [consultado em 28-02-2014]; Disponível em: http://www.microchemicals.com/technical_information/photoresist_removal.pdf.
56. Wurth. *Acetona para limpeza: Ficha de Dados de Segurança*. 2004 [consultado em 07-03-2014]; Disponível em: http://www.wurth.pt/frontend/media/pdf/FS893%20460.pdf.
57. Zheng, Y., J. Liang, and Z. Liang, *Design and fabrication of step mirrors used in space-modulated Fourier transform infrared spectrometer*. Optics Express, 2013. **21**(1): p. 884-892.
58. Barthen, M. L., *Analysis of Shipley Microposit Remover 1165 and AZ@ P4620 Photoresist Waste Disposal for Company XYZ*, 2001, University of Wisconsin-Stout.
59. Flack, W. W., H.-A. Nguyen, E. Capsuto, et al., *Characterization of 100 micron thick positive photoresist on 300-mm wafers*. SPIE Proceedings, 2005. **5753**.
60. Jouyban, A., M. A. Fakhree, and A. Shayanfar, *Review of pharmaceutical applications of N-methyl-2-pyrrolidone*. J Pharm Pharm Sci, 2010. **13**(4): p. 524-35.
61. Tedia. *1-Methyl-2-Pyrrolidinone: Safety Data Sheet*. 2006 [consultado em 04-03-2014]; Disponível em: http://mfc.engr.arizona.edu/safety/MSDS%20FOLDER/N-Methyl-2-pyrrolidinone%20(NMP).pdf.
62. MicroTech Systems, I. *SPM Photoresist Stripping and Cleaning*. 2007 [consultado em 07-03-2014]; Disponível em: http://www.microtechprocess.com/pdf/MTS_SPM.pdf.
63. Spartan Semiconductor Services, I. *PROCESS HANDBOOK: Oxide Etch and Resist Strip*. [consultado em 28-02-2014]; Disponível em: http://www.engr.sjsu.edu/sgleixner/mate129/Process%20Handouts/Process%20Overviews/Etch.pdf.
64. Avantor Performance Materials. *Photoresist Strippers & Post-Etch Residue Removers*. 2011 [consultado em 11-03-2014]; Disponível em: http://www.avantormaterials.com/Electronic-Materials/Products/Photoresist-Strippers-and-Post-Etch-Residue-Removers.aspx.
65. MicroChemicals. *Remover / Stripper*. [consultado em 07-03-2014]; Disponível em: http://www.microchemicals.com/products/remover_stripper.html.
66. Bajpai, M. and S. Seth, *Use of unconventional oils in surface coatings: blends of alkyd resins with epoxy esters*. Pigment & Resin Technology, 2000. **29**(2): p. 82-87.
67. González, M. G., J. C. Cabanelas, and J. Baselga, *Chapter 13 - Applications of FTIR on Epoxy Resins - Identification, Monitoring the Curing Process, Phase Separation and Water Uptake*, in *Infrared Spectroscopy - Materials Science, Engineering and Technology*, T. Theophanides, Editor. 2012, InTech. p. 261-284.
68. Barron, A. R. *Composition and Photochemical Mechanisms of Photoresists*. 2009 [consultado em 17-06-2014]; Disponível em: http://cnx.org/content/m25525/latest/.
69. Sigma-Aldrich. *Propylene glycol monomethyl ether acetate*. 2014 [consultado em 17-06-2014]; Disponível em: http://www.sigmaaldrich.com/catalog/product/sial/484431?lang=pt&region=PT.

ANEXO A – MÉTODO DE TAGUCHI: METODOLOGIA APLICADA

Este anexo tem como objetivo a descrição detalhada dos passos realizados durante o estudo dos parâmetros de *soak* através do método de Taguchi.

1. Descrição do problema a resolver

O passo de *soak* permite remover o *photoresist* durante o processo de *stripping*, sem que haja consumo de *stripper*. Desta forma, a otimização do passo de *soak* permite a diminuição do consumo do *stripper* utilizado e, consequentemente, a diminuição de custos a ele associado. O objetivo deste estudo é assim a otimização dos parâmetros de *soak* no *stripping* do *photoresist* 1, utilizando o *stripper* A.

2. Definição das variáveis de resposta a estudar

A resposta a estudar será a da massa de *photoresist* removida, em gramas, após a operação de *stripping*.

3. Classificação da resposta a obter

O objetivo da operação de *stripping* é a remoção completa do *photoresist* existente. Desta forma, quanto maior a massa de *photoresist* removida melhor será a resposta obtida.

"O valor máximo é o melhor"

4. Definição do número de respostas por experiência

Serão realizados 3 ensaios por cada experiência.

5. Seleção da matriz ortogonal

a. Definição do número de variáveis (fatores) e respetivos níveis

Consideraram-se dois fatores: o tempo de *soak* e a velocidade de rotação da *wafer*. Para cada um destes fatores foram considerados dois níveis, como mostra a tabela abaixo. O nível 1 representa o valor utilizado no processo de referência.

Tabela 8 – Fatores e níveis selecionados para o estudo da operação de *soak* através do método de Taguchi.

Fator	Nível 1	Nível 2
Tempo de *soak* (s)	20	60
Velocidade de rotação (rpm)	15	50

b. Consideração de possíveis interações

Foi considerada uma possível interação entre os dois fatores definidos. Esta interação será representada como o produto entre os fatores considerados (Tempo de *soak* x Velocidade de rotação).

c. Determinação dos graus de liberdade

i. Graus de liberdade das variáveis

V_{GL} = nº de variáveis x (nº de níveis das variáveis – 1)

V_{GL} = 2 X (2 – 1) = 2

ii. Graus de liberdade da interação

I_{GL} = nº de interações x (GL da variável 1 x GL da variável 2)

I_{GL} = 1 x ((2 – 1) x (2 – 1)) = 1

iii. Graus de liberdade totais

$T_{GL} = V_{GL} + I_{GL}$

T_{GL} = 2 + 1 = 3

d. Seleção da matriz ortogonal

A matriz (L_x) deve ser a menor possível para minimizar o número de experiências a realizar (x). O número de experiências a realizar é igual ao número de linhas da matriz ortogonal e deve ser igual ou superior aos graus de liberdade totais.

$$L_x,\ x \geq T_{GL}$$

Neste caso a menor matriz possível para acondicionar 3 graus de liberdade é a L_4, que está descrita abaixo. Cada linha desta matriz corresponde a uma experiência e cada fator ou interação corresponde a uma coluna. Na intersecção das linhas e colunas estão definidos os níveis de cada fator que devem ser utilizados em cada uma das experiências.

Note-se que é possível eliminar colunas de uma matriz ortogonal, mas nunca linhas. Desta forma, o número de experiências mantém-se independentemente das colunas da matriz serem todas preenchidas.

Tabela 9 – Matriz ortogonal L_4 do método de Taguchi.

L_4	Fatores e Níveis		
Experiências	1	2	3
1	1	1	1
2	1	2	2
3	2	1	2
4	2	2	1

6. Alocação dos fatores e interações às colunas da matriz ortogonal

No caso de serem consideradas interações entre os fatores é necessário deixar colunas livres na matriz, para que se possa estimar o seu efeito. A seleção desta coluna não é arbitrária, sendo necessário utilizar gráficos lineares para alocar corretamente a interação na coluna. Abaixo é visível o gráfico linear referente à matriz L_4. Os fatores são representados por círculos. A interação entre dois fatores é representada por um segmento de reta que une os fatores correspondentes.

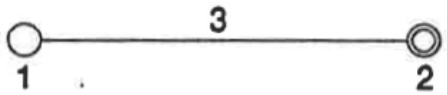


Figura 47 – Gráfico linear da matriz L_4.

Através deste gráfico linear identifica-se que a matriz L_4 permite avaliar 2 fatores e 1 interação, sendo que os dois fatores devem estar nas colunas 1 e 2 e a interação na coluna 3.

7. Execução da experiência

As experiências foram executadas conforme a tabela abaixo.

Tabela 10 – Plano de experiências executadas na aplicação do método de Taguchi.

	Tempo de soak (s)	Velocidade de rotação (rpm)
1	20	15
2	20	50
3	60	15
4	60	50

8. Tratamento dos resultados

Os resultados obtidos podem ser consultados na tabela abaixo.

Tabela 11 – Resultados obtidos após realização das experiências idealizadas.

	Fator A	Fator B	Ensaios			
Experiência	Tempo de soak (s)	Velocidade de rotação (rpm)	1	2	3	Média
1	20	15	0,35	0,42	0,40	0,39
2	20	50	0,46	0,48	0,41	0,45
3	60	15	0,56	0,53	0,57	0,55
4	60	50	0,57	0,56	0,59	0,57
			Valor médio total ($\overline{\mathbf{T}}$)			0,49

A partir destes valores é possível calcular as médias para cada nível dos fatores considerados, bem como o efeito de cada fator. Abaixo é dado como exemplo o cálculo das médias de respostas e do efeito para o fator tempo de *soak*.

Média das respostas para A_1: $\frac{0.39+0.45}{2} = 0.42$

Média das respostas para A_2: $\frac{0.55+0.57}{2} = 0.56$

Efeito do fator A: $|\overline{A_1} - \overline{A_2}| = 0.14$

Realizando estes cálculos para todos os fatores e interações considerados, constrói-se a tabela das médias. Nesta tabela é também considerada a ordem dos fatores/interações com o maior efeito na resposta obtida. Abaixo encontra-se a tabela das médias construída para o estudo realizado.

Tabela 12 – Tabela das médias, construída segundo o método de Taguchi.

	Massa de *photoresist* removida (g)		
	Fator A	Fator B	Interação AxB
	Tempo de *soak*	Velocidade de rotação	Tempo de *soak* x Velocidade de rotação
Nível 1	0,42	0,47	0,48
Nível 2	0,56	0,51	0,50
Efeito	0,14	0,04	0,02
Ordem	1	2	3

Através da tabela das médias são identificados os efeitos mais fortes. Quanto maior o valor obtido no efeito, maior será a importância do fator ou interação considerados na resposta em estudo.

Os valores demonstrados pela tabela das médias permitem a construção do gráfico das médias para cada fator e interação estudados. Quanto maior o declive das linhas maior o efeito do fator.

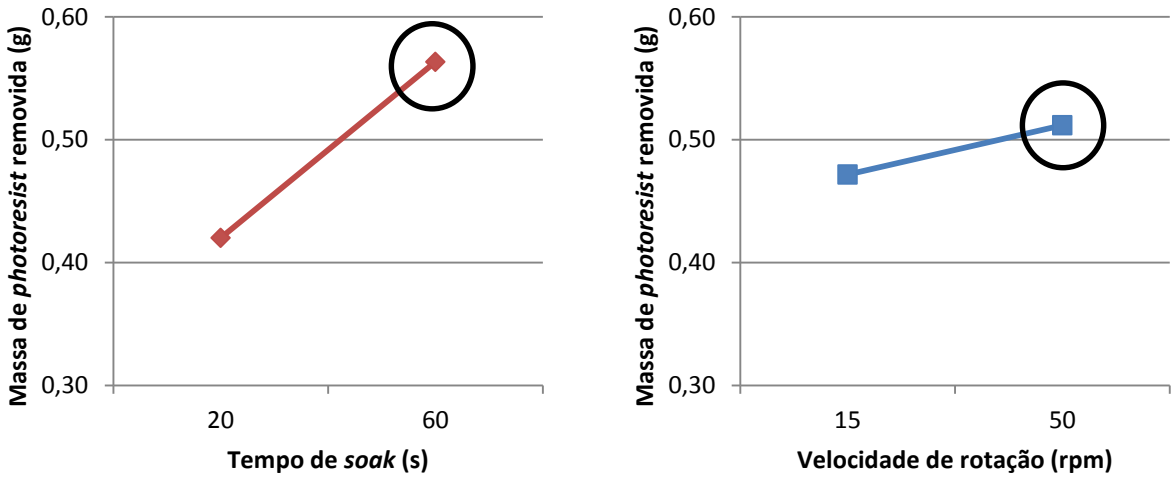


Figura 48 – Efeito do tempo de *soak* (à esquerda) e da velocidade de rotação (à direita) na massa de *photoresist* removida.

Sendo que a melhor resposta é aquela que devolve o valor máximo, então o nível 2 é o mais favorável para ambos fatores estudados, correspondendo à utilização de um tempo de *soak* de 60 segundos e uma velocidade de rotação de 50 rpm.

Para verificar graficamente o efeito das interações deve-se começar por construir a tabela com as respostas obtidas para as diferentes combinações de níveis entre fatores:

Tabela 13 – Respostas médias obtidas para os dois níveis dos fatores estudados.

		Tempo de *soak* (s)	
		20	60
Velocidade de rotação (rpm)	15	0,39	0,55
	50	0,45	0,57

A partir destes, obtêm-se um de três gráficos possíveis, com significados distintos:

- Segmentos paralelos – Não existe interação entre fatores;
- Segmentos com declive diferente – Existe ligeira interação entre fatores;
- Segmentos cruzam-se – Existe uma forte interação entre fatores.

No caso estudado é possível observar retas praticamente paralelas, pelo que existe uma fraca interação entre os fatores considerados. Não havendo uma interação significativa entre os dois fatores, também o gráfico da interação indica que o melhor nível é o nível 2 para ambos fatores.

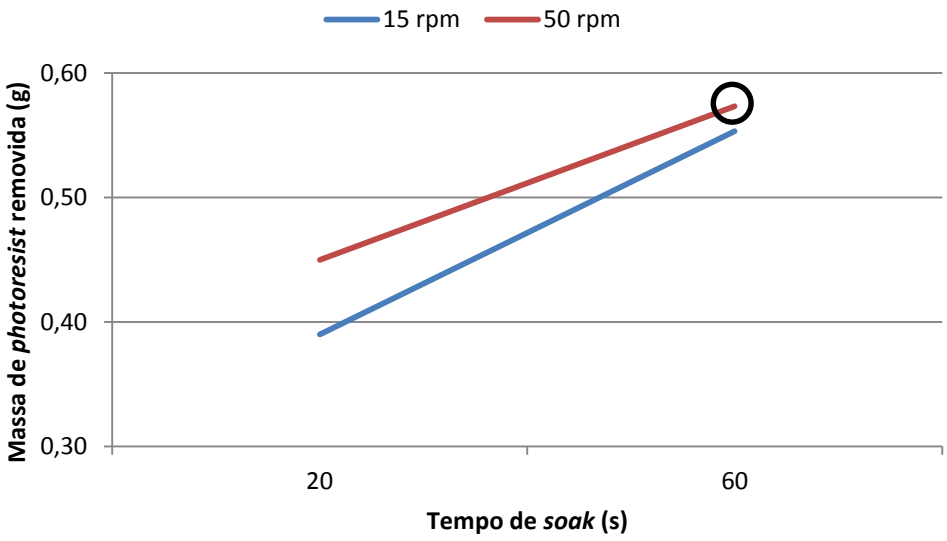


Figura 49 – Efeito da interação tempo de *soak* e velocidade de rotação na massa de *photoresist* 1 removida.

A estimativa da resposta média do processo na melhor combinação (μ) é calculada adicionando à média global ($\overline{T}$) as contribuições dos fatores e das interações consideradas na combinação ótima. Para este cálculo consideram-se normalmente apenas os efeitos mais fortes. No caso estudado, consideraram-se os fatores A e B como possuindo um efeito significativo. Desta forma, calculou-se a resposta esperada considerando o fator A e B, ambos ao nível 2:

$$\mu = \bar{T} + (\overline{A_2} - \bar{T}) + (\overline{B_2} - \bar{T})$$

$$\mu = \overline{A_2} + \overline{B_2} - \bar{T} = 0{,}56 + 0{,}51 - 0{,}49 = 0{,}58\ g$$

Da mesma forma, pode-se calcular a resposta média inicial (μ_i), utilizando os fatores utilizados ao nível utilizado no processo de referência (fator A e fator B ao nível 1). Neste caso, a título de exemplo, será também considerado o efeito da interação, embora este não seja um fator significativo para a variação da resposta:

$$\mu_i = \bar{T} + (\overline{A_1} - \bar{T}) + (\overline{B_1} - \bar{T}) + [(\overline{A_1 B_1} - \bar{T}) - (\overline{A_1} - \bar{T}) - (\overline{B_1} - \bar{T})]$$

$$\mu_i = \overline{A_1 B_1} = 0{,}39\ g$$

A partir destes dados pode-se estimar o ganho esperado:

$$Ganho\ esperado\ (\%) = \left|1 - \frac{\mu}{\mu_i}\right| \times 100 = \left|1 - \frac{0{,}58}{0{,}39}\right| \times 100 = 48{,}7\ \%$$

O valor médio esperado da resposta com melhor de combinação de fatores será de 0,58 g, que comparando com o valor médio inicial de 0,39 g corresponde a uma melhoria de 48,7 %.

A análise de variâncias (ANOVA) funciona como um método complementar à análise do efeito de cada um dos fatores/interações. Enquanto a análise do efeito permite apenas uma qualificação quantitativa da influência de cada fator para a variação da resposta, a ANOVA quantifica esta influência.

No caso estudado definiu-se, através do efeito de cada fator, que o fator mais importante é o tempo de *soak* (fator A), seguido pela velocidade de rotação da *wafer* (fator B) e por fim a interação entre estes dois fatores (AxB).

A aplicação da ANOVA permite verificar que o fator tempo de *soak* é significativamente o mais importante, contribuindo com 81,5 % na variação total da resposta. A interação em análise apresenta uma contribuição mínima na variação total. Os dois fatores selecionados (tempo de *soak* e velocidade de rotação) contribuem com 86,3 % na variação total da resposta.