

Faculdade de Engenharia da Universidade do Porto



**Inversor multi-nível monofásico, cascaded H-
bridge, para painéis fotovoltaicos**

João Pedro Caridade Faria

Dissertação realizada no âmbito do
Mestrado Integrado em Engenharia Electrotécnica e de Computadores
Major Automação

Orientador: Prof. Dr. António Pina Martins

27 de Junho de 2011

© João Faria, 2011

Resumo

Esta dissertação inicia-se com um estudo das topologias de inversores de tensão multi-nível em geral. De seguida, são abordados os métodos de modulação com interesse particular nas aplicações em estruturas multi-nível ponte-H em cascata monofásicas.

Posteriormente, procede-se ao estudo, em geral, dos métodos de modulação em onda quadrada. Este estudo permite a escolha de um método de cálculo dos ângulos de comutação em tempo-real, dentro deste grupo de métodos de modulação.

Procede-se ao estudo do método de modulação seleccionado tendo como objectivo a sua caracterização em ambiente de simulação para estruturas com vários níveis.

Este estudo, em conjunto com o estudo das FPGA's, meio reconfigurável e apropriado à implementação de algoritmos de tempo-real, culmina na implementação do método de modulação numa FPGA para controlo de duas estruturas de 7 e 11 níveis, 3 e 5 pontes respectivamente, de um inversor monofásico ponte-H em cascata.

Os dados da simulação e da implementação são analisados, primeiramente, pela constatação das diferenças entre estes dois ambientes. Por fim é feita a caracterização do método de modulação relativamente ao espectro harmónico da tensão de saída, tempo do cálculo dos ângulos de comutação e, por fim, limites para o índice de modulação.

Abstract

This thesis begins with a study of multi-level voltage-source inverters topologies in general. Subsequently multi-level modulation methods with particular interest in the applications with multi-level cascaded H-bridge single-phase structures are addressed.

Afterwards it proceeds with the study of square wave modulation methods in general. This study allows the selection of a method for calculating the inverters switching angles in real time, within this group of modulation methods.

Thereafter, the selected method is studied with the aim of its characterization in simulation environment for multi-level structures with several level numbers.

This study, together with the study of FPGA's culminated with the implementation of the modulation method in a FPGA to control two structures, with 7 and 11 levels, 3 and 5 H-bridges respectively, single phase cascaded H-bridge inverter.

Lastly, the data collected from simulation and implementation are analyzed. The differences between these two environments are discussed, which ultimately allows the characterization of the modulation method in what concerns to the harmonic spectrum of the output voltage, calculations time of the switching angles and ultimately the limits of the modulation index range.

Agradecimentos

Ao orientador, Prof. Dr António Pina Martins pela orientação, disponibilidade, trabalho e profissionalismo pedagógico demonstrados em todas as fases do projecto, as quais se tornaram imprescindíveis para o sucesso deste.

Ao meu amigo João Martins, em particular pela ajuda na familiarização e no projecto da implementação na FPGA. Em geral, tal como a todos os meus amigos, pelos anos de companheirismo, auxílio, e pelos momentos inesquecíveis em conjunto.

Aos Prof. Drs José Carlos Alves e Carlos João Ramos pela disponibilidade e ajuda concedidas na fase da implementação do *design* na FPGA.

Ao colega Telmo Lima pelo desenvolvimento prévio do hardware das pontes em H, sem o qual este projecto não seria realizável neste intervalo de tempo.

À minha família, com a esperança que através das minhas acções consiga expressar o quanto importante é para mim.

Índice

Lista de figuras	xv
Lista de tabelas	xix
Abreviaturas e Símbolos	xxi
Capítulo 1	1
Introdução	1
1.1. Caracterização detalhada do problema a tratar	2
1.2. Objectivos	3
1.3. Plano de trabalho	3
1.4. Resultados fundamentais	3
1.5. Estrutura do documento	4
Capítulo 2	5
Revisão da literatura e estado da arte	5
2.1. Topologias	5
2.1.1 Diode Clamped	6
2.1.2. Flying Capacitors	8
2.1.3. Cascaded H-Bridge	10
2.1.4. Outras topologias	12
2.1.4.1. Multi-Point Clamped	12
2.1.4.2. Generalized Multilevel	13
2.1.4.3. Multi-nível modular com meia-ponte	14
2.2. Modulação	16
2.2.1. Modulação de largura de impulsos baseada em portadoras	17

2.2.1.1. MLI por desfasamento de portadoras	18
2.2.1.2. MLI por desnivelamento de portadoras	19
2.2.2. MLI vectorial.....	21
2.2.3. Modulação por onda quadrada.....	23
2.2.3.1. A formulação convencional do problema.....	24
2.2.3.2. O método de cálculo iterativo	25
2.3 Conclusão	26
Capítulo 3	27
Simulação do inversor monofásico	27
3.1. Introdução.....	27
3.2. Simulação do inversor em cascata com o método de modulação à frequência fundamental	28
3.2.1. Variação de frequência e estratégia de comutação	28
3.2.2. Cálculos dos ângulos de comutação	29
3.2.1. Três pontes	32
3.2.2. Sete pontes.....	36
3.2.3. Cinco pontes	38
3.3. Conclusões.....	40
Capítulo 4	41
Implementação.....	41
4.1 Introdução	41
4.2 Arquitectura do sistema desenvolvido	46
4.2.1 Projecto dos módulos constituintes.....	46
4.3 Resultados de simulação	52
4.4 Conclusão	53
Capítulo 5	55
Discussão de resultados	55
5.1 Introdução	55
5.2 Os ensaios	55
5.2.1 Resultados dos ensaios com a estrutura de 7 níveis.....	56
5.2.2 Resultados dos ensaios com a estrutura de 11 níveis	62
5.3 Conclusão.....	67

Capítulo 6	69
Discussão e futuros desenvolvimentos	69
6.1 Discussão	69
6.2 Trabalhos futuros	70
Referências	71

Lista de figuras

Figura 1.1 - Cadeia de conversão para painéis fotovoltaicos.	1
Figura 1.2 - Exemplos de formas de onda tensão para: um inversor tradicional trifásico; b) inversor multi-nível	2
Figura 2.1.1 - Estrutura generalista para um braço de inversor com: a) dois níveis; b) três níveis; c) n níveis.....	5
Figura 2.1.2 - Estrutura de um inversor Diode Campled de: a) um braço de três níveis; b) um braço de quatro níveis; c) um braço de cinco níveis e; c) três níveis trifásico.	7
Figura 2.1.3 - Estrutura de um inversor NPC de: a) um braço de três níveis; b) um braço de quatro níveis; c) um braço de cinco níveis.....	9
Figura 2.1.4 - Estrutura de um inversor H-Bridge Cascaded de: a) um braço de três... (n) níveis; b) cinco níveis trifásico	10
Figura 2.1.5 - Estrutura de um braço inversor Multi-Point Clamped de: a) quatro níveis e; b) cinco níveis	13
Figura 2.1.6 - Estrutura de um inversor Generalized Multilevel	14
Figura 2.2.1 - Classificação das principais técnicas de modulação aplicáveis a inversores multi-nível.....	16
Figura 2.2.2 - Inversor de 5 níveis monofásico.....	17
Figura 2.2.3 - Esquema de modulação por desfasamento e sinais de comando para os dispositivos superiores.....	18
Figura 2.2.4 - Principais forma de onda para um inversor de cinco níveis.	19
Figura 2.2.5 - Conteúdo harmónico das várias tensões na estrutura de cinco níveis com MLI por desfasamento.	19
Figura 2.2.6 - Esquema de controlo por desfasamento para: a) PD-PWM; b) POD-PWM e; c) APOD-PWM.	20
Figura 2.2.7 - Principais formas de onda de tensão geradas num inversor de cinco níveis com a técnica de modulação por desnivelamento com portadoras em fase. .	20
Figura 2.2.8 - Conteúdo harmónico das várias tensões na estrutura de 5 níveis com MLI por desnivelamento.	21

Figura 2.2.9 - a) Estrutura de um inversor de 2 níveis trifásicos b) Diagrama de vectores de estados.....	22
Figura 2.2.10 - Diagrama de vectores de estados para um inversor de três níveis ..	23
Figura 2.2.11 - Princípio de funcionamento da técnica de modulação por onda quadrada	23
Figura 3.2.1 - Método de modulação à frequência fundamental: a) Esquema em blocos PSIM; b) diagramas de princípio do esquema de comutação	29
Figura 3.2.7 - Amplitude normalizada dos harmónicos não múltiplos de 3 na tensão Van, com a evolução do índice de modulação na simulação com 3 pontes-H.....	34
Figura 3.2.8 - Amplitude normalizada da componente fundamental com a evolução do índice de modulação na simulação com 3 pontes-H	35
Figura 3.2.12 - Amplitude normalizada da componente fundamental com a evolução do índice de modulação na simulação com 7 pontes-H	37
Figura 3.2.14 - Amplitude normalizada dos harmónicos múltiplos de 3 na tensão Van, com a evolução do índice de modulação na simulação com 5 pontes-H.....	38
Figura 3.2.15 - Amplitude normalizada dos harmónicos não múltiplos de 3 na tensão Van, com a evolução do índice de modulação na simulação com 5 pontes-H.....	39
Figura 3.2.16 - Amplitude normalizada da fundamental da tensão Van, com a evolução do índice de modulação na simulação com 5 pontes-H	39
Figura 3.2.17 - THD medido da simulação com a estrutura constituída por 5 pontes-H, usando o bloco de THD	40
Figura 4.1.1 - Esquema geral do sistema físico para o inversor CHB com cinco pontes-H	42
Figura 4.1.2 - Fluxo de projecto para a implementação de HDL em FPGA's [23]	44
Figura 4.2.1 - Organização do método de modulação à frequência fundamental....	46
Figura 4.2.2- Esquema do circuito digital implementado para o módulo temporizador	47
Figura 4.2.3- Diagrama de estados para a geração da onda triangular	48
Figura 4.2.4 - Diagrama de estados para a geração da onda de comando	49
Figura 4.2.5 - Princípio geral do circuito digital para o comando de uma ponte no módulo esquema de comutação	50
Figura 4.2.6 - Arquitectura dos barramentos de dados no micro-processador utilizado	51
Figura 4.2.7 - Resultados de simulação do módulo geral, pormenor do tempo de cálculo e actualização dos ângulos de comutação	52
Figura 5.2.1 - Sinais de comando de um braço de cada ponte-H, nos ensaios da estrutura com 7 níveis.....	56
Figura 5.2.2 - Oscilogramas obtidos na estrutura de 7 níveis: (Amarelo) da tensão de saída de duas das pontes-H; (Verde) corrente total na carga do inversor	57

Figura 5.2.3 - Oscilogramas para a tensão Van (amarelo) e a corrente na carga (verde).	57
Figura 5.2.4 - Oscilogramas para: tensão Van (amarelo); correntes de entrada em cada uma das pontes (cinzentos e verde).	58
Figura 5.2.5 - Oscilogramas para: a) tensão Van (cinzento) e respectivo FFT (vermelho); b) corrente na carga à saída do inversor (cinzento) e respectivo FFT (vermelho).	58
Figura 5.2.6 - Oscilogramas para: a) tensão Van (cinzento) e corrente na carga (verde) para variações do índice de modulação.	59
Figura 5.2.7 - Oscilogramas para a evolução da corrente de saída e tensão Van com vários índices de modulação.	59
Figura 5.2.8 - Amplitude normalizada dos harmónicos múltiplos de 3 na tensão Van, com a evolução do índice de modulação na estrutura com 3 pontes-H.	60
Figura 5.2.9 - Amplitude normalizada dos harmónicos não múltiplos de 3 na tensão Van, com a evolução do índice de modulação na estrutura com 3 pontes-H.	61
Figura 5.2.10 - THD na tensão Van, com a evolução do índice de modulação na estrutura com 3 pontes-H.....	61
Figura 5.2.11 - Sinais de comando de um braço de cada ponte-H, nos ensaios da estrutura com 11 níveis.	63
Figura 5.2.12 - Oscilogramas obtidos na estrutura de 7 níveis: (Amarelo) da tensão de saída em duas das pontes-H; (Verde) corrente total na carga do inversor.	63
Figura 5.2.13 - Oscilogramas para constatação das variações nas tensão CC (amarelo) em cada um dos barramentos e respectivas correntes de entrada em cada uma das pontes (verde).	64
Figura 5.2.14 - Oscilogramas para: tensão Van (amarelo); correntes de entrada em cada uma das pontes (cinzentos e verde).	64
Figura 5.2.15 - Oscilogramas obtidos na estrutura de 11 níveis: a) FFT da tensão Van ; b) FFT da corrente na carga à saída do inversor.	65
Figura 5.2.16 -Amplitude normalizada dos harmónicos múltiplos de 3 na tensão Van, com a evolução do índice de modulação na estrutura com 5 pontes-H.	65
Figura 5.2.17 - Amplitude normalizada dos harmónicos não múltiplos de 3 na tensão Van, com a evolução do índice de modulação na estrutura com 5 pontes-H.	66
Figura 5.2.18 - THD na tensão Van, com a evolução do índice de modulação na estrutura com 5 pontes-H.....	66

Lista de tabelas

Tabela 2.1.1 - Combinação dos estados dos interruptores para um braço de um inversor Diode Clamped de 3 níveis.	7
Tabela 2.1.2 - Combinação dos estados dos interruptores para um braço de um inversor FC de três níveis.	9
Tabela 2.1.3 - Combinação dos estados dos interruptores para um braço de um inversor CHB de 3 níveis.	11
Tabela 2.1.4 - Combinação dos estados dos interruptores para um braço de um inversor CHB de 5 níveis.	12
Tabela 2.2.1 - Combinação dos estados dos interruptores para um inversor de 2 níveis trifásico.	22
Tabela 4.3.1 - Estatística relativas à ocupação de recursos na Spartan-3AN.	53

Abreviaturas e Símbolos

Lista de abreviaturas

CA	Corrente Alternada
CC	Corrente Contínua
CHB	<i>Cascaded H-bridge</i>
CMOS	<i>Complementary Metal-Oxide-Semiconductor</i>
FFT	<i>Fast Fourier Transform</i>
FPGA	<i>Field Programmable Gate Array</i>
MLI	Modulação por Largura de Impulsos
MPC	<i>Multi Point Clamped</i>
NPC	<i>Neutral Point Clamped</i>
PWM	<i>Pulse Width Modulation</i>
PROM	<i>Programmable ROM</i>
RAM	<i>Random Access Memory</i>
ROM	<i>Read Only Memory</i>
SVM	<i>Space Vector Modulation</i>
THD	<i>Total Harmonic Distortion</i>
TTL	<i>Transistor-Transistor Logic</i>

Lista de símbolos

ρ	valor da solução do algoritmo de Newton
ϕ	ângulo
ω	frequência angular
θ	fase
s	número de pontes-H
m	índice de modulação
E	tensão CC em cada nível
V	tensões

Capítulo 1

Introdução

Nos últimos anos, a procura pela minimização da dependência do sistema energético, por combustíveis fósseis, tem vindo a colocar cada vez mais ênfase nas formas de obter maiores quantidades de energia eléctrica, a partir das fontes de energia renováveis.

Frequentemente num sistema de energia renovável (p.e. fotovoltaicos, eólicos, células de combustível), a forma de energia primária é convertida em energia eléctrica na forma de tensão e corrente eléctricas contínuas. A energia na forma contínua é de seguida convertida para a forma alternada, para que possa ser usada nas mais variadas aplicações, nomeando algumas: injeção de energia nas redes de transporte de energia eléctrica (fig. 1.1); aplicação em veículos eléctricos ou híbridos.

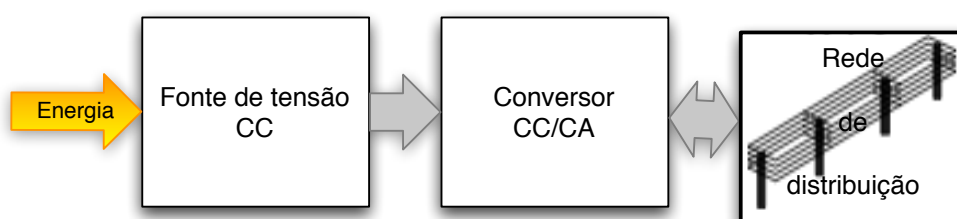


Figura 1.1 - Cadeia de conversão para painéis fotovoltaicos.

O aumento das potências produzidas e consumidas veio relançar e redobrar a necessidade de melhorar a rentabilidade das explorações e de estudar a realização da conversão de energia em níveis superiores de potência.

Este estudo tem-se centrado em duas temáticas distintas [1] [2]: desenvolvimento de novos semicondutores capazes de suportar maiores potências e; novas topologias que permitam esta conversão, com o uso de semicondutores com menor calibre. Os dois últimos pontos, apesar de também poderem ser complementares levam a duas tendências antagónicas, no que diz respeito à escolha de uma das soluções mais comuns: inversores

tradicionais, estruturas amplamente conhecidas, tal como os seus métodos de controlo ou; inversores multi-nível.

Os inversores multi-nível estão, portanto, inseridos dentro da temática mais geral das cadeias de conversão CC-CA. Ao contrário dos conversores CC-CA convencionais (p.e. ponte-H monofásica e ponte completa trifásica) fig. 1.2 a), os inversores multi-nível são caracterizados por sintetizarem uma forma de onda da tensão constituída por vários degraus, mais próxima da sinusoidal, isto é, com menor conteúdo harmónico.

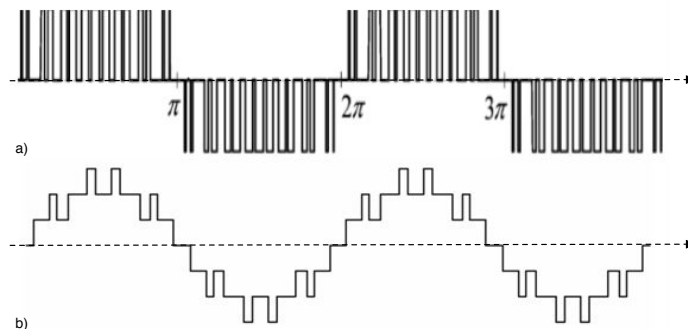


Figura 1.2 - Exemplos de formas de onda tensão para: um inversor tradicional trifásico; b) inversor multi-nível

Nas topologias multi-nível as tensões alternadas com vários degraus são conseguidas através da ligação de vários semicondutores que cortam/conduzem uma porção da potência de entrada (corrente ou tensão) e que provocam vários degraus nas tensões de saída.

Esta interligação de semicondutores permite ainda, nas topologias multi-nível, ultrapassar outras desvantagens, para além do menor conteúdo harmónico nas formas de onda de saída, das topologias convencionais das quais se destacam: a melhoria das perdas para a mesma frequência de comutação, com o menor número de comutações; permitem o uso de semicondutores com menor poder de corte/condução e portanto mais baratos; reduzido dv/dt ; redução da tensão de modo-comum e, por fim redução substancial dos níveis de interferência electromagnética. Estes últimos factores reduzem, ou mesmo eliminam, a necessidade de filtros de entrada e saída, o que representa também uma melhoria da eficiência[3].

No entanto, as topologias multi-nível apresentam como desvantagens o facto de o número de componentes aumentar, em relação às topologias convencionais, e também com o aumento do número de níveis.

Apesar de nas duas alternativas o conteúdo harmónico diminuir com o aumento da frequência de comutação dos semicondutores, é importante destacar que a frequência de comutação influencia as perdas nos semicondutores e é limitada pela tecnologia dos semicondutores.

1.1. Caracterização detalhada do problema a tratar

A dissertação decorrente no segundo semestre do ano lectivo de 2010/2011, tem como objecto de estudo os inversores multi-nível e as suas técnicas de modulação. Mais especificamente, são estudadas a generalidade das estruturas multi-nível e as respectivas técnicas de modulação. Este estudo incide, numa fase posterior, num método de modulação à frequência fundamental. Este estudo é complementado com simulações e com a

implementação, numa plataforma de controlo (*FPGA*), tendo como objectivo a caracterização detalhada do método de modulação referido.

1.2. Objectivos

Os objectivos desta dissertação, são:

- Revisão bibliográfica da literatura relacionada com as estruturas multi-nível e as principais técnicas de modulação;
- Estudo das principais das topologias multi-nível e das respectivas particularidades de funcionamento;
- Estudo das principais técnicas de modulação aplicáveis a inversores em Ponte-H em Cascata;
- Simulação de um inversor multi-nível, ponte-H em cascata, em conjunto com um método de modulação, com comutações à frequência fundamental e com cálculo de ângulos de comutação em tempo-real.
- Caracterização, ainda em ambiente de simulação, do método mencionado no ponto anterior;
- Implementação numa *FPGA* do método de modulação referido;
- Caracterização do método de modulação e da estrutura de potência.

1.3. Plano de trabalho

Segundo os objectivos atrás mencionados, o projecto divide-se nas seguintes etapas:

- Projecto e simulação da estrutura seleccionada, método de controlo e estrutura de potência
- Implementação em *FPGA* do algoritmo de controlo do conversor
- Projecto, implementação e teste do circuito de interface
- Implementação, teste e caracterização do inversor multi-nível
- Escrita da dissertação

1.4. Resultados fundamentais

De acordo com os pontos dos objectivos atrás mencionados, simulou-se um dos possíveis métodos de modulação com comutações à frequência fundamental e com cálculos de ângulos de comutação, efectuados dentro de um paradigma de tempo-real. A implementação deste método de modulação, ainda em ambiente de simulação, permitiu a caracterização do método em termos do conteúdo harmónico presente na tensão de saída. A simulação do método aplicado em estruturas com vários números de níveis (7 e 15 níveis) permitiu concluir que o método se mantém válido, mas que no entanto as suas características se deterioram, nomeadamente: nos ganhos conseguidos em termos do conteúdo harmónico da tensão AC sintetizada e na gama possível para variação do índice de modulação em amplitude.

Posteriormente procedeu-se à implementação deste mesmo método de modulação na plataforma de controlo seleccionada, ou seja numa *FPGA*. Este ponto permitiu, primeiramente a comprovação do bom funcionamento do método (através da conformidade com a simulação), permitiu também a caracterização exhaustiva do método em aplicação em inversores multi-nível monofásicos ponte-H em cascata com 7 e 11 níveis.

Por último, mas não menos importante, o desafio associado à programação deste tipo de dispositivo, isto é, as *FPGA*, permitiu a familiarização com estas e permitiu concluir acerca

das vantagens associadas à aplicação destas plataformas no controlo de dispositivos de electrónica de potência.

1.5. Estrutura do documento

Adicionalmente ao presente capítulo de introdução, esta dissertação consta dos seguintes capítulos: no segundo, analisam-se as topologias mais importantes em aplicações industriais, sendo precedida da comparação destas topologias e de uma secção com algumas das estruturas tidas como menos relevantes; apresentam-se também os factores que influenciam a escolha de um determinado método de modulação e analisam-se os princípios de base das principais técnicas de modulação, aplicáveis num inversor ponte-H em cascata, faz-se também a sua comparação quando possível. Este estudo auxilia e suporta o aprofundamento do levantamento bibliográfico dos métodos de modulação com comutações à frequência fundamental.

No terceiro capítulo inicia-se o estudo de um método com comutações à frequência fundamental com cálculos dos ângulos de comutação dentro do paradigma de tempo real. Neste mesmo capítulo procede-se à implementação e caracterização do método de modulação em análise, num ambiente de simulação.

Consequentemente, no quarto capítulo abordam-se as principais fases do projecto adoptadas para a implementação deste mesmo método de modulação, bem como a apresentação dos principais constituintes do sistema, isto é, do inversor multi-nível, ponte-H em cascata, em conjunto com o método de modulação.

De seguida, no quinto capítulo, faz-se a apresentação dos principais resultados do método de modulação em conjunto com a estrutura do inversor multi-nível ponte-H em cascata disponível. Adicionalmente, procede-se à constatação das eventuais diferenças encontradas entre a simulação e a implementação deste método. Neste capítulo procede-se ainda à melhor caracterização, na prática, do método de comutação em estudo aplicado em estruturas com vários níveis.

Finalmente, no sexto capítulo, abordam-se as conclusões deste projecto, tal como os seus possíveis desenvolvimentos futuros mais relevantes.

Capítulo 2

Revisão da literatura e estado da arte

2.1. Topologias

Como afirmado no capítulo anterior a forma de onda da tensão de saída de um inversor multi-nível é constituída por vários degraus de tensões contínuas. O número de tensões contínuas que um inversor coloca na tensão de saída de um braço é a denominação directa desse inversor, como explicado de seguida. No entanto, considera-se que para ser denominado multi-nível um inversor terá que ter mais de dois níveis de tensão na forma de onda sintetizada.

Na figura 2.1.1 são apresentadas as estruturas generalizadas, que têm como objectivo darem a perceber o funcionamento de um braço de um inversor multi-nível. Nestes esquemas os interruptores semicondutores foram substituídos por interruptores ideais. Na figura 2.1.1 a) tem-se o esquema de funcionamento de um conversor de dois níveis. Como se pode constatar, a tensão de saída do braço (V_{an}) apenas toma dois valores possíveis: 0 e E. Na figura 2.1.1 b) é representado o esquema de funcionamento de um conversor de três níveis, que apresenta portanto 3 níveis possíveis: 0, E e 2E. Na figura 2.1.1 c) é apresentada a estrutura de um inversor de n níveis que apresenta n tensões contínuas à saída do braço.

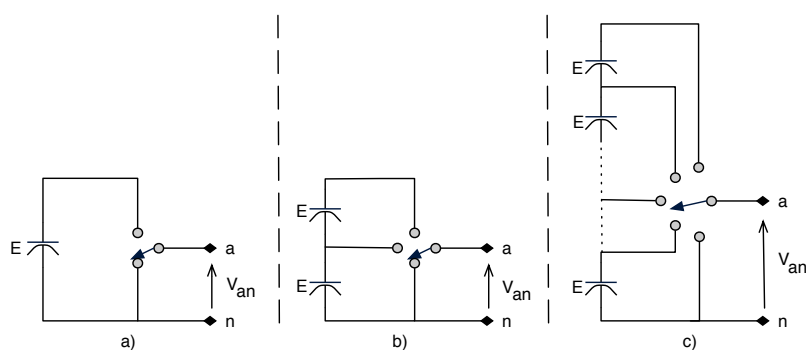


Figura 2.1.1 - Estrutura generalista para um braço de inversor com: a) dois níveis; b) três níveis; c) n níveis.

Na análise anterior foi explicado o funcionamento de apenas um braço de um inversor; este funcionamento representa de facto um inversor monofásico. Um conversor trifásico será constituído por três braços a sintetizarem a mesma onda de saída, em amplitude, mas com fases, distintas, de 0, -120° e 120° respectivamente para as fases a, b e c. Em termos fasoriais a tensão composta, V_{ab} , (tensão entre fases) pode ser derivada das tensões simples, V_{an} e V_{bn} através da relação (2.1)

$$V_{ab} = V_{an} - V_{bn} \quad (2.1)$$

Desta análise surge, então, que a relação entre o número de níveis presentes na onda de saída da tensão composta (n_{ll}), pode ser obtido a partir do número de níveis da tensão de saída de cada braço (n_p), através da relação (2.2)

$$n_{ll} = 2n_p - 1 \quad (2.2)$$

A primeira estrutura multi-nível foi apresentada aproximadamente na década 80 [4]. Ao longo dos anos têm surgido um grande número de derivações do princípio básico, devido à possibilidade de existirem várias formas para a combinação de fontes CC capacitivas, de forma a gerar saídas multi-nível [1]. Não obstante o facto anterior, são normalmente considerados, na literatura, três topologias essenciais do ponto de vista prático, conforme se enumera: *Diode Clamped*; *Flying Capacitors*; *Cascaded H-Bridge*.

Cada uma destas topologias será analisada nas secções subsequentes, primeiramente com a análise dos princípios de funcionamento, seguido de um levantamento das suas vantagens e desvantagens. Ainda sobre estas três topologias base é importante referir que surgiram, ao longo dos anos, várias derivações e/ou combinações com o intuito de melhorar características de funcionamento ou melhoria de requisitos; algumas destas também serão abordadas mais a frente neste documento.

2.1.1 Diode Clamped

Nas estruturas do tipo *Diode Clamped* são utilizados condensadores em cascata, como fontes CC, com díodos conectados ao seu ponto neutro para produzir vários níveis de tensão na onda quase sinusoidal de saída. No caso da estrutura de três níveis, pelo facto da ligação conferida pelos díodos ser ao ponto médio dos condensadores, formando assim o ponto neutro, leva a que esta estrutura seja frequentemente denominada por *Neutral Point Clamped*.

Neste tipo de estrutura existe a possibilidade de ser estendida para três, quatro e cinco níveis, mas apenas a estrutura com três níveis é a que tem mais expressão em aplicações de média tensão [5]. Na figura 2.1.1 a), b) e c) são apresentadas as estruturas de um braço (inversor monofásico) para, respectivamente, três, quatro e cinco níveis.

Considerando, unicamente, a análise da estrutura de três níveis, que é semelhante para as restantes, pode ser constatado que a tensão aos terminais de cada condensador (E) é uma fracção da tensão total barramento CC (V_{cc}); para esta análise E toma o valor de $V_{cc}/2$.

Quando os interruptores S_2 e S_3 se encontram ligados, a tensão de saída (V_{an}) está ligada ao ponto neutro, pelos díodos D_{n1} e D_{n2} , tomando assim V_{an} o valor E (ou $V_{cc}/2$). A tensão a ser suportada pelos transístores é apenas metade da tensão total à entrada do inversor. Assim com o uso da mesma tecnologia de transístores a potência de entrada pode ser duplicada.

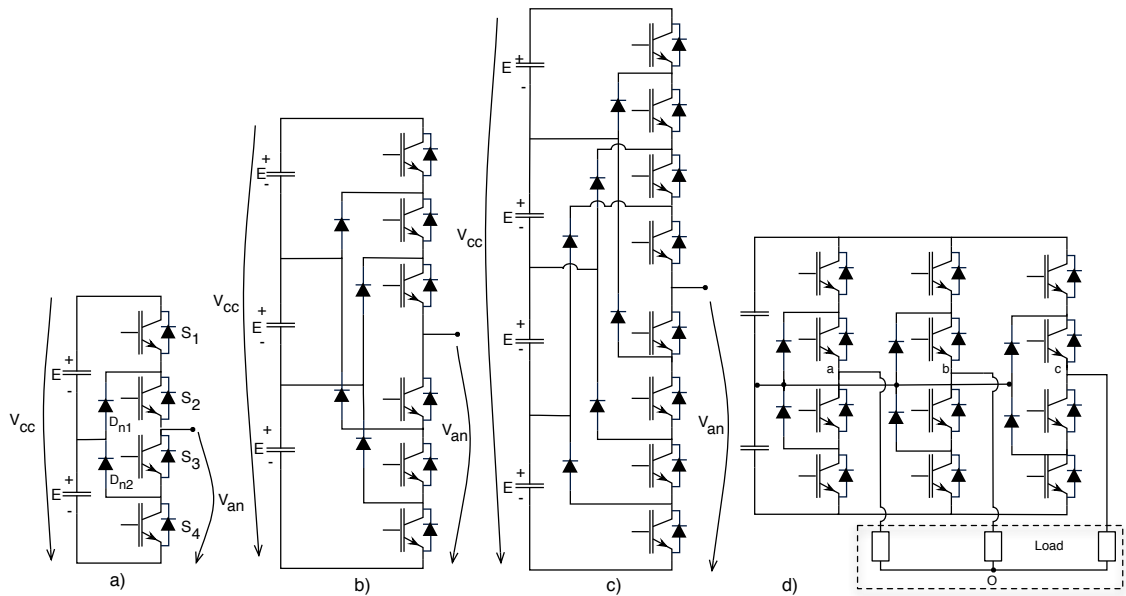


Figura 2.1.2 - Estrutura de um inversor Diode Clamped de: a) um braço de três níveis; b) um braço de quatro níveis; c) um braço de cinco níveis e; c) três níveis trifásico.

Para a análise do esquema de comando dos interruptores é importante lembrar que, para este ser correcto, deve evitar todos os curto-circuitos que podem ocorrer (nomeadamente curto-circuito da fonte CC). Portanto, os transístores do mesmo braço não podem ser ligados no mesmo instante e, como tal, tem que existir uma complementaridade nos estados de cada transístor. Assim, existem apenas quatro combinações válidas para o comando, não existindo estados redundantes mas existindo a possibilidade de existirem estados em que não está definido o estado da saída da tensão do braço (S_1 e S_4 ligados).

Na tabela 2.1.1 é apresentado o esquema de comando dos transístores de um braço para a estrutura de três níveis, representada na fig. 2.1.1 a).

Tabela 2.1.1 - Combinação dos estados dos interruptores para um braço de um inversor *Diode Clamped* de 3 níveis.

Estado de comutação dos semicondutores				Tensão de saída V_{an}
S_1	S_2	S_3	S_4	
ON	ON	OFF	OFF	$2E$
OFF	ON	ON	OFF	E
OFF	OFF	ON	ON	0

Na estrutura para três níveis os pares de interruptores S_1 - S_3 e S_2 - S_4 têm um estado complementar. Quando é dado comando aos dois transístores superiores, mantendo os dois inferiores no estado oposto, a tensão V_{an} toma o valor positivo da tensão que está no condensador superior, ou seja $2E$. No caso de desactivado o interruptor S_1 (logo S_3 está no estado aberto) e ser mantido o comando do ON no S_2 (logo S_4 está no estado fechado), V_{an} vai ter o valor de E . Finalmente, o estado de tensão nula para V_{an} é conseguido com o sinal de comando ON para os dois transístores inferiores e o sinal de comando OFF para os dois superiores.

Esta análise é genérica o suficiente para permitir o entendimento das estruturas representadas na fig. 2.1.1 b) e c). No entanto, a análise destas mesmas estruturas faz ressaltar que os díodos de ligação ao ponto neutro devem suportar tensões de bloqueio diferentes; isto pode ser ultrapassado com a escolha de díodos com calibre apropriado mas normalmente é conseguido com a ligação de díodos com o mesmo calibre em série.

Vantagens

Esta topologia oferece uma elevada portabilidade pois a fonte de tensão contínua à entrada é única. Isto permite, por exemplo, a substituição de uma topologia tradicional de dois níveis por uma topologia deste tipo sem que haja necessidade de reconfiguração do sistema já existente.

A tensão a bloquear na estrutura de n níveis é $E = V_{cc}/(n-1)$, o que reduz o calibre dos interruptores e leva a uma redução dos custos, em comparação com a estrutura de dois níveis.

Sendo o uso de condensadores encarado como não conveniente (porque são caros, volumosos, etc...) este tipo de estrutura pode ser vantajosa já que o uso destes componentes é minimizado, em comparação com a estrutura *Flying Capacitors*.

Desvantagens

Os díodos de ligação ao ponto neutro devem suportar uma corrente igual à corrente da carga e possuir boas características de recuperação, o que acrescenta custo na escolha destes.

Para as estruturas com mais de três níveis os díodos de ligação ao ponto neutro devem suportar, dependendo do ponto a que estão ligados, diferentes tensões de bloqueio. Isto é normalmente ultrapassado com a ligação em série de díodos como as mesmas características. Este facto reduz o esforço de projecto, mas acarreta um grande aumento no número de componentes. Esta é, de facto, uma das principais das razões para a não proliferação comercial das estruturas com mais de três níveis.

As tensões aos terminais dos condensadores devem estar equilibradas. Este balanceamento pode ser feito de diversas formas, nomeadamente: com conversores auxiliares; com adição de resistências, que tem como consequência, um aumento das perdas ou, ainda; com um comando que faz uso dos estados redundantes para o controlo da carga/descarga dos condensadores. Este controlo da tensão nos condensadores acrescenta complexidade ao controlo, mais componentes para a aquisição das tensões e não é mesmo possível na estrutura monofásica de três níveis, uma vez que não existem estados redundantes. Como tal esta estratégia de controlo tem que ser pensada para o sistema trifásico na totalidade.

2.1.2. Flying Capacitors

Nesta topologia, à semelhança da estrutura *Diode Clamped*, as várias fontes capacitivas são obtidas pela conjugação de vários condensadores no barramento CC. A figura 2.1.2 representa a estrutura de um inversor *Flying Capacitors*, respectivamente para três, quatro e cinco níveis.

Nesta estrutura, também à semelhança do que acontece no *Diode Clamped*, vários interruptores são conectados em cascata. Porém, nesta estrutura, os díodos de ligação ao ponto neutro são substituídos por condensadores que, no entanto, cumprem a mesma função:

estabelecem a tensão contínua entre interruptores de um braço, esta tensão equivale a um degrau na tensão de saída V_{an} .

Tal como na subsecção anterior, no esquema de comando dos interruptores da ponte, não podem existir curto-circuitos de qualquer tipo, o que nesta topologia significa que, tal como em todos os inversores, a fonte de tensão CC não pode ser curto-circuitada e, adicionalmente, não pode ocorrer o curto-circuito dos condensadores. No caso da topologia de três níveis isto é conseguido com a complementaridade dos pares de interruptores S_1 - S_4 e S_2 - S_3 .

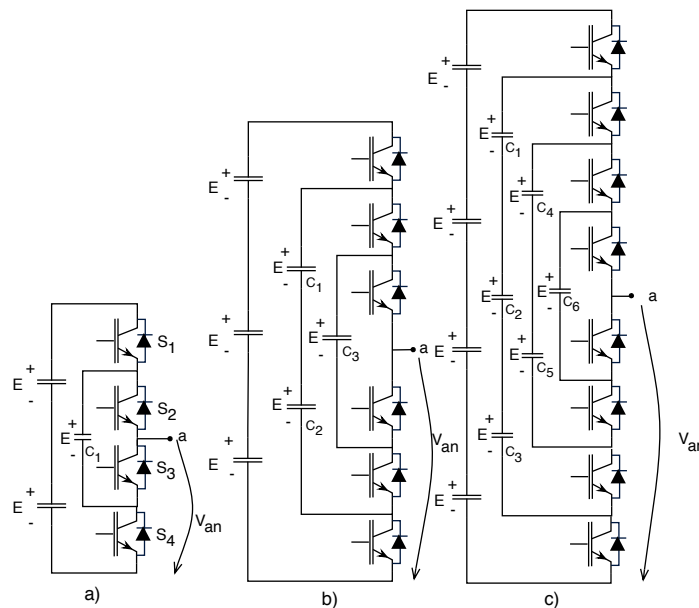


Figura 2.1.3 - Estrutura de um inversor NPC de: a) um braço de três níveis; b) um braço de quatro níveis; c) um braço de cinco níveis.

As possibilidades de comandos para a estrutura de três níveis estão representadas na tabela 2.1.2. Como se pode constatar desta tabela existem quatro estados para gerar as três tensões CC na tensão V_{an} , sendo que dois deles são redundantes.

Tabela 2.1.2 - Combinação dos estados dos interruptores para um braço de um inversor FC de três níveis.

Estado de comutação dos semicondutores				Tensão de saída V_{an}
S_1	S_2	S_3	S_4	
ON	ON	OFF	OFF	$2E$
ON	OFF	ON	OFF	E
OFF	ON	OFF	ON	E
OFF	OFF	ON	ON	0

Este é o principal factor distintivo para a topologia *Diode Clamped*, e que pode ser encarado como uma vantagem para outras topologias, já que permite um grau de liberdade na estratégia de comutação. Este grau de liberdade pode ser usado para controlo (no balanceamento de tensões) e optimização, nomeadamente na melhoria das perdas, com a utilização destes estados redundantes, de forma a diminuir as comutações.

Vantagens

Este tipo de topologia tem uma estrutura muito modular, o que fica patente com a reconfiguração do layout, o que é vantajoso quando é pretendido um aumento do número de níveis.

A existência de estados redundantes dentro do mesmo braço permite que a estratégia de controlo do balanceamento dos condensadores seja pensada para cada ramo independentemente, ao contrário da topologia *Diode Clamped*, o que representa uma modularidade, também para o controlo do inversor.

A portabilidade desta topologia também é garantida.

Desvantagens

Nesta topologia, para o mesmo número de níveis, são usados mais condensadores que em todas as outras topologias apresentadas.

A estratégia de controlo do balanceamento das tensões nos condensadores tem necessariamente de ser empregue.

Existe o perigo de haver ressonância devido às capacidades existentes no sistema; a variação brusca da tensão do lado CC leva a que a tensão dos condensadores recupere mais lentamente, causando tensões de fixação dos transístores superiores ao esperado. Este é um problema que limita bastante a aplicação da topologia de condensadores flutuantes com variações de carga em aplicações como eólicas e fotovoltaicas.

2.1.3. Cascaded H-Bridge

Nesta topologia são utilizados, no mínimo dois inversores monofásicos convencionais, mais frequentemente denominadas pontes-H, ligadas em cascata. Tal é representado na figura 2.1.3 a), para o braço de um conversor, ou seja, tal como nas topologias anteriores, esta estrutura constitui um inversor monofásico.

Como se constata, nesta topologia é necessário que a entrada de cada ponte-H seja alimentada por uma fonte CC isolada. Fica ainda patente que para se obter um número de níveis superior, é necessário a adição de mais pontes-H. É ainda apresentada na figura 2.1.3 b) a estrutura para um inversor trifásico de cinco níveis.

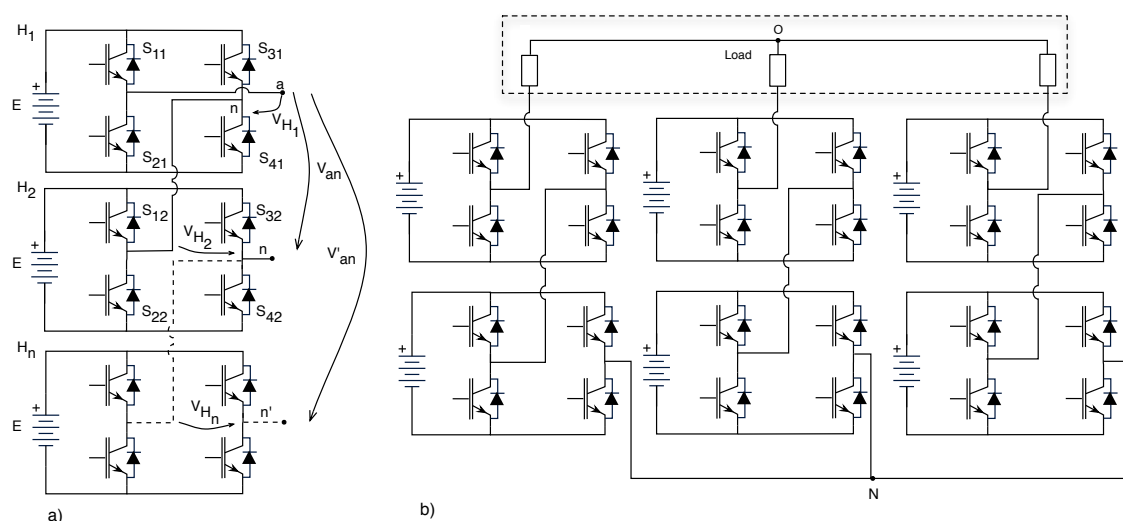


Figura 2.1.4 - Estrutura de um inversor *H-Bridge Cascaded* de: a) um braço de três... (n) níveis; b) cinco níveis trifásico.

Para analisar a estrutura do inversor ponte-H em cascata é conveniente começar por analisar as combinações possíveis dos estados de uma única ponte-H. Esta estrutura é capaz

de produzir três níveis de tensão à saída. Tal como em todas as estruturas, as fontes CC não podem ser curto-circuitadas. Assim, dentro da mesma ponte-H, o comando do transistor superior (S_1/S_3) deve ser complementar ao inferior (S_2/S_4). As três tensões mencionadas são obtidas pelas combinações de estados da tabela 2.1.3.

Da figura 2.1.3 fica ainda patente que a tensão de saída de um inversor ponte-H em cascata (V_{an}), pode ser visto como a soma das tensão individuais de cada ponte, (2.3).

$$V_{an} = V_{H_1} + V_{H_2} + \dots + V_{H_n} \quad (2.3)$$

Desta equação e da tabela 2.3 é perceptível que o número de níveis (m) na tensão de saída (V_{an}) obedece à relação 2.4, sendo s o número de pontes-H que constituem o inversor multi-nível

$$m = 2s + 1. \quad (2.4)$$

Tabela 2.1.3 - Combinação dos estados dos interruptores para um braço de um inversor **CHB** de 3 níveis.

Estado de comutação dos semicondutores				Tensão de saída V_{an}
S_1	S_2	S_3	S_4	
ON	OFF	OFF	ON	E
ON	OFF	ON	OFF	0
OFF	ON	OFF	ON	
OFF	ON	ON	OFF	-E

Da equação 2.4 verifica-se que m apenas toma valores ímpares, o que é contrastante com as outras topologias multi-nível de um braço, nas quais o número de níveis na tensão de saída, pode ser par ou ímpar. É, então, agora possível deduzir todas as a combinações de estados, que produzem cada uma das tensões contínuas na saída, sendo elas apresentadas na tabela 2.1.4, referentes ao braço da estrutura de cinco níveis. Nesta tabela, para simplificação, são omitidos os estados dos interruptores inferiores de cada ponte, já que estes são complementares dos transístores superiores.

Como referido na parte final da introdução deste capítulo, existem várias derivações do princípio base das três topologias anteriores. Na secção anterior as pontes-H têm ligado à sua entrada um conjunto de fontes CC com valor igual. Alternativamente, como derivação do conceito base dos inversores ponte-H em cascata, existe a possibilidade destas fontes tomarem valores diferentes[5] ou também ser utilizada apenas uma fonte de tensão CC[6], sendo, nos dois casos, consideradas como topologias à parte da que aqui é analisada.

Com o uso de tensões CC de entrada diferentes é possível aumentar o número de níveis na tensão de saída, sem que haja a necessidade de serem acrescentadas mais pontes-H, sendo esta configuração frequentemente denominada como inversor em cascata assimétrico [7]. De referir ainda a situação de tensões entrada em cada módulo, diferentes ou variantes no tempo, que pode ser comum no caso de aplicação em painéis fotovoltaicos.

Vantagens

Nesta topologia não existe necessidade de controlo da tensão dos condensadores à entrada, uma vez que estes não existem.

Não são usados nem díodos de ligação ao ponto neutro nem condensadores flutuantes.

A modularidade desta estrutura é grande, já que para o aumento de níveis, só existe necessidade de acrescentar pontes-H.

Desvantagens

Necessita de fontes de tensão contínua independentes para cada conversor da estrutura, limitando a sua utilização em algumas aplicações;

A ligação de fontes isoladas entre conversores em montagens do tipo CA/CC/CA bidireccionais não é possível, pois produzem curto-circuito; para evitar este fenómeno é necessário que comutem sincronamente.

Tabela 2.1.4 - Combinação dos estados dos interruptores para um braço de um inversor *CHB* de 5 níveis.

Estado de comutação dos semicondutores				Tensão de saída V_{an}
S_{11}	S_{31}	S_{12}	S_{32}	
ON	OFF	ON	OFF	2E
ON	OFF	OFF	OFF	E
OFF	OFF	ON	OFF	
ON	OFF	ON	ON	
ON	ON	ON	OFF	
OFF	OFF	OFF	OFF	0
ON	ON	ON	ON	
ON	OFF	OFF	ON	
OFF	ON	ON	OFF	
ON	ON	OFF	OFF	
OFF	OFF	ON	ON	
OFF	ON	OFF	OFF	-E
OFF	OFF	OFF	ON	
ON	ON	OFF	ON	
OFF	ON	ON	ON	
OFF	ON	OFF	ON	-2E

2.1.4. Outras topologias

2.1.4.1. Multi-Point Clamped

Este tipo de estrutura multi-nível pode ser vista como uma generalização do princípio dos inversores *Diode Clamped* anteriormente apresentado, sendo que os dois tipos têm a mesma estrutura para três níveis. Na figura 2.1.4 é apresentado o esquema de ligações para um inversor de quatro e cinco níveis.

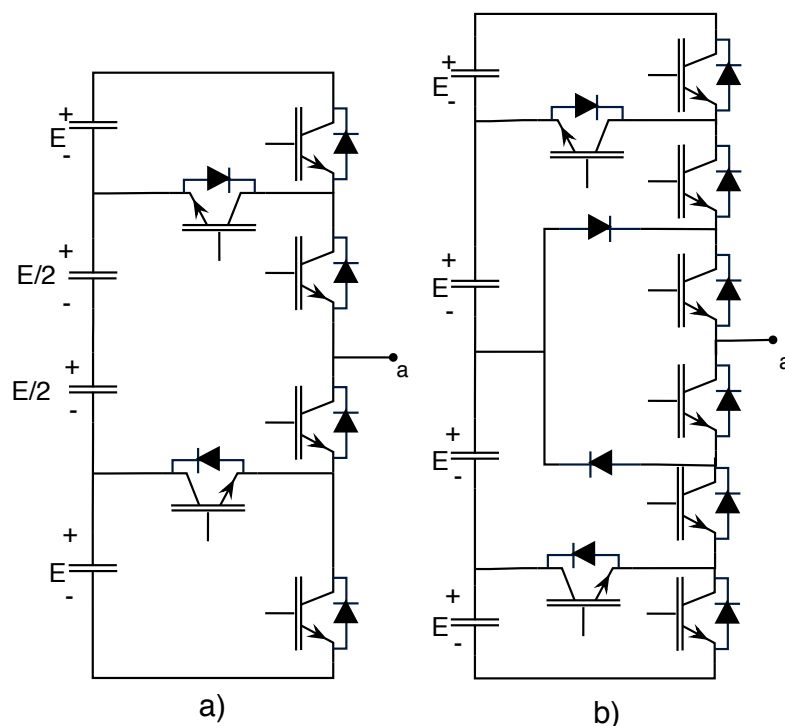


Figura 2.1.5 - Estrutura de um braço inversor Multi-Point Clamped de: a) quatro níveis e; b) cinco níveis.

Esta topologia, sendo uma derivação da estrutura *Diode Clamped* tem como vantagem, quando comparada com a anterior, permitir uma melhoria da eficiência e das perdas do conversor [8]. Isto é conseguido através da passagem da corrente da carga por menos componentes (entre díodos e interruptores). Assim, para ambas as topologias (*Diode Clamped* e *MPC*) considerando a estrutura de cinco níveis, na topologia *Diode Clamped* a corrente de carga vai passar por quatro componentes e ao invés, na estrutura *MPC* a corrente apenas passa por três componentes.

Como se pode verificar da figura anterior, esta topologia apresenta um maior número de interruptores controlados. Isto revela uma das desvantagens desta estrutura, uma vez que as técnicas de modulação, à frente discutidas, não são totalmente aplicáveis e/ou requerem elementos adicionais, tornando a modulação para um *MPC* bastante complexa.

2.1.4.2. Generalized Multilevel

A estrutura multi-nível generalizada foi primeiramente introduzida em [9]. Esta topologia pode ser vista como a generalização do princípio de funcionamento das topologias anteriormente apresentadas, nomeadamente das topologias *Diode Clamped*. Mais ainda, esta topologia permite o auto-balanceamento de cada um dos níveis de tensão à entrada, de forma independente da características da carga. Isto é, esta topologia permite o balanceamento automático das tensões à entrada do conversor, sem necessidade de qualquer outro circuito, e de forma independente dos trânsitos de energia activa e reactiva. Como se pode constatar na fig. 2.1.5, a topologia tem uma estrutura modular, em que cada módulo base, P2, constitui um conversor de dois níveis, sendo que o acréscimo de um nível na tensão de saída implica a adição de um módulo base.

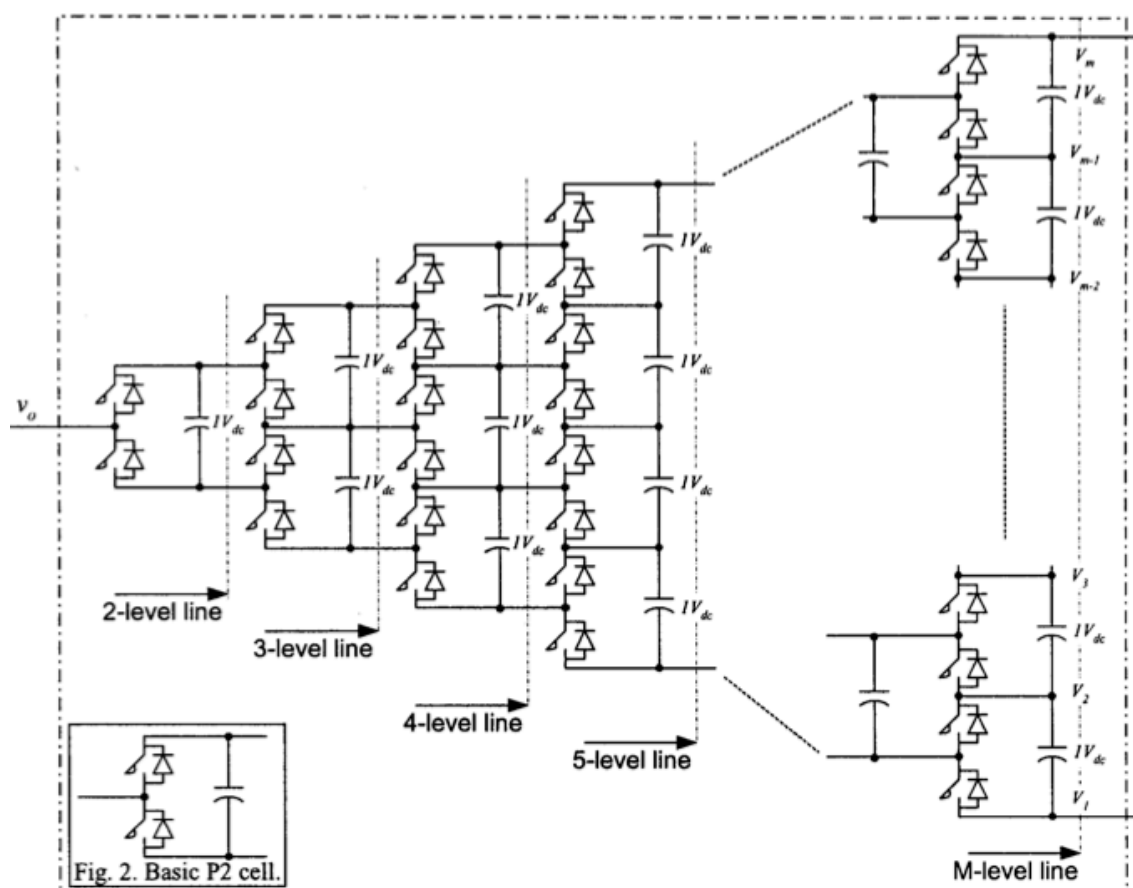


Figura 2.1.6 - Estrutura de um inversor Generalized Multilevel[9]

2.1.4.3. Multi-nível modular com meia-ponte

Esta estrutura foi primeiramente apresentada em [10]. Na figura 2.1.6 a) é apresentada a estrutura para um braço com $2n$ níveis na tensão de saída do inversor. Cada braço é então constituído pela ligação de n sub-módulos, sendo estes módulos constituídos por uma estrutura de dois interruptores em meia-ponte e um condensador [11], como apresentado na figura 2.1.6 b).

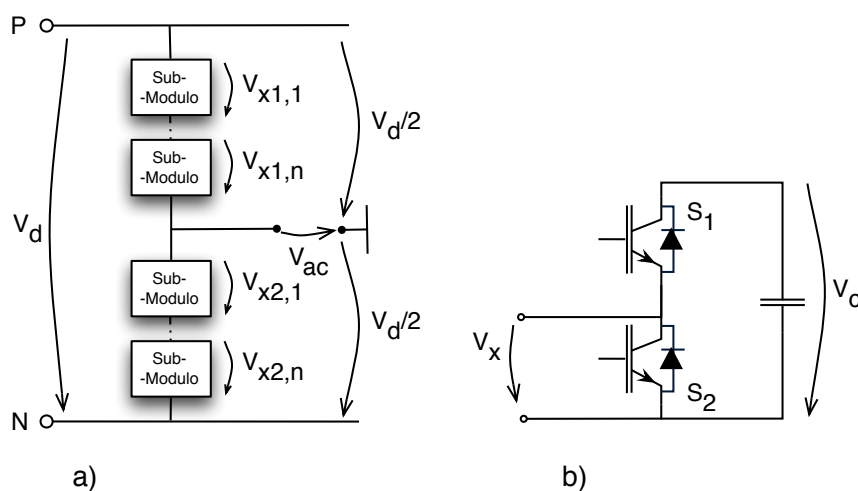


Figura 2.1.7 - a) Estrutura de um braço de um inversor com $2n$ níveis b) sub-módulo com meia-ponte

Nesta estrutura a tensão V_d deve ser controlada, de forma que a tensão que aparece na saída de cada sub-módulo, $V_{x,i}$, corresponda à tensão de cada nível na tensão de saída total do braço do inversor, V_{ac} , sendo assim esta tensão controlável em amplitude. Este controlo de tensões, similarmente ao caso do inversor ponte-H em cascata, pode ser efectuado de forma a que as tensões $V_{x,i}$ tenham valores iguais ou diferentes aumentando, neste último caso, o número de níveis da tensão V_{ac} e mantendo o número de sub-módulos igual. Este controlo de tensões deve ser efectuado por software, com a medição da tensão aos terminais do condensador e posterior decisão de quais os módulos que devem ser ligados (ligando o transistor superior) e desligados em cada instante, controlando-se, desta forma, a carga e descarga dos condensadores. Esta estratégia é discutida em detalhe em [12].

Este tipo de inversor apresenta, portanto, uma grande modularidade e portabilidade. Para além destas vantagens, este tipo de estrutura apresenta ainda como vantagens: o facto de esta estrutura estar significativamente protegida contra curto-circuitos já que não existem condensadores centrais no barramento CC; a operação deste tipo de estrutura pode ser acrescida em segurança e fiabilidade com a substituição de um sub-módulo defeituoso por um módulo redundante através de uma acção de controlo sem comutações mecânicas [13]; as perdas por comutação nesta estrutura são menores em relação às perdas num inversor convencional de dois níveis com a mesma potência [11]. Destas mesmas fontes bibliográficas é possível verificar que este tipo de estrutura multi-nível tem uma grande aplicação industrial em sistemas *HVDC*.

2.2. Modulação

Com o desenvolvimento das topologias multi-nível apareceu o desafio de estender os métodos de modulação tradicionais aos inversores multi-nível. Nestes, os sinais de comando são aplicados aos terminais de comando dos semicondutores, de forma a obter os estados referidos nas tabelas da primeira secção. Nestas técnicas de modulação, por um lado, existe a complexidade adicional inerente de ter que controlar mais dispositivos e, por outro lado, existe a possibilidade de aproveitar a maior quantidade de estados de comutação produzidos pelos inversores multi-nível. Como tal, surgiu uma grande quantidade de técnicas de modulação, cada uma das quais com o seu conjunto de vantagens e desvantagens. Uma classificação das técnicas de modulação mais comuns, é apresentada na figura 2.2.1

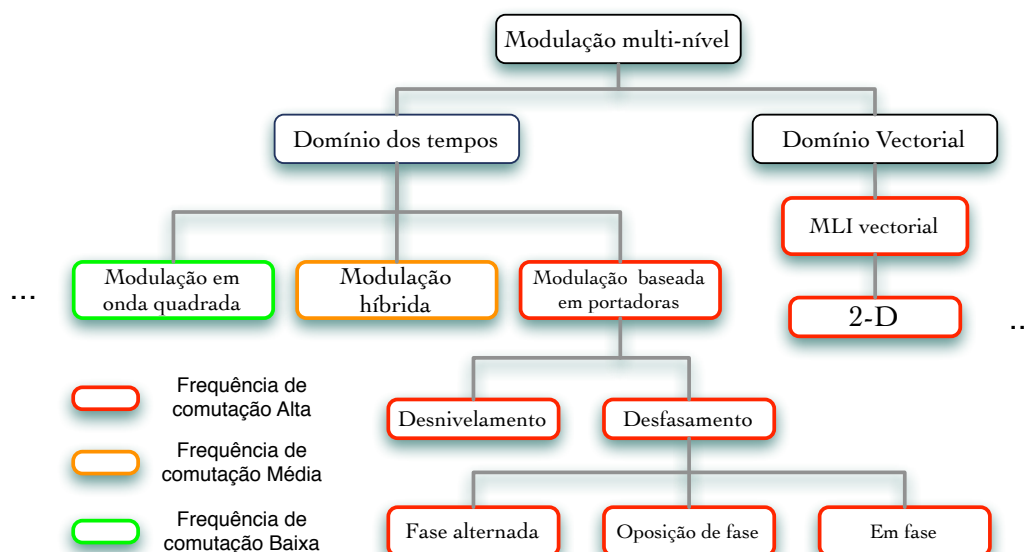


Figura 2.2.1 - Classificação das principais técnicas de modulação aplicáveis a inversores multi-nível.

Nesta classificação, os algoritmos de modulação são divididos em dois grupos, dependendo do domínio de aplicação: o espaço vectorial; e o domínio dos tempos [2]. No grupo dos algoritmos baseados no domínio temporal, são divididos pela frequência média de comutação que produzem. Geralmente, os algoritmos com frequências de comutação mais baixas são os mais desejáveis para aplicações em alta potência, do ponto de vista da diminuição das perdas por comutação. Por outro lado, a melhor qualidade da forma de onda e maior largura de banda dos algoritmos de alta frequência, torna-os mais indicadas para aplicações com uma maior dinâmica. De seguida, é elaborado um estudo de algumas destas técnicas, tendo como objectivo a aplicação em inversores ponte-H em cascata.

Para a comparação das várias técnicas de modulação, é conveniente serem definidos, primeiramente, os parâmetros de qualidade que influenciam a escolha de um método em determinada aplicação, sendo alguns deles a complexidade, a distorção harmónicas, a frequência de comutação.

Complexidade

Este parâmetro refere-se ao esforço dedicado para o projecto e implementação de uma determinada técnica. Esta complexidade é referente tanto à implementação do princípio base de funcionamento da técnica, como à implementação de outros elementos necessários para a optimização de determinados parâmetros.

Distorção harmónica

Uma das formas de quantificar a qualidade, ao nível da forma de onda, de um método de modulação é por comparação das componentes não desejadas, isto é, a distorção na saída relativamente a uma onda sinusoidal ideal [14]. Esta distorção harmónica pode ser representada em termos da distorção harmónica total da tensão, pela expressão seguinte

$$THD = \sqrt{\sum_{n=2,3,4}^{\infty} \left(\frac{V_n}{V_1} \right)^2}, \quad (2.5)$$

na qual V_1 representa a amplitude da componente fundamental da tensão, e V_n representa a amplitude dos sucessivos harmónicos.

Frequência de comutação/Perdas

Sendo as perdas por comutação uma das maiores parcelas das perdas num conversor e sendo estas dependentes da frequência de comutação dos interruptores, torna este um dos principais factores a ter em conta na escolha de uma determinada técnica.

2.2.1. Modulação de largura de impulsos baseada em portadoras

Nas técnicas de modulação baseadas em portadoras, aplicadas em inversores tradicionais, os sinais de comando são obtidos por meio da comparação de um sinal portador (triangular ou dente-de-serra) com um sinal modulador, normalmente com a forma da onda que se pretende na saída do inversor. As técnicas de MLI em inversores multi-nível são a extensão deste mesmo princípio mas para várias portadoras; portanto, são frequentemente denominadas *Multi-Carrier PWM*.

Existem múltiplas variantes para estas técnicas, são das mais adoptadas, devido à sua baixa complexidade e razoável conteúdo harmónico produzido. Normalmente estas variantes podem ser organizadas segundo dois grupos: modulação de largura de impulsos por desnivelamento das portadoras (*Level Shift PWM*) e; modulação por desfaseamento de portadoras (*Phase Shift PWM*). De seguida são analisadas estas duas variantes, lembrando que a identificação dos interruptores semicondutores, é a usada na figura 2.2.2, sendo que esta análise é centrada na aplicação à topologia *CHB* de cinco níveis (duas pontes-H). De seguida faz-se uma comparação destas duas técnicas recorrendo para tal ao ambiente PSIM [15].

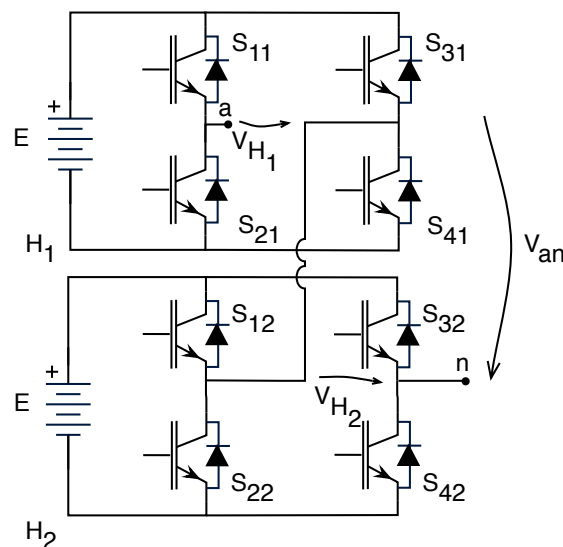


Figura 2.2.2 - Inversor de 5 níveis monofásico

2.2.1.1. MLI por desfasamento de portadoras

No caso da técnica de modulação de largura de impulsos por desfasamento todas as portadoras tem a mesma frequência e o mesmo valor de pico; as moduladoras obedecem à mesma premissa, diferindo apenas na fase.

A fase das portadoras (ϕ_{cr}) é dependente do número de níveis (m) e, portanto, do número de pontes-H usadas, segundo a relação (2.6)

$$\phi_{cr} = \frac{360^\circ}{m-1}, \quad (2.6)$$

para aplicação num inversor ponte-H em cascata.

Nos *CHB*, considerando primeiramente o caso do inversor monofásico, para gerar os sinais de comando para os transístores superiores de cada ponte (os inferiores são complementares a estes últimos), há uma comparação de duas ondas sinusoidais, as moduladoras dos braços direitos e esquerdos, com fases, respectivamente de 0 e 180°, com uma onda triangular cujo desfasamento, em relação à ponte anterior, é dado pela expressão (2.7)

$$\phi_{cr_m} = \phi_{cr_{m-1}} + \frac{360^\circ}{m-1}. \quad (2.7)$$

Na figura. 2.2.3 a) são apresentadas as formas de onda das portadoras e das moduladoras (índices cr e m respectivamente) e sinais de comando gerados, para um inversor de cinco níveis. Esta técnica é facilmente extensível a um sistema trifásico equilibrado, com a repetição desta estratégia para cada uma das ondas moduladoras, ou seja com fases de respectivamente 0°, 120° e 240°.

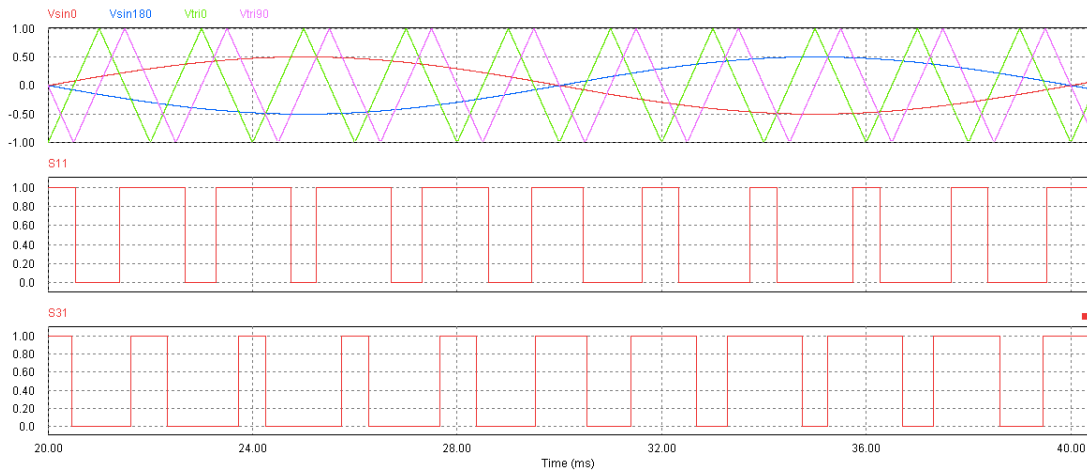


Figura 2.2.3 - Esquema de modulação por desfasamento e sinais de comando para os dispositivos superiores.

Na figura 2.2.4 são mostrados as principais ondas de tensão provenientes da simulação desta técnica aplicada a um inversor multi-nível, monofásico, ponte-H em cascata de cinco níveis. Neste exemplo, é utilizado um índice de modulação em frequência $m_f = f_{cr}/f_m = 10$, com $f_m = 50\text{Hz}$, sendo portanto a frequência de comutação dos dispositivos igual à frequência da onda triangular (500 Hz) e que tem um valor plausível para semicondutores aplicados em conversores de alta-potência. O índice de modulação em amplitude toma o valor $m_a = V_{cr}/V_m = 0,75$.

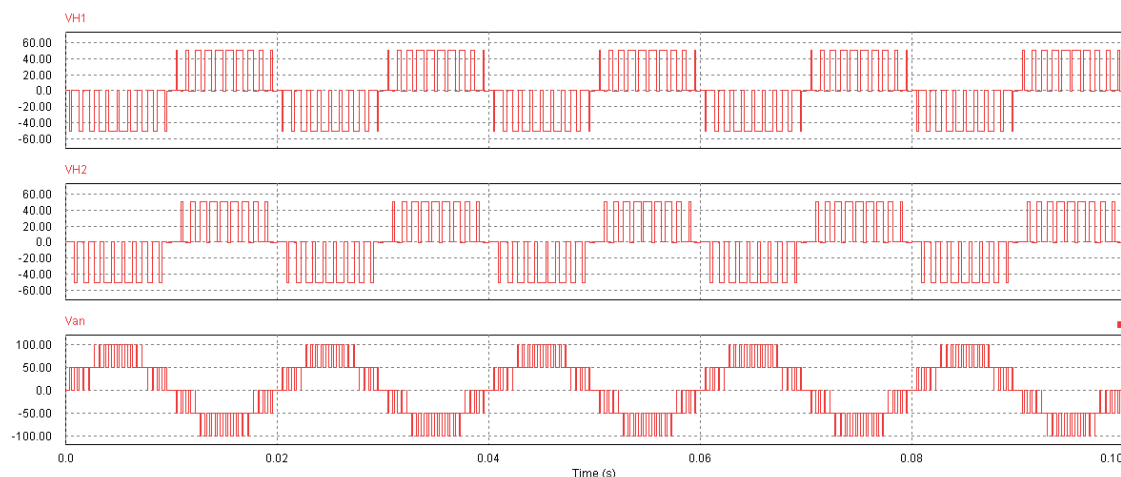


Figura 2.2.4 - Principais forma de onda para um inversor de cinco níveis.

De seguida, na figura 2.2.5, é apresentado o espectro da tensão de saída de cada ponte (V_{H1} e V_{H2}) e da tensão total de saída (V_{an}) do inversor. Sendo esta técnica essencialmente uma modulação unipolar os harmónicos de V_{H1} , aparecem como bandas centradas em $2m_f$ (1kHz), $4m_f$ (2kHz) e $6m_f$ (3kHz),... e apresenta um valor para a THD de 83,936%. A tensão V_{an} não apresenta harmónicos às frequências inferiores a $4m_f$, aparecendo aqueles como bandas centradas em $4m_f$ (2k Hz), $8m_f$ (4kHz)..., como tal a THD é reduzida para 39,9957%. Este conteúdo harmónico é variável com o índice de modulação e tem um comportamento não-linear existindo, portanto, uma gama de funcionamento a ser respeitada em cada aplicação.

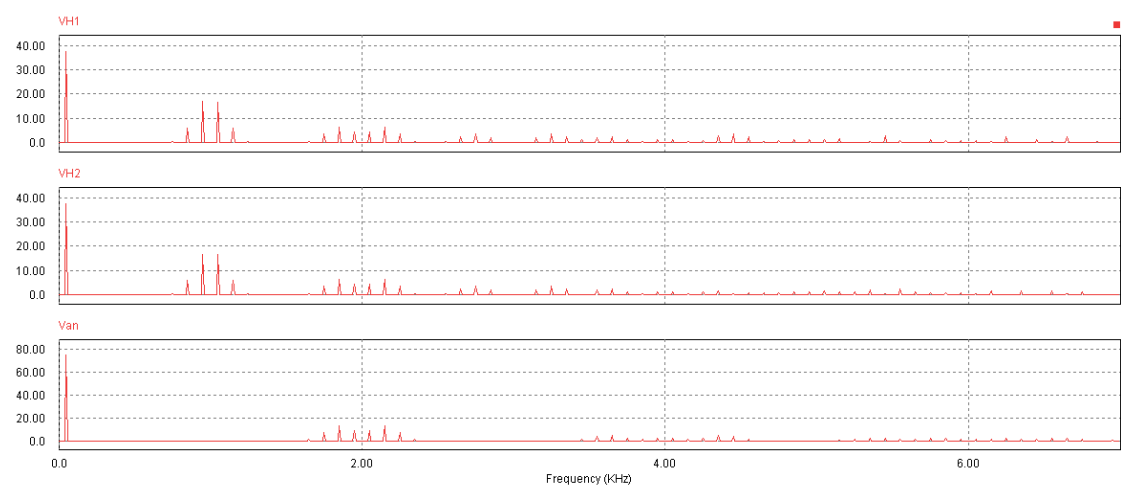


Figura 2.2.5 - Conteúdo harmónico das várias tensões na estrutura de cinco níveis com MLI por desfasamento.

2.2.1.2. MLI por desnivelamento de portadoras

Nas técnicas de modulação de largura de impulsos baseadas em portadora, as portadoras com a mesma frequência e amplitude podem ser dispostas com um desnivelamento, que relaciona cada uma das portadoras com um nível na tensão de saída [2]. Dependendo do arranjo dos desfasamentos entre portadoras esta técnica pode-se distribuir por três denominações: portadoras em fase ou *In-Phase Disposition* (fig. 2.2.6 a)); *Phase Opposite Disposition* (fig. 2.2.6 b)) portadoras acima de zero em fase e com uma fase de 180° em

relação às negativas e; *Alternative Phase Opposite Disposition* (fig. 2.2.6 c)) portadoras desfasadas 180° em relação às suas adjacentes [7].

Nestas técnicas as portadoras V_{cr1} e V_{cr2} geram o sinal para os transístores superiores da esquerda, respectivamente, S_{11} e S_{12} que estão no estado ON quando o sinal V_m é superior ao valor destas portadoras. Para a o controlo dos transístores da direita de cada ponte são utilizados as portadoras $V_{cr1_}$ e $V_{cr2_}$ para controlo dos transístores S_{31} e S_{32} , respectivamente. Ao contrário dos da esquerda, estes interruptores devem estar ligados quando as respectivas portadoras forem inferiores à onda moduladora.

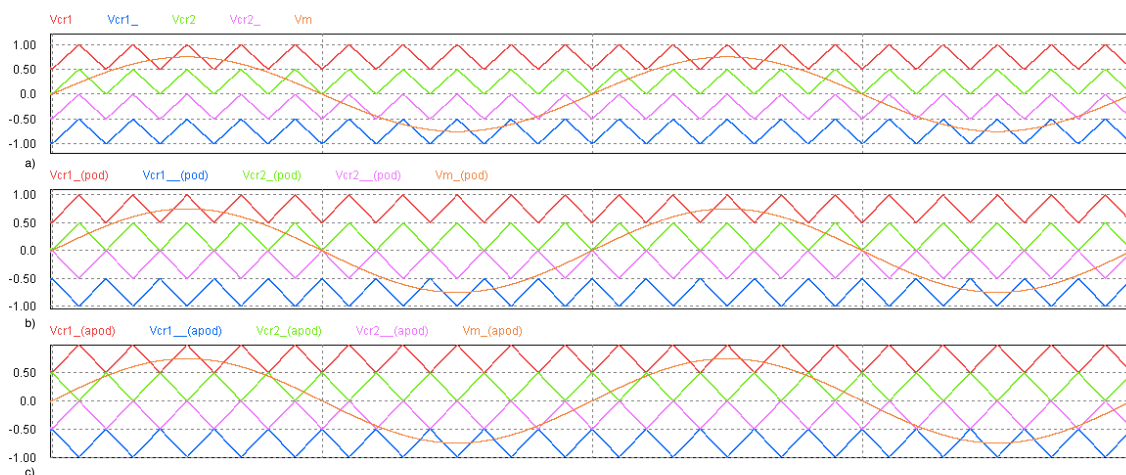


Figura 2.2.6 - Esquema de controlo por desfasamento para: a) PD-PWM; b) POD-PWM e; c) APD-PWM.

Destas três variantes a PDPWM é a que melhores resultados apresenta para o conteúdo harmónico, tal como se analisa em [5]. Na fig. 2.2.7, podem ser observadas as principais formas de onda, tal como a tensão V_{an} para um conversor de cinco níveis, sendo que na fig. 2.2.8 é apresentado o conteúdo harmónico desta mesma tensão, com $m_f = f_{cr}/f_m = 10$, $f_m = 50\text{Hz}$ e $m_a = V_{cr}/(V_m(m-1)) = 0,75$. Como se constata, os harmónicos dominantes aparecem como bandas centradas em m_f . A tensão V_{an} , à semelhança da técnica PSPWM, contém harmónicos múltiplos de três sendo, que neste caso, em m_f há um harmónico dominante.

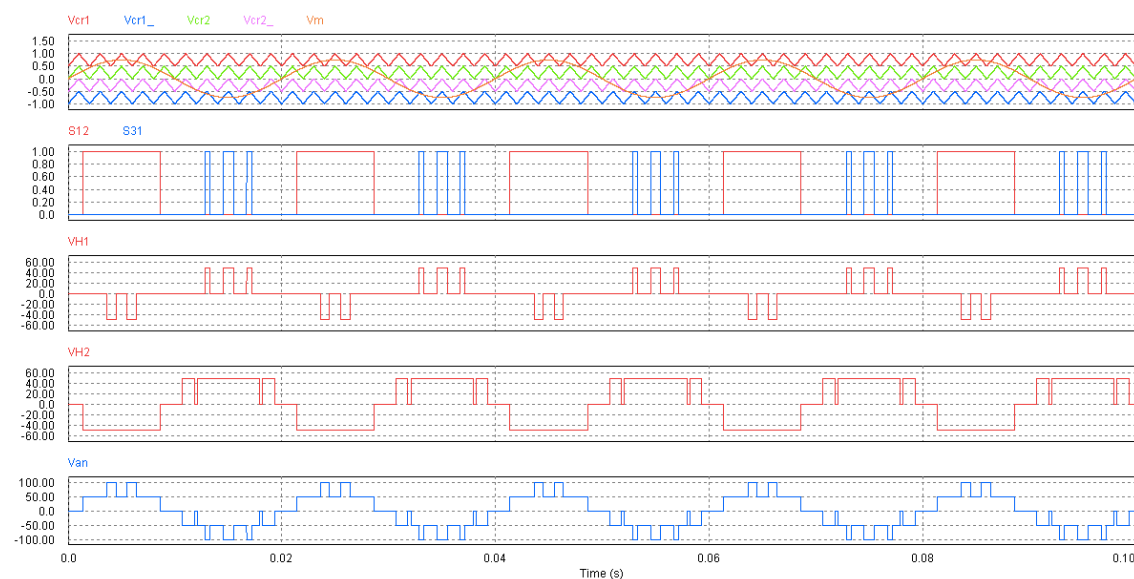


Figura 2.2.7 - Principais formas de onda de tensão geradas num inversor de cinco níveis com a técnica de modulação por desnivelamento com portadoras em fase.

Num circuito trifásico equilibrado, o terceiro harmónico e os seus múltiplos são anulados na tensão entre fases, V_{ab} , resultando numa considerável redução no conteúdo harmónico, em comparação com a tensão simples.

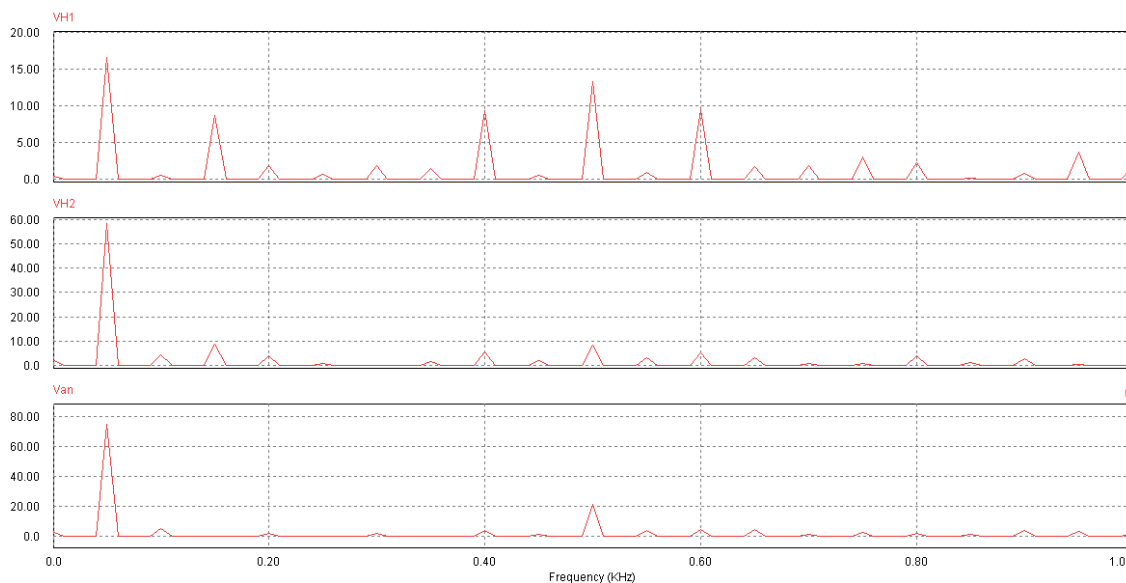


Figura 2.2.8 - Conteúdo harmónico das várias tensões na estrutura de 5 níveis com MLI por desnivelamento.

Contudo, como constatado, apesar desta técnica ser aplicável em *CHB*, é considerada como não atractiva, já que favorece a não distribuição da potência de entrada em igual modo por cada um dos módulos [2]. Mais ainda, é possível, da análise dos sinais de comando da técnica por desnivelamento PDPWM, concluir que a frequência de comutação, ao contrário da técnica de modulação por desfasamento, não é a mesma para todos os módulos do inversor para produzir cada um dos níveis. Este facto deve ter sido em conta na fase de projecto, já que a desigual distribuição das perdas significa uma não uniformidade no tempo de vida dos módulos e também no dimensionamento dos dissipadores de cada módulo. Este controlo pode ser efectuado, admitindo barramentos CC equilibrados, através da rotação cíclica (à frequência fundamental) das portadoras pelas várias pontes -H.

Nestas técnicas é possível, nos inversores trifásicos, a inclusão, na onda moduladora, do terceiro harmónico. Esta inclusão permite a operação com índices de modulação superiores a 1, sem que haja a entrada na zona de sobre-modulação. Isto é alcançado com a soma de uma onda sinusoidal com frequência tripla da moduladora e com uma amplitude que toma valores entre $1/6$ e $1/4$ da amplitude da onda moduladora [14].

2.2.2. MLI vectorial

A técnica de modulação de largura de impulsos vectorial ou *Space Vector Modulation*, considerando primeiramente o caso dum inversor de dois níveis trifásico (fig. 2.2.9 a)), baseia-se no facto de existirem apenas oito estados possíveis para as comutações dos semicondutores (Tabela 2.2.1). Enquanto que dois destes estados representam um curto-circuito da saída (V_0 e V_7), os outros seis são usados para formar vectores estáticos no plano complexo α - β , tal como é representado na figura 2.2.9 b). Depois de identificados os vectores estáticos, em qualquer ponto no tempo, um dado vector de referência para a saída (V_{ref}), é formado pela soma (“média”) de um dado número de vectores de estados dentro de um período de comutação $\Delta T/2$ [14]. Isto é, a saída pretendida em amplitude e frequência, bem

com um desejado conteúdo harmónico, é obtida pela determinação da sequência de vectores de estado e pelo tempo em que estes são activados e desactivados.

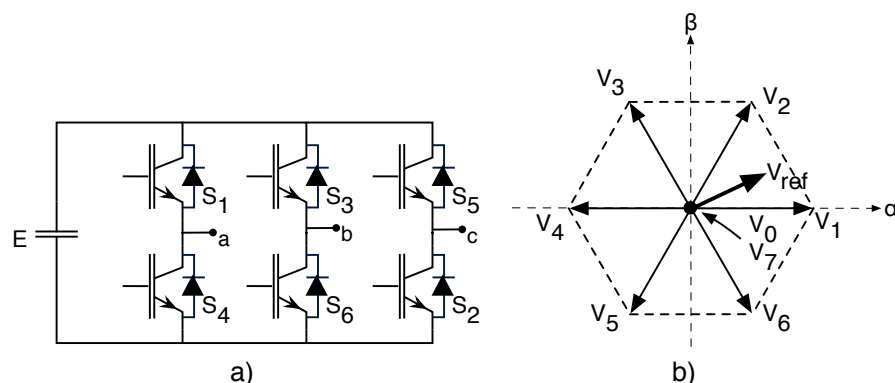


Figura 2.2.9 - a) Estrutura de um inversor de 2 níveis trifásicos b) Diagrama de vectores de estados.

Tabela 2.2.1 - Combinação dos estados dos interruptores para um inversor de 2 níveis trifásico.

Vectores de estados	Estados dos semicondutores						Tensões de saída		
	S ₁	S ₂	S ₃	S ₄	S ₅	S ₆	V _{ab}	V _{bc}	V _{ca}
V ₀	OFF	ON	OFF	ON	OFF	ON	0	0	0
V ₁	ON	ON	OFF	OFF	OFF	ON	E	0	-E
V ₂	ON	ON	ON	OFF	OFF	OFF	0	E	-E
V ₃	OFF	ON	ON	ON	OFF	OFF	-E	E	0
V ₄	OFF	OFF	ON	ON	ON	OFF	-E	0	E
V ₅	OFF	OFF	OFF	ON	ON	ON	0	-E	E
V ₆	ON	OFF	OFF	OFF	ON	ON	E	-E	0
V ₇	ON	OFF	ON	OFF	ON	OFF	0	0	0

Estendendo este conceito a um inversor multi-nível de três níveis, obtém-se o diagrama da figura 2.2.10. Deste diagrama faz-se ressaltar que o inversor tem 27 estados possíveis, dos quais 8 são redundantes. O número de vectores de estado, k , obedece, portanto, à relação $k=n^3$. Este facto evidencia que a complexidade do algoritmo de modulação de largura de impulsos vectorial é muito dependente do número de níveis para o inversor. Esta técnica é ainda caracterizada, em comparação com a técnica MLI baseado em portadoras, por produzir maior amplitude para a saída porque inclui uma componente homopolar e permitir menores perdas por comutação[16].

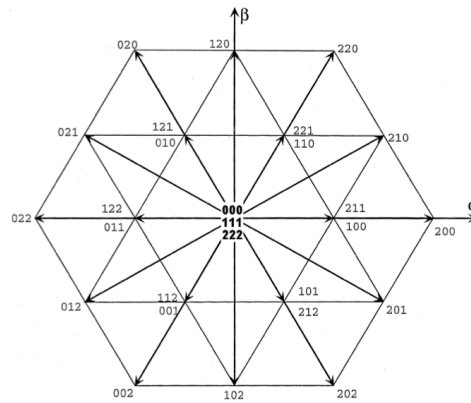


Figura 2.2.10 - Diagrama de vectores de estados para um inversor de três níveis [14].

2.2.3. Modulação por onda quadrada

Esta técnica pode ser facilmente aplicada nos *CHB* devido à sua estrutura única [5]. Tem o princípio de funcionamento representado na figura 2.2.11, para um inversor com sete níveis (três pontes). Nesta figura θ_1, θ_2 e θ_3 são os ângulos de comutação de cada módulo do inversor. Neste caso as tensões de entrada de cada ponte tomam valores iguais, E . No entanto, é possível a utilização de inversores com modulação em onda quadrada, com tensões de entrada variáveis ou não-iguais.

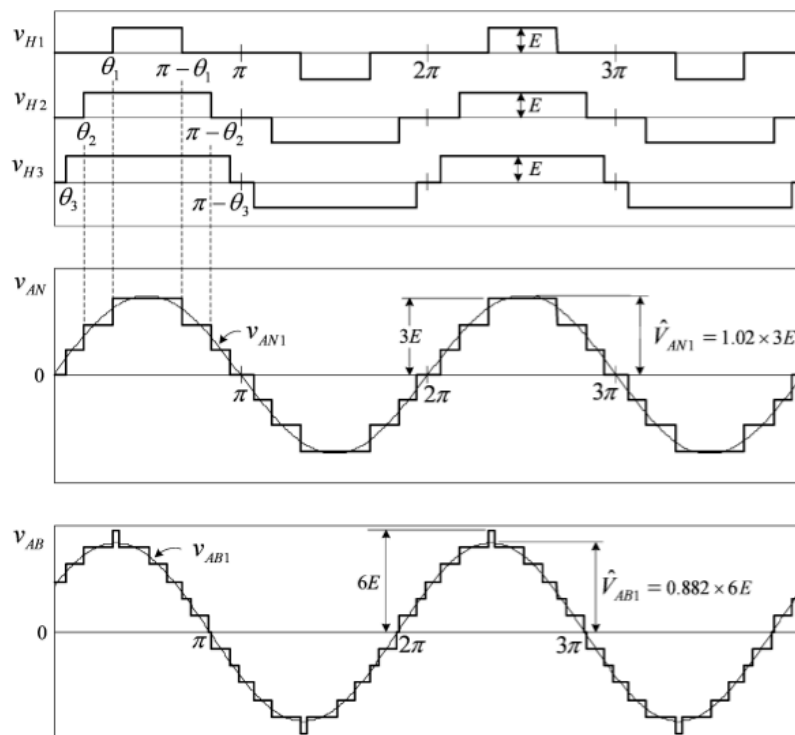


Figura 2.2.11 - Princípio de funcionamento da técnica de modulação por onda quadrada[5].

Existem vários objectivos neste tipo de modulação, dependentes das várias aplicações, sendo alguns deles [17]:

- minimização da THD da tensão de saída do inversor, nomeadamente para aplicação em painéis fotovoltaicos;

- eliminação de harmónicos de baixa frequência da tensão da carga, como o terceiro, quinto e sétimo... harmónicos, para aplicações nas quais existe uma filtragem conveniente do restante conteúdo harmónico;
- minimização do conteúdo harmónico ignorando o terceiro harmónico, que é cancelado no sistema trifásico e;
- eliminação dos harmónicos de baixa frequência ignorando o terceiro harmónico.

Em qualquer inversor deve ser controlada a amplitude da componente fundamental adicionalmente à optimização da forma de onda da tensão de saída. Os ângulos de comutação são o meio de o conseguir.

2.2.3.1. A formulação convencional do problema

De seguida são apresentadas algumas noções e notações, para a formulação analítica do problema de cálculo dos ângulos de comutação do inversor anteriormente referido.

A tensão V_{an} , num inversor com três pontes, é expressa pela série de Fourier, como de seguida:

$$V_{an} = \frac{4E}{\pi} \sum_{n=1,3,5,\dots}^{\infty} \frac{1}{n} \{\cos(n\theta_1) + \cos(n\theta_2) + \cos(n\theta_3)\} \sin(n\omega t), \quad (2.8)$$

para $0 \leq \theta_3 \leq \theta_2 \leq \theta_1 \leq \pi/2$.

Nesta expressão n é a ordem do harmónico e θ_1, θ_2 e θ_3 são os ângulos de comutação de cada módulo do inversor. O coeficiente $4E/\pi$ representa o valor de pico do máximo da tensão fundamental de uma ponte, que ocorre quando o ângulo de comutação é nulo. De seguida a partir, desta série de Fourier, são obtidas as expressões que relacionam os vários ângulos de comutação entre si com um objectivo de optimização específico. Definindo o índice de modulação em amplitude como de seguida,

$$m_a = \frac{\hat{V}_{an1}}{s \times \hat{V}_{h,max}} = \frac{\hat{V}_{an1}}{s \times 4E / \pi}, \quad (2.9)$$

nesta expressão $\hat{V}_{an}$ é o valor de pico da frequência fundamental e s o número de módulos por fase.

Como exemplo, considera-se o controlo da componente fundamental e a eliminação do 3º e 5º harmónicos, que conduz ao seguinte conjunto de equações,

$$\begin{aligned} \cos\theta_1 + \cos\theta_2 + \cos\theta_3 &= 3m_a \\ \cos 3\theta_1 + \cos 3\theta_2 + \cos 3\theta_3 &= 0 \\ \cos 5\theta_1 + \cos 5\theta_2 + \cos 5\theta_3 &= 0. \end{aligned} \quad (2.10)$$

Do ponto de vista de complexidade computacional os algoritmos para determinação dos ângulos de comutação $\theta_1, \theta_2, \dots$ e θ_n podem ser divididos em duas categorias: os algoritmos não-tempo-real e; os algoritmos em tempo-real [18].

Nos algoritmos não-tempo-real um dado número de equações não-lineares transcendentais devem ser resolvidas e os resultados são guardados em memória para posterior utilização no controlo do inversor. São propostos, na literatura, vários métodos para resolução deste sistema de equações não-lineares transcendentais, tais como: método de Newton-Raphson [19]; métodos dos resultantes e dos polinómios simétricos [20]; método baseado em algoritmos genéticos. Contudo o esforço computacional e o consequente tempo de execução

destes métodos não os torna possíveis de serem resolvidos em tempo-real por um microprocessador ou uma DSP. É possível, ainda verificar, que, se o número de equações aumentar, para um maior número de níveis, o esforço computacional também aumenta.

Normalmente estes ângulos são calculados, para os vários índices de modulação, *a priori* por um computador com maior capacidade de processamento e posteriormente guardados, na plataforma de controlo escolhida, na forma de *look-up tables*. Mais ainda, é possível constatar que se as tensões de alimentação dos vários módulos tomarem valores não constantes e/ou desiguais entre si, as *look-up tables* devem ser acrescidas de vários conjuntos de soluções para as várias combinações de tensões de entrada e para os vários índices de modulação em amplitude. O tamanho destas tabelas é ainda fortemente dependente da resolução pretendida para o índice de modulação em amplitude.

Nos algoritmos de tempo-real, para cálculo destes mesmos ângulos, podem ser encontradas várias abordagens para evitar a resolução das equações não-lineares transcendentais, a nomear: pela teoria do balanceamento da área tensão-tempo da tensão de referência para a tensão de saída [21]; por aproximação analítica da expressão do THD[17].

2.2.3.2. O método de cálculo iterativo

O último método referido, por aproximação analítica da expressão do THD, tem como objectivo a minimização da THD da tensão de saída do inversor e é deduzido recorrendo aos seguintes passos [17]:

1. Primeiramente, por simplificação e equivalência, há uma minimização da variável D equivalente a $(THD)^2$, ao invés da THD;
2. É empregue o método de Lagrange para a obtenção de um sistema de equações para a resolução da expressão do sistema de equações $\partial D / \partial \theta_k$, a partir deste sistema é obtido a expressão 2.11;

De seguida ρ é obtido, recorrendo a um número reduzido de iterações de um algoritmo (p.e. o algoritmo de Newton-Raphson). Este valor é calculado partir da relação:

$$\sum_{k=1}^s \sqrt{1 - \left(\frac{k-1/2}{s-1/2} \cdot \rho \right)^2} = m_a \cdot s, \quad (2.11)$$

na qual s é o número de ponte usadas e m_a é o índice de modulação em amplitude.

De seguida determina-se os ângulos de comutação por avaliação da relação:

$$\theta_k = \arcsin \left(\frac{k-1/2}{s-1/2} \cdot \rho \right), \quad (2.12)$$

com $k=1,2,\dots,s$.

Em [18], este método é estendido para tensões de alimentação, de cada um dos módulos, diferentes ou variáveis no tempo.

De fazer notar que não há controlo dos harmónicos não eliminados ou minimizados, que normalmente tendem a aumentar, uma vez que a energia harmónica é redistribuída pelos outros harmónicos não eliminados.

Este tipo de modulação tem a grande vantagem de permitir que as perdas por comutação sejam reduzidas ao mínimo, do ponto de vista do método de comutação, já que o inversor comuta um reduzido número de vezes por ciclo.

É, ainda, importante referir que deverá existir a rotação cíclica do controlo das várias pontes-H de forma a garantir uma igual distribuição da potência activa fornecida pelos mesmos.

2.3 Conclusão

Este capítulo apresentou as estruturas de potência de inversores multi-nível em geral, esquemas de comutação e principais características.

Este estudo demonstra-se importante uma vez que deu a conhecer os principais domínios de aplicação de cada uma das topologias apresentadas e porque alerta para limitações e particularidades de funcionamento comuns à topologia a ser empregue nas fases posteriores desta dissertação.

Foram, ainda, abordados os princípios de funcionamento dos principais métodos de modulação aplicáveis em inversores multi-nível, ponte-H em cascata.

Conclui-se, ainda, que o estudo dos paradigmas de modulação mais comuns permitiu obter um conhecimento das suas principais características, mais ainda obter uma noção de quais os principais desafios que estas técnicas de modulação apresentam actualmente.

Os conhecimentos adquiridos nesta fase permitiram perceber quais os princípios de funcionamento do método de modulação em onda quadrada mais recentemente apresentado, tendo como objectivo a sua implementação para posterior caracterização.

Capítulo 3

Simulação do inversor monofásico

3.1. Introdução

Neste capítulo é descrito o conjunto de passos adoptados para a simulação de um inversor multi-nível ponte-H em cascata, monofásico, com modulação à frequência fundamental. As simulações aqui apresentadas têm como objectivos a caracterização do próprio inversor bem como a constatação das características de funcionamento do método de modulação. Todas as simulações são elaboradas em malha aberta, já que a realimentação e controlo em malha fechada vão além do âmbito desta dissertação, que se centra na análise do circuito de potência e respectivo método de modulação.

As simulações foram realizadas no software PSIM 7.1.1, que é direccionado para a simulação de circuitos de potência possuindo, portanto, um conjunto de elementos que permitem a implementação rápida dos princípios gerais do controlo de todas as estruturas de potência.

Em qualquer inversor existe a necessidade que a tensão de saída seja controlável em amplitude e frequência. Como tal, o sistema aqui em projecto apresenta o esquema de alto nível da figura 3.1.1. Como é perceptível, as entradas do sistema são um índice de modulação em amplitude (m), para controlo da amplitude da componente fundamental da tensão de saída e uma referência para a frequência (f) da componente fundamental da tensão de saída.

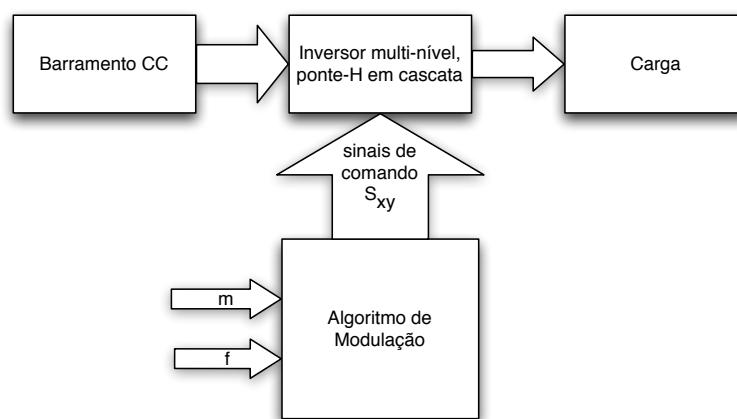


Figura 3.1.1 - Esquema geral de princípio do sistema

Da análise de Fourier do sinal da tensão de saída de um inversor ponte-H em cascata com s pontes, obtém-se a expressão para a amplitude de todos os harmónicos, ímpares de ordem n

$$V_n = \frac{4}{n\pi} \sum_{k=1}^s E \cos(n\theta_k). \quad (3.1)$$

Nesta expressão θ_k são os sucessivos ângulos de comutação de cada ponte e E é a tensão na entrada de cada ponte. A partir desta expressão é, então, possível obter a expressão para o índice de modulação, o qual relaciona a tensão da componente fundamental (ordem $n=1$) e a amplitude máxima na saída onda quadrada como de seguida:

$$m = \frac{\pi}{4} \cdot \frac{V_1}{s \cdot E} \quad (3.2)$$

Na parte final do capítulo anterior foram apresentadas na equação 2.10 as expressões que se podem obter para controlar a amplitude dos harmónicos. Nestas expressões pode-se aferir que a questão da eliminação de determinados harmónicos deve ser efectuada com adição de pontes. Logo, se se pretende o projecto de esquema de modulação com o objectivo da eliminação dos harmónicos múltiplos de três, na lógica da aplicação em sistema monofásico, o aumento do número de níveis deve ser aumentado aos pares, partindo do inversor base de três pontes.

3.2. Simulação do inversor em cascata com o método de modulação à frequência fundamental

3.2.1. Variação de frequência e estratégia de comutação

Para se obter os sinais de comando para os transístores superiores de uma ponte-H, o ângulo de comutação de cada ponte (θ_k) é comparado com uma onda triangular, de frequência dupla e amplitude correspondente a 90° . De seguida, o resultado desta comparação é multiplicado por uma onda quadrada unitária com frequência igual à frequência de referência. No caso dos transístores da direita este sinal de controlo deve estar em oposição de fase em relação ao sinal da esquerda. Este método é esquematizado na figura 3.2.1 a).

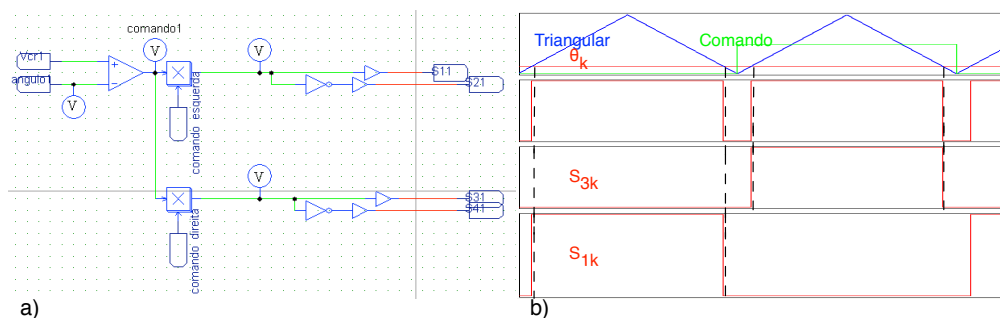


Figura 3.2.1 - Método de modulação à frequência fundamental: a) Esquema em blocos PSIM; b) diagramas de princípio do esquema de comutação.

Os sinais de comando anteriormente referidos necessitam ter frequência variável. Para que tal acontecesse, utilizou-se o seguinte método: a frequência (ω) é integrada, de forma a obter a fase (θ) e de seguida é calculado o $\sin(\theta)$; a função $\sin(\theta)$ é comparada com zero e é-lhe subtraída a constante $1/2$ de forma a obter uma onda quadrada de valor médio nulo; de seguida é multiplicada pelo valor da referência da frequência; por fim, este sinal é integrado obtendo-se, assim, a onda triangular de amplitude constante e frequência variável. De seguida são apresentados os resultados deste esquema para um inversor constituído por 7 pontes.

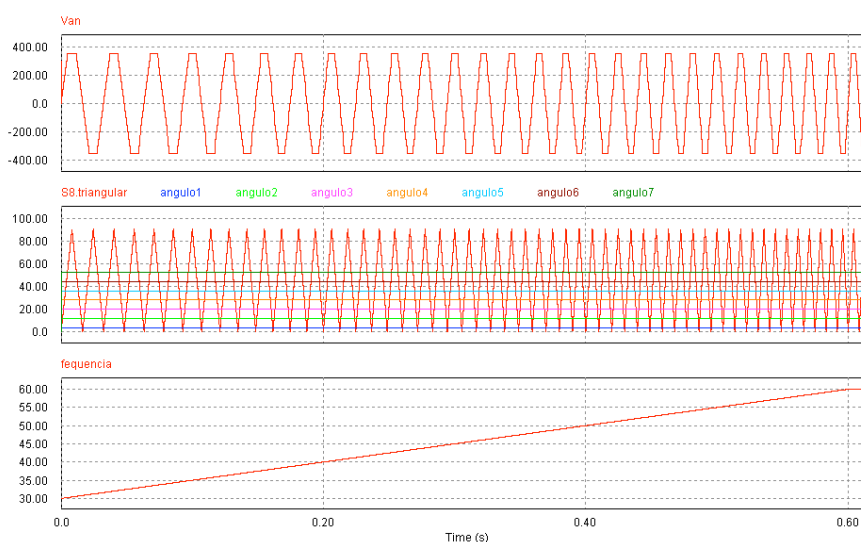


Figura 3.2.2 - Principais forma de onda para variação de frequência: a) tensão de saída ; b) onda triangular obtida e ângulos de comutação e; c) variação da referência de frequência.

3.2.2. Cálculos dos ângulos de comutação

O método de modulação que se pretende projectar foi anteriormente apresentado na secção 2.2.3. Resumidamente, este método permite a comutação à frequência fundamental, sendo que para tal são calculados os ângulos de comutação para cada ponte. Estes cálculos são efectuados por um algoritmo de aproximação para resolução da equação não-linear (ver equação 3.1). Neste caso, o autor opta pelo algoritmo de Newton já que este permite uma convergência rápida, quando é fornecida uma solução inicial “boa”, permitindo assim a actualização destes ângulos dentro de um paradigma de tempo-real. Para além da “qualidade” da solução inicial há vários factores que influenciam a rapidez de convergência deste método como o comportamento da função e da sua derivada perto da solução a descobrir.

Da equação não-linear (3.3) é definida a função $f(\rho)$ como de seguida,

$$f(\rho) = \sum_{k=1}^s \sqrt{1 - \left(\frac{k - \frac{1}{2}}{s - \frac{1}{2}} \rho \right)^2} - m \cdot s, \quad (3.3)$$

na qual s representa o número de ponte-H que constituem o inversor, m é o índice de modulação e ρ é o valor da solução que se pretende obter.

De seguida define-se a derivada em ordem à única variável como:

$$\frac{d}{d\rho} f(\rho) = \sum_{k=1}^s \frac{-\left(\frac{k - \frac{1}{2}}{s - \frac{1}{2}} \right)^2 \rho}{\sqrt{1 - \left(\frac{k - \frac{1}{2}}{s - \frac{1}{2}} \rho \right)^2}}. \quad (3.4)$$

Assim, a solução numa dada iteração é dada pela seguinte forma:

$$\rho_n = \rho_{n-1} - \frac{f(\rho)}{\frac{d}{d\rho} f(\rho)}. \quad (3.5)$$

Com estas três expressões, o algoritmo de Newton-Raphson pode ser representado pelo seguinte diagrama de estados da figura 3.2.3.

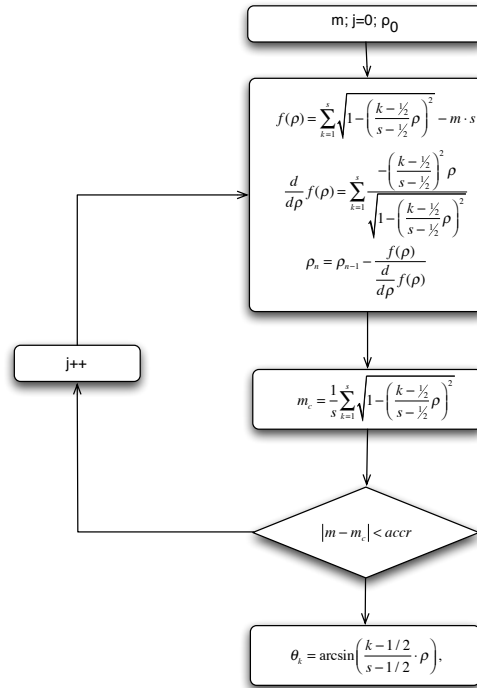


Figura 3.2.3 - Diagrama do método para a obtenção dos ângulos de comutação.

Este algoritmo foi primeiramente implementado em linguagem C em conjunto com o algoritmo das bissecções para que fosse possível obter a aproximação inicial, ρ_0 , que garantisse a convergência do método de Newton. O estudo da representação gráfica de $f(\rho)$ permitiu perceber os limites em que deixam de existir soluções para a variação do índice de modulação e , posteriormente, com a variação do número de pontes-H que constituem o inversor. Permitiu, ainda, perceber que $f(\rho)$ apenas está definida no intervalo entre -1 e 1. De notar a presença da raiz quadrada, e que só existem soluções para valores de m iguais ou superiores a aproximadamente 0,6 no caso de s igual a três e 0,72 para o valor de s igual a 7.

De seguida foi desenvolvido um bloco C do PSIM com uma variação de m descrita na fig. 3.2.4 a), com s igual a 3 e $E=50V$. Na simulação para três pontes, cujos resultados se apresentam na fig. 3.2.4 b) e c), p_0 toma o valor 0,99, obtido pelo algoritmo das bissecções que corresponde à solução aproximada para m inicial igual a 0,63. Esta aproximação inicial permite que o valor da solução seja obtido, com a precisão pretendida, num número de iterações reduzido (para o caso ensaiado com $s=3$ são necessárias 5 iterações). O valor da solução obtida é utilizado, de seguida, como o valor p_0 para cálculo da solução relativa ao índice de modulação seguinte que, no caso da variação lenta, toma o valor de 0,6305; já no caso da variação rápida do índice de modulação toma o valor de 0,631. Admitindo-se esta condição o algoritmo é capaz de obter uma solução, com a precisão pretendida, em cinco iterações para o m inicial e, posteriormente, para os restantes índices de modulação, num número constante de iterações que, neste caso, são quatro.

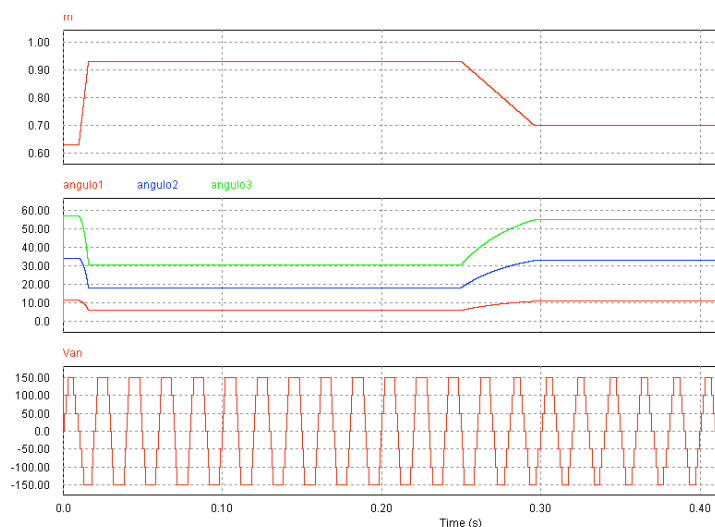


Figura 3.2.4 - Simulação do método para 3 pontes: a) variação de m ; b) variação dos ângulos de comutação; c) tensão total na saída, V_{an} .

Ainda da fig. 3.2.4 é possível visualizar que os ângulos de comutação são actualizados praticamente instantaneamente. Como tal, estes valores só serão utilizados para comando da respectiva ponte quando os seus valores intersectam a onda triangular, como se depreende das formas de onda da tensão V_{an} apresentadas e provenientes das simulações analisadas neste capítulo.

Na figura 3.2.5 são representadas as principais formas de onda obtidas da simulação com sete pontes-H mantendo-se $E=50V$. A variação do índice de modulação da fig. 3.2.5 a), tem o mesmo comportamento que na simulação para 3 pontes. No entanto, as variações rápidas e lentas são invertidas e a solução inicial é de 0,97, correspondente a um índice de modulação igual a 0,75.

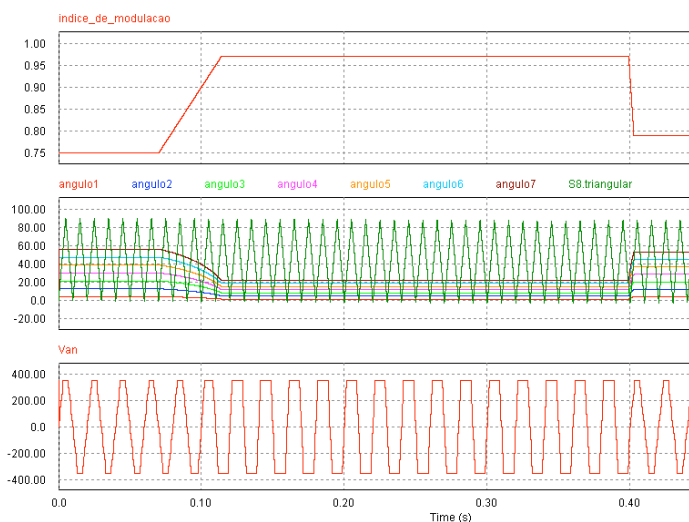


Figura 3.2.5 - Simulação do método para 7 pontes: a) variação de m ; b) variação dos ângulos de comutação; c) tensão total na saída, V_{an} .

De seguida foi elaborada uma análise do conteúdo harmónico das tensões de saída, das simulações para 3 e 7 pontes, com a variação do índice de modulação. Estes resultados, e a respectiva discussão, são apresentados nas duas secções subseqüentes.

3.2.1. Três pontes

As figuras 3.2.6 a 3.2.8 apresentam a amplitude de todos os harmónicos de ordem inferior a 19 com a variação discreta do índice de modulação, sendo que a informação relativa à fundamental é separada da informação dos restantes harmónicos, para benefício da escala e também da legibilidade. Para uma melhor caracterização do método de comutação, numa possível aplicação em sistemas trifásicos, os dados dos harmónicos múltiplos de 3 são separados, lembrando que estes harmónicos são sucessivamente anulados num sistema trifásico equilibrado. É também usada uma normalização em relação à máxima amplitude possível da tensão V_{an} num inversor monofásico, que toma o valor de $(4/\pi) \cdot E$.

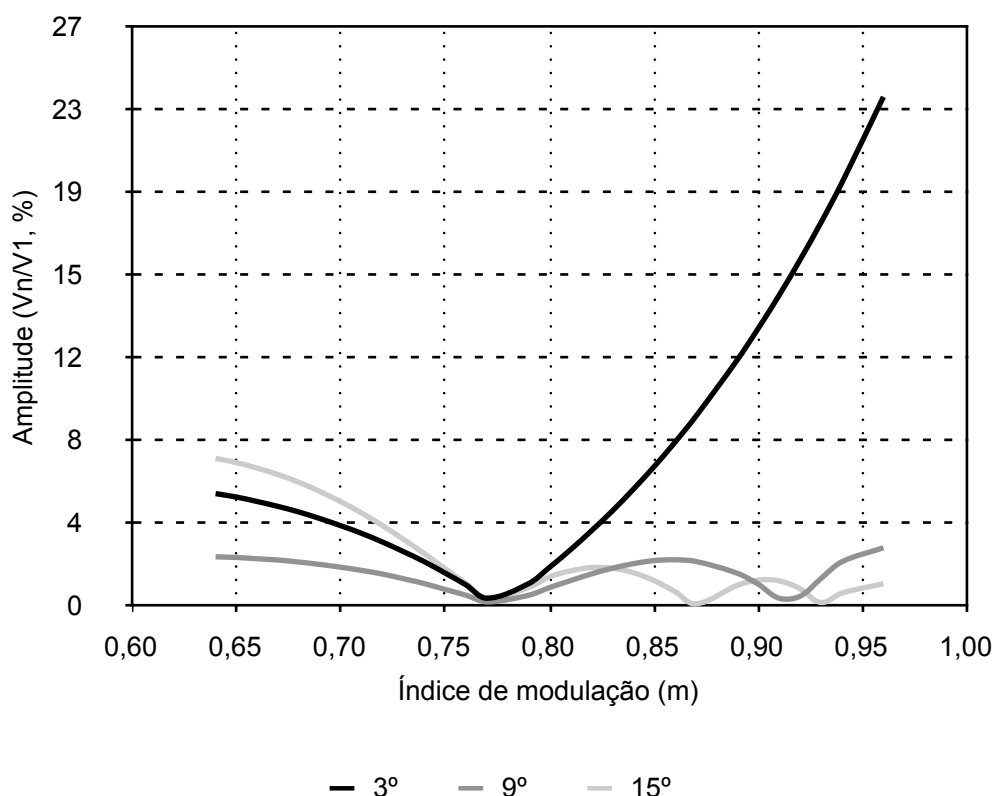


Figura 3.2.6 - Amplitude normalizada dos harmônicos múltiplos de 3 na tensão V_{an} , com a evolução do índice de modulação na simulação com 3 pontes-H.

Nos dados dos harmônicos múltiplos de 3 analisados, percebe-se que estes diminuem de amplitude com o aumento do índice de modulação. Este comportamento mantém-se até ser atingido um ponto de inflexão, em $m=0,77$; a partir deste ponto a amplitude do harmônico dominante (de ordem 3) aumenta com o aumento do índice de modulação, enquanto que os restantes se mantêm relativamente constantes. Nesta zona de funcionamento, o 3º harmônico torna-se dominante, ao invés da primeira zona referida em que estes harmônicos têm valores bastante próximos. Dos dados respeitantes aos harmônicos de ordem 9 e 15 percebe-se, que na segunda zona, existe uma complementaridade entre a evolução das suas amplitudes.

Relativamente aos restantes harmônicos, não apresentam um comportamento uniforme para toda a gama do índice de modulação. Tendo presente que o objectivo desta técnica é a minimização da THD e sabendo, como já foi afirmado na parte final da subsecção 2.2.3.2, que a energia harmónica é redistribuída pelos outros harmónicos não eliminados, neste caso não minimizados. É, então, possível analisar o seguinte padrão: quando um harmónico tem tendência a diminuir em amplitude existe outro que vai ter tendência a subir. Como tal, existe uma quase simetria negativa entre os seguintes pares harmónicos: 5º e 7º; 11º e 13º; 17º e 19º. Mais ainda, é possível verificar que, a partir do índice de modulação aproximadamente igual a 0,83, a amplitude da generalidade dos harmónicos tende a descer enquanto que a amplitude do terceiro tende a subir.

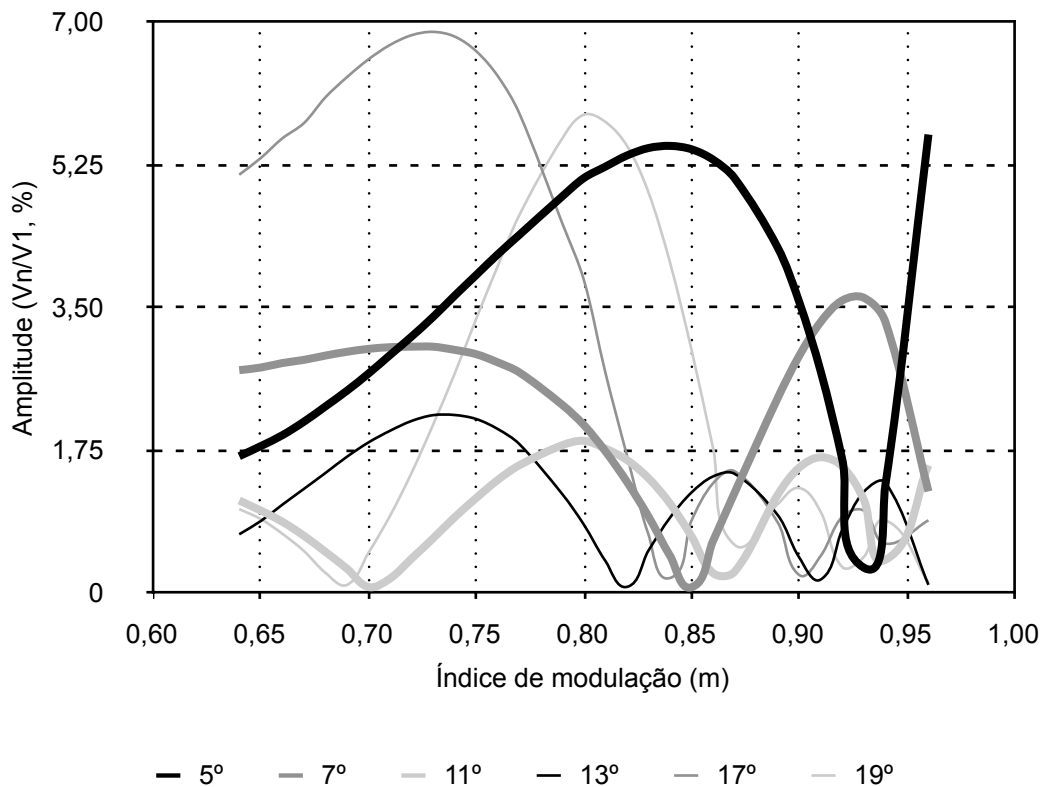


Figura 3.2.7 - Amplitude normalizada dos harmônicos não múltiplos de 3 na tensão V_{an} , com a evolução do índice de modulação na simulação com 3 pontes-H.

Nos dados da fig. 3.2.8 pode-se constatar a diminuição da amplitude da componente fundamental, como era de esperar, com diminuição da referência de entrada para o valor de m . Ainda relativamente à componente fundamental é de referir que a relação entre a sua amplitude e o índice de modulação não é linear. Como tal, para um m inferior a certos valores a amplitude da fundamental é mais elevada em comparação com a fundamental para m superiores. Este facto leva a que seja considerada uma zona para o “funcionamento normal” do método de modulação que, na simulação para sete níveis é ainda mais reduzida. Esta zona é constatada na simulação com três pontes na qual para $m=0,62$, o valor da componente fundamental é aproximadamente 178V em comparação com 149V para $m=0,63$. Por este facto, fica explícita a razão porque apenas são considerados valores para o índice de modulação superiores a 0,63.

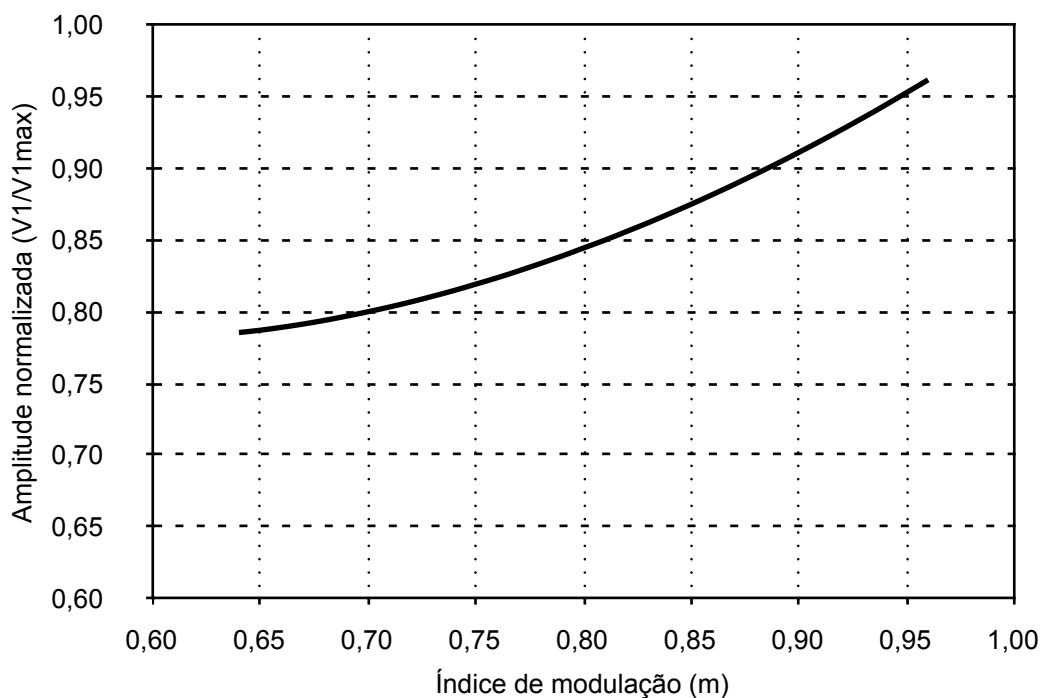


Figura 3.2.8 - Amplitude normalizada da componente fundamental com a evolução do índice de modulação na simulação com 3 pontes-H.

A variação da amplitude dos harmónicos, anteriormente descrita, fica implícita na evolução da THD que se apresenta de seguida, na forma do gráfico apresentado na figura 3.2.9.

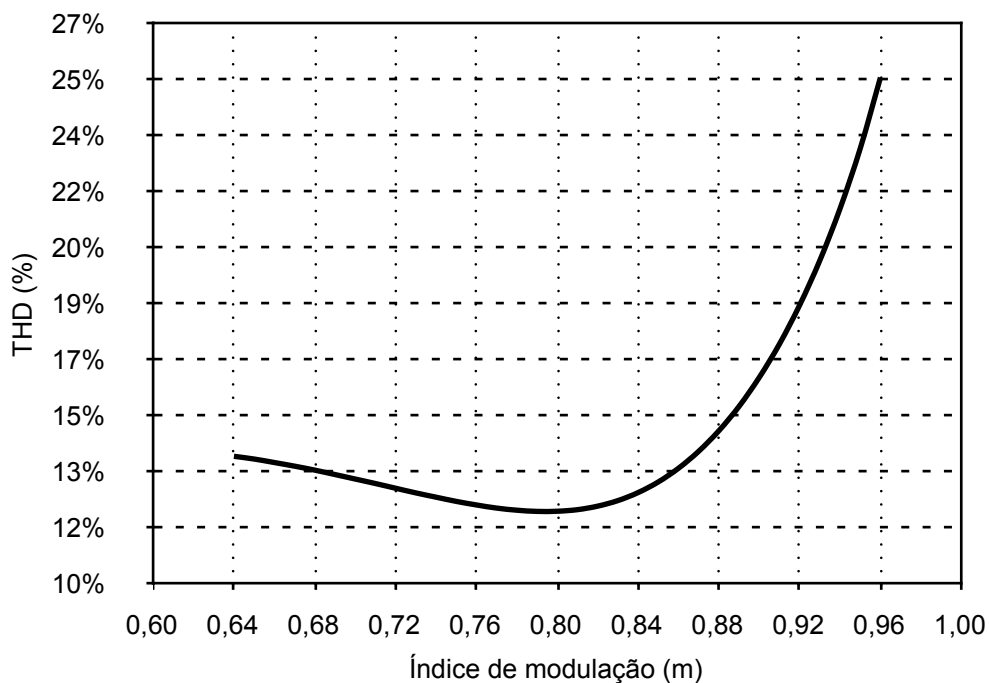


Figura 3.2.9 -THD calculado pela definição com a evolução do índice de modulação, $s=3$.

Desta última figura é possível a constatação de que o ponto óptimo, no qual a taxa de distorção harmónica é mínima, se situa num índice de modulação aproximadamente igual a 0,83.

3.2.2. Sete pontes

Em relação à simulação com sete pontes esta apresenta o mesmo comportamento que a anterior com três pontes. Tal como na situação com $s=3$ pode-se verificar que existem valores para m nos quais a amplitude da fundamental é mais elevada que para outros valores de m superiores. Na prática constata-se que para $m=0,75$ o valor da fundamental é 393V em contraste com o valor para $m=0,76$ no qual a fundamental é 366V. Estes dados são apresentados nas figuras 3.2.10 a 3.2.12, à semelhança da simulação com 3 pontes, para as amplitudes normalizadas da componente fundamental, de todos os harmónicos ímpares até $n=20$.

No entanto, é observada unicamente a segunda zona de funcionamento, depois de ser ultrapassado o ponto óptimo da curva de THD. Nesta zona, o harmónico dominante tem tendência a aumentar com o aumento de m , enquanto que os seus múltiplos se mantêm relativamente constantes em toda a gama de m . Nestes dados, é ainda possível verificar que, tal como na simulação de três pontes, as evoluções das amplitudes do 9º e 15º harmónicos são complementares.

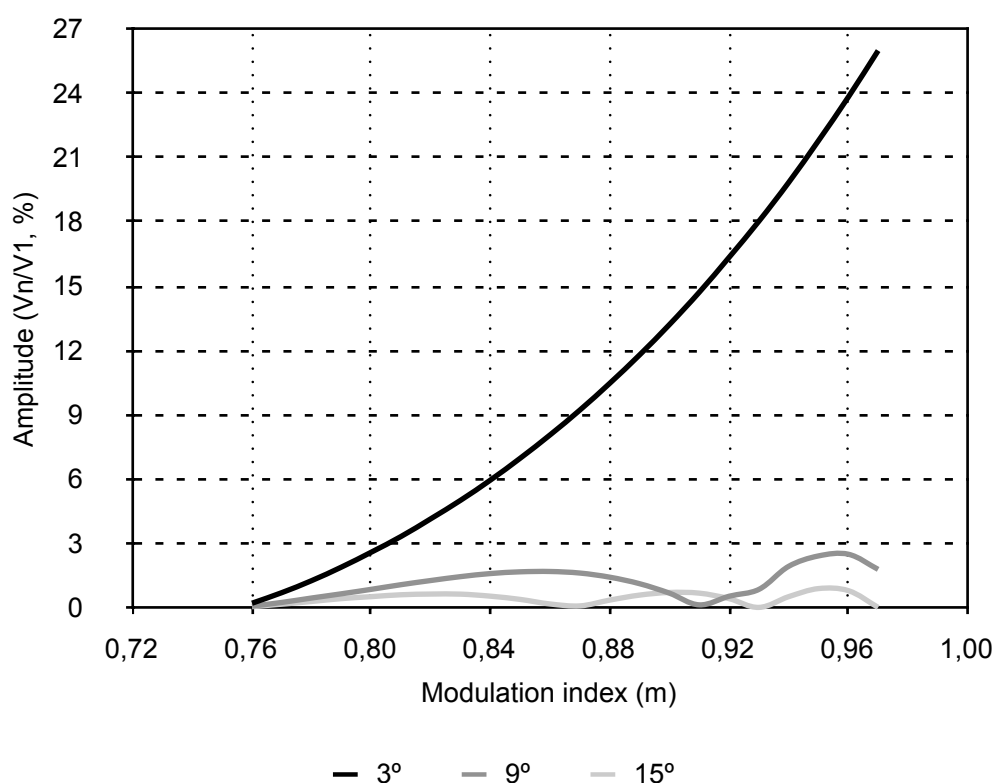


Figura 3.2.10 - Amplitude normalizada dos harmónicos múltiplos de 3 na tensão V_{an} , com a evolução do índice de modulação na simulação com 7 pontes-H.

Nos dados relativos aos restantes harmónicos, não múltiplos de três, é possível verificar o mesmo padrão da simulação com três pontes, ou seja, a redistribuição da energia harmónica. É possível ainda visualizar uma complementaridade entre as evoluções das amplitudes, tal como na simulação para três pontes, para os pares de harmónicos: 5º e 7º; 11º e 13º; 17º e 19º.

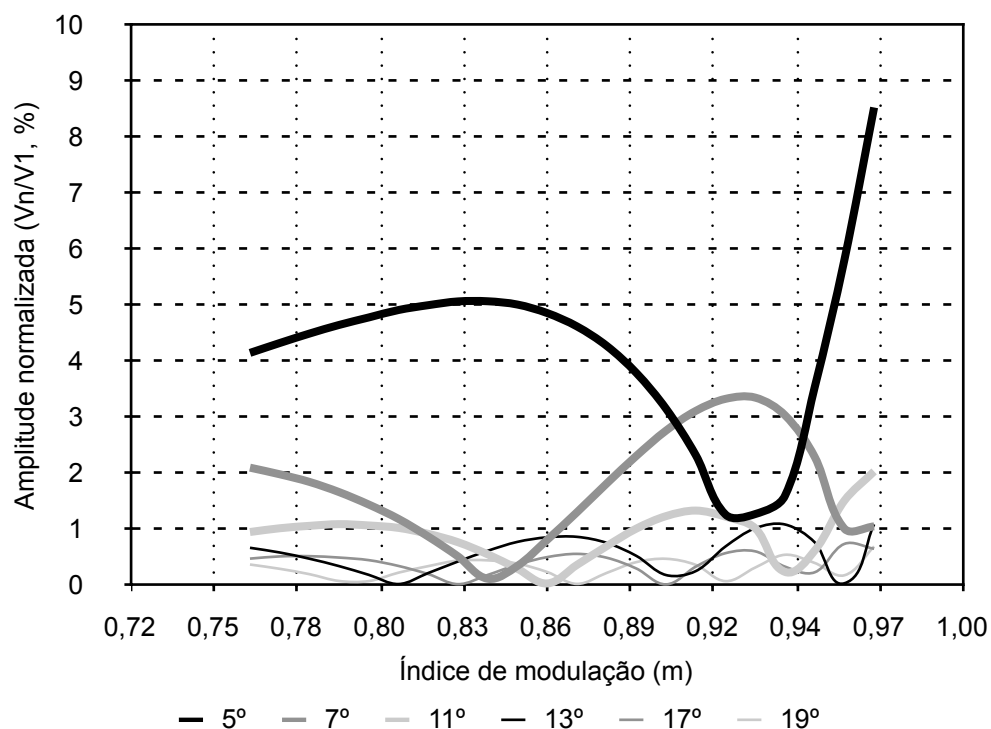


Figura 3.2.11 - Amplitude normalizada dos harmônicos não múltiplos de 3 na tensão V_{an} , com a evolução do índice de modulação na simulação com 7 pontes-H.

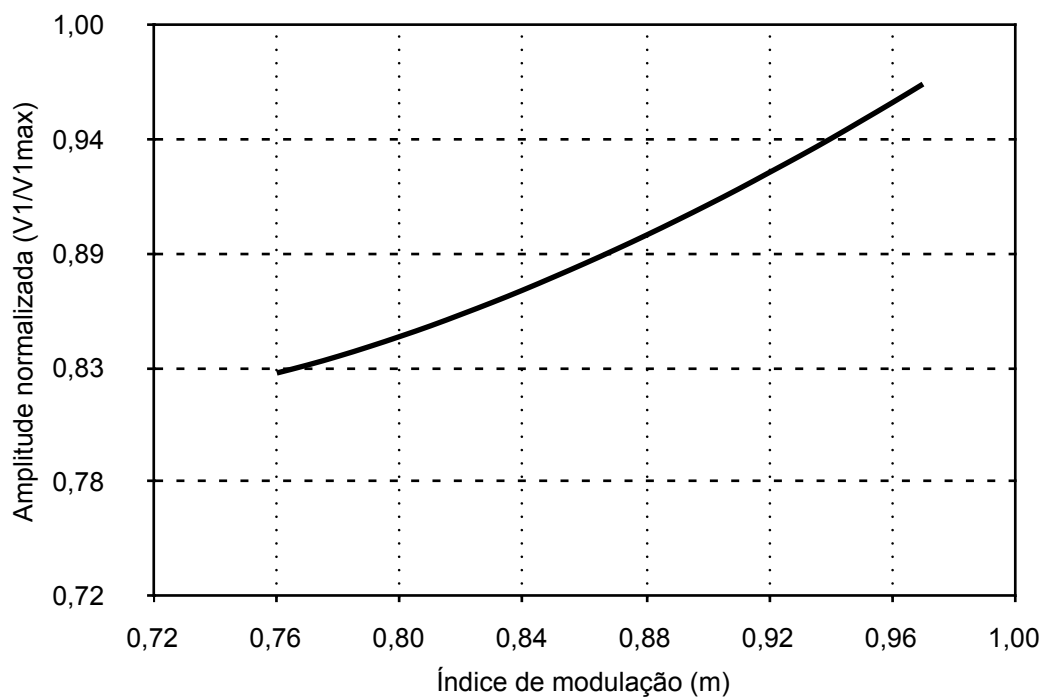


Figura 3.2.12 - Amplitude normalizada da componente fundamental com a evolução do índice de modulação na simulação com 7 pontes-H.

O ponto ótimo, m aproximadamente igual a 0,76, é, no entanto, diferente do obtido na simulação com $s=3$ e que, tal como a evolução da amplitude dos harmônicos, fica implícito no valor de THD apresentado na forma gráfica na figura 3.2.13.

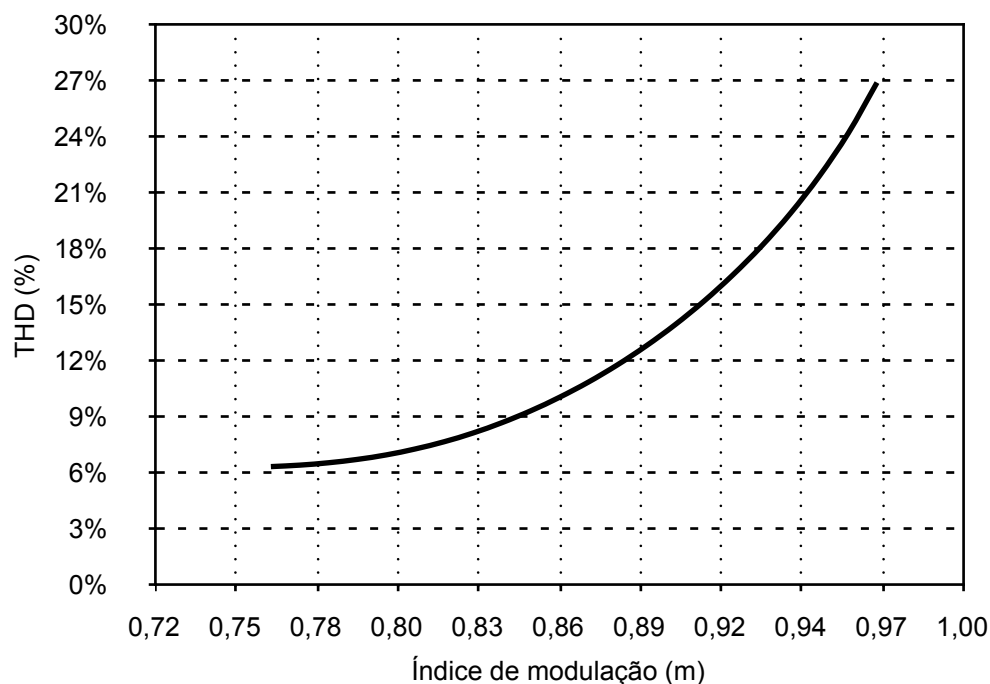


Figura 3.2.13 - THD calculado até ordem 19 com a evolução do índice de modulação, $s=7$

3.2.3. Cinco pontes

Em relação aos dados apresentados de seguida, considera-se relevante um comentário aos seguintes aspectos: por um lado, estes dados facilitam a comparação dos dados obtidos nos dois ambientes, ou seja em simulação e experimentalmente; por outro lado, como já foi constatado da comparação dos dados de 3 com os dados das 7 pontes-H, há uma diminuição da amplitude dos harmónicos em geral com o aumento do número de níveis da tensão de saída do inversor, implicando portanto uma diminuição geral da THD.

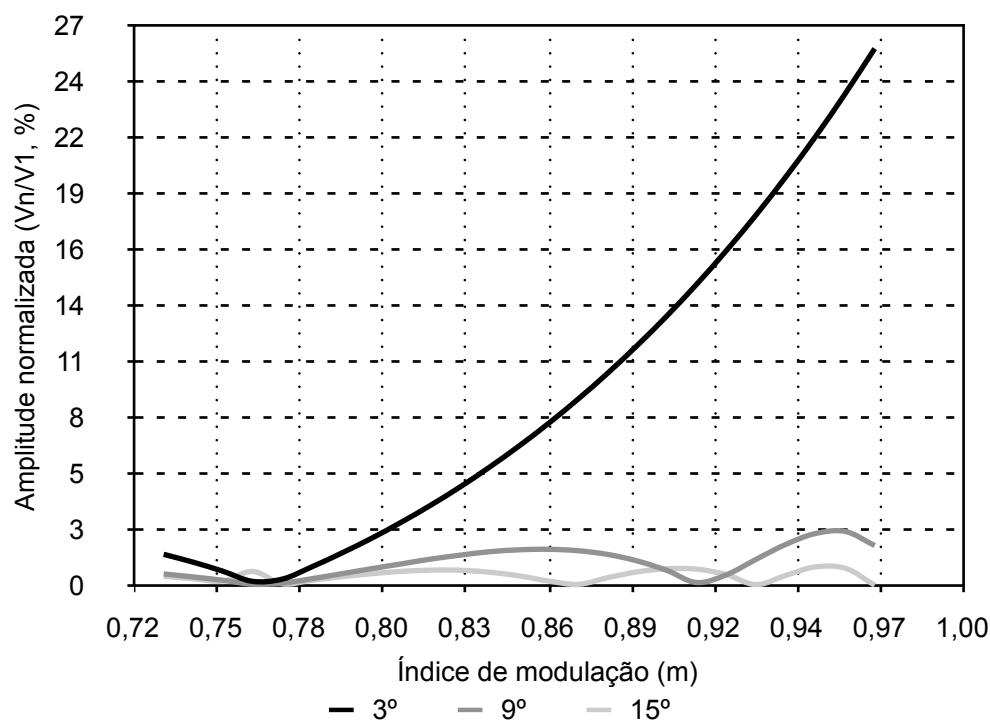


Figura 3.2.14 - Amplitude normalizada dos harmónicos múltiplos de 3 na tensão V_{an} , com a evolução do índice de modulação na simulação com 5 pontes-H.

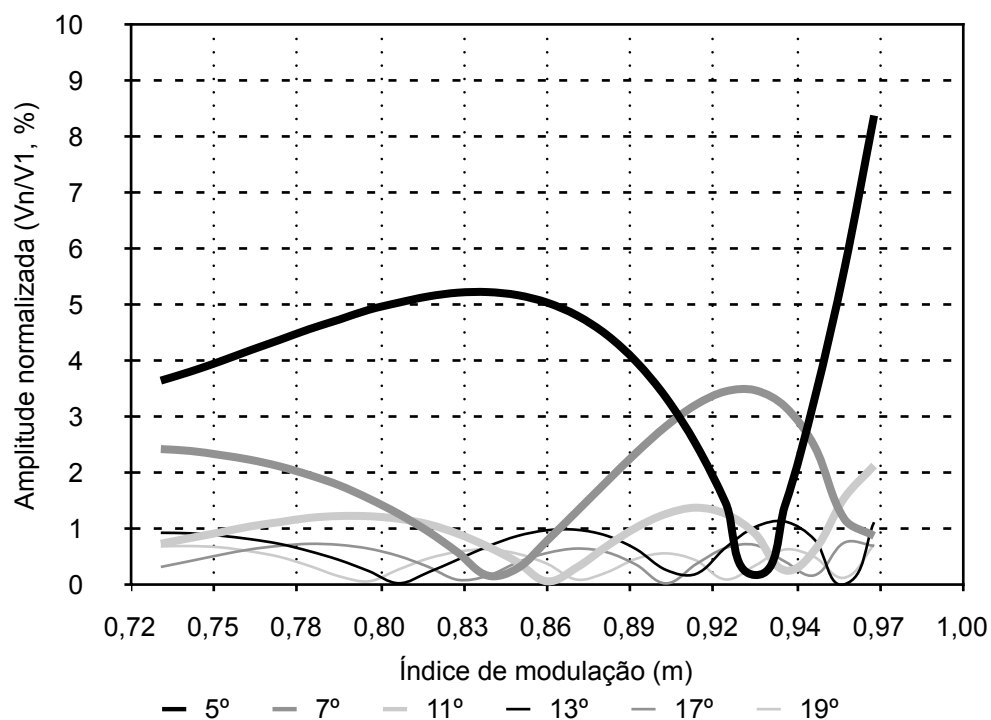


Figura 3.2.15 - Amplitude normalizada dos harmônicos não múltiplos de 3 na tensão V_{an} , com a evolução do índice de modulação na simulação com 5 pontes-H.

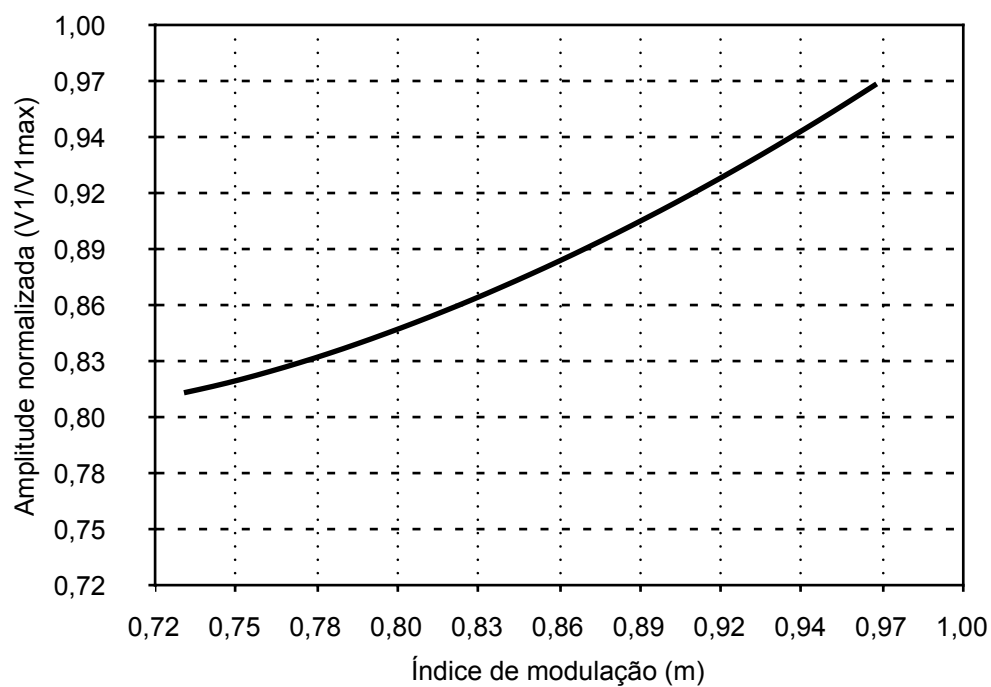


Figura 3.2.16 - Amplitude normalizada da fundamental da tensão V_{an} , com a evolução do índice de modulação na simulação com 5 pontes-H.

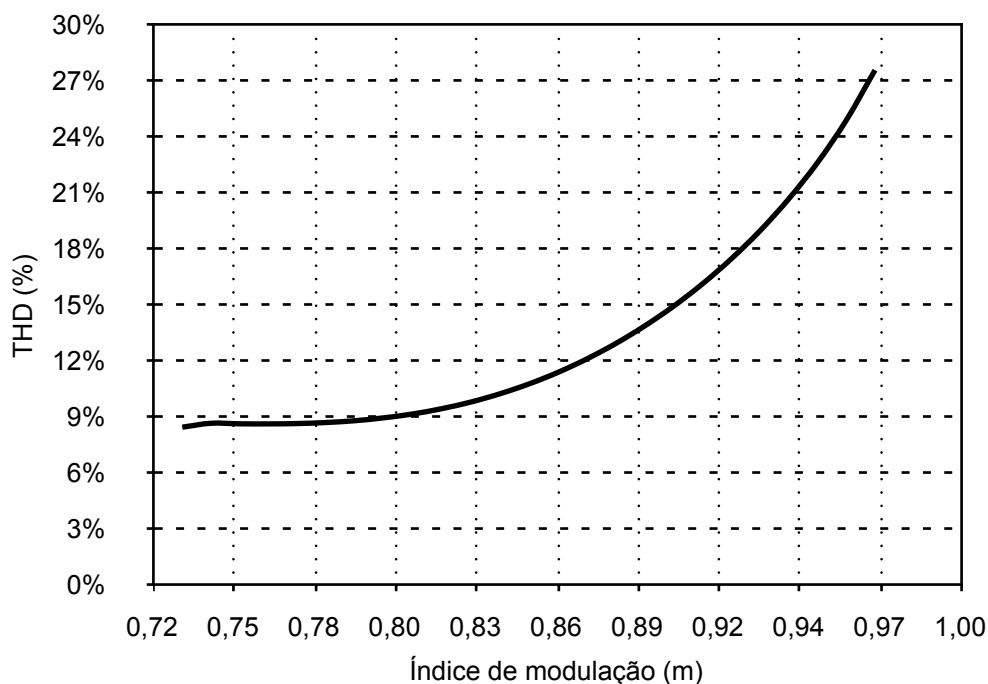


Figura 3.2.17 - THD medido da simulação com a estrutura constituída por 5 pontes-H, usando o bloco de THD.

3.3. Conclusões

Relativamente às características do método para o cálculo dos ângulos de comutação, impostas por este e observadas nas simulações, conclui-se estarem dentro das características desejadas para uma aplicação de interface para a rede eléctrica. Isto é, este método permite variações relativamente rápidas de amplitude e de fase quando comparadas com as variações esperadas e impostas por uma malha de controlo da tensão, e dentro de uma pequena gama que permite o controlo do conversor com variações na proximidade de uma dada referência para a tensão de saída. Também se comprova que este método, apesar de continuar válido para o aumento do número de níveis, o seu funcionamento começa a deteriorar-se, ou seja, ocorre a diminuição da zona de funcionamento, levantando a questão de qual o limite para o número de níveis em que deixa de existir uma zona de funcionamento suficientemente larga para uma aplicação de interface com a rede eléctrica.

Do reduzido número de iterações necessárias para obter uma solução para os ângulos de comutação, conclui-se que este método de cálculo é possível de ser implementado num micro-processador, e resolvido nessa mesma plataforma dentro do paradigma de tempo-real.

Relativamente ao método de variação de frequência implementado e simulado, conclui-se que permite também ser utilizado em aplicações de interface com a rede, tanto em dinâmica como em extensão. Apesar deste obedecer às restrições, a sua implementação serve apenas como princípio, estando bastante distante de uma solução possível de implementar numa qualquer plataforma de controlo.

Capítulo 4

Implementação

4.1 Introdução

Na fase de implementação da solução abordada no capítulo 3, foi decidido que a plataforma de controlo para a implementação da técnica de modulação à frequência fundamental com cálculo dos ângulos de comutação, e consequente controlo do inversor multi-nível, seria uma *FPGA*. Para o efeito, dispunha-se de uma Xilinx Spartan-3AN integrada na placa de desenvolvimento Starter-Kit da Digilent. A escolha deste tipo de plataforma, apesar de acarretar uma série de vantagens e desvantagens, que serão apresentadas ao longo do presente capítulo, foi tomada primordialmente por constituir um primeiro contacto com os conceitos da programação destes dispositivos. Também o foi, por permitir a tomada de consciência acerca das eventuais potencialidades deste tipo de dispositivo, na aplicação em sistemas de controlo de electrónica de potência e se possível em outras áreas.

De seguida faz-se uma descrição dos principais blocos constituintes do sistema, primeiramente da estrutura de potência e de seguida faz-se a apresentação da plataforma de desenvolvimento.

O inversor monofásico *CHB*

Como factor de potencialização do sucesso deste projecto, devido às restrições temporais, foi decidido que seria utilizado, na integra se possível, o *setup* representado esquematicamente na fig 4.1.1. Este acomoda, numa mesma estrutura, organizada e de fácil maneo, os seguintes elementos, relativos a cada ponte-H: rectificação CA-CC (ponte de diodos e condensadores dos barramentos CC); protecções (contra sobre-correntes e erros do controlador); *drivers* opto-isolados para cada transístor; circuitos de aquisição de tensão e corrente à saída (no barramento CA mas cujas medidas são usadas apenas para os circuitos de protecção); circuito gerador de tempo-morto; e finalmente, o circuito de interface dos níveis de tensão de comando da *FPGA* com os níveis da tensão de comando da restante estrutura física atrás mencionada.

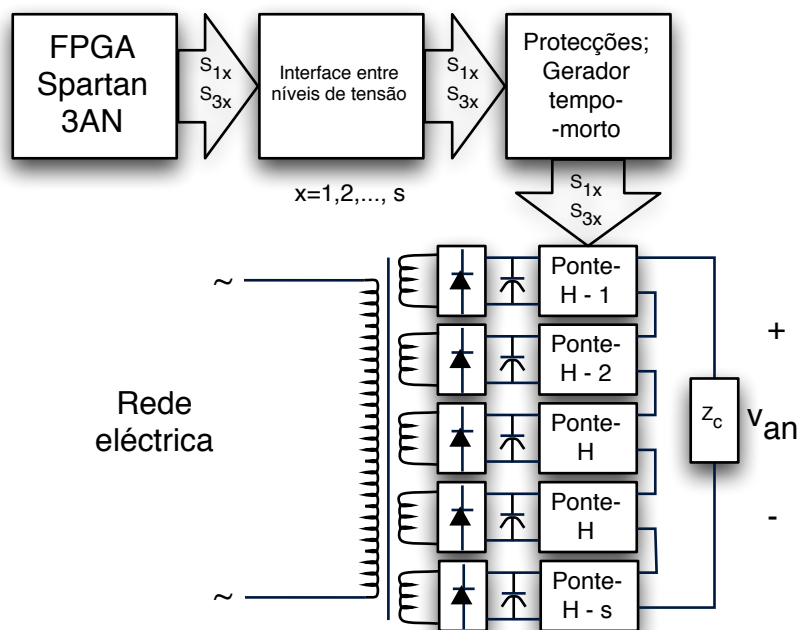


Figura 4.1.1 - Esquema geral do sistema físico para o inversor *CHB* com cinco pontes-H.

Apesar do desenvolvimento deste *hardware* não ter sido efectuado durante o decorrer deste projecto, as suas funcionalidades foram estudadas e comprovadas na prática. Depois dos primeiros testes com o *setup*, foi decidido que as capacidades dos condensadores deveriam ser bastante superiores às que já estavam associadas aos barramentos CC, de forma a garantir uma tensão CC estável, ou seja, independentemente do tempo de condução de cada ponte. O valor das capacidades usadas em cada barramento CC isolado, igual para cada uma das pontes, é de 6,6 mF. Estas questões serão abordadas no decorrer do capítulo de demonstração de resultados.

A plataforma de desenvolvimento

Como afirmado, a escolha deste tipo de plataforma prendeu-se primordialmente pelo desafio da sua programação e pelas enormes potencialidades destes dispositivos, não apenas pelo facto de permitir cumprir os requisitos impostos pelo método iterativo de cálculo dos ângulos de comutação e do controlo do inversor multi-nível.

Relativamente às *FPGA's* é importante começar por analisar a sua arquitectura. No caso do fabricante Xilinx, as *FPGA's*, no caso particular da Spartan-3AN XC3S200AN, têm os seguintes constituintes base [22]:

- Os Configurable Logic Block (CLB's), que constitui a unidade base reconfigurável com 2 LUT's de 4 entradas, RAM's de 16 bits, dois flip-flop's/latch's e também alguma lógica e selectores de entradas (multiplexers);

- As Interconecções, enquanto que as CLB's são responsáveis pela lógica, este tipo de componente é responsável pela ligação das CLB's aos componentes IOB's e a outros CLB para tal existem dois tipos destas ligações (as rápidas para ligação aos CLB's vizinhos e as lentas para ligação aos restantes);

- Os SelectIO (IOBs);
- 8 blocos de BRAM;
- Gestores de relógio (Complete Clock Management);
- E, finalmente, 20 multiplicadores de 18x18 bits.

Relativamente à placa de desenvolvimento, *Starter Kit*, convém afirmar que, para além do circuito integrado da *FPGA*, disponibiliza ainda um grande número de componentes para utilização nas mais variadas áreas da engenharia. No entanto, nenhum deles foi verdadeiramente utilizado neste projecto e, por isso, opta-se por não se fazer o seu levantamento exaustivo.

As potencialidades atrás mencionadas, no que diz respeito às *FPGA's* em geral, estão principalmente relacionadas com a rapidez de cálculo, conjugada com a possibilidade do processamento em paralelo, isto é, não existe a concorrência entre processos pelo mesmo recurso, ao contrário dos micro-processadores. Através das ferramentas disponibilizadas pela *Xilinx*, existe também a possibilidade de um ajuste muito fino das restrições que vão sendo encontradas ao longo do projecto e que permitem, nomeadamente, optimização da área ocupada pelo projecto a implementar na *FPGA* ou dos tempos de propagação dos sinais.

Vantagens e desvantagens

Para além destas últimas potencialidades, as *FPGA's* permitem ainda vantagens, não menos importantes, para o desenvolvimento de protótipos, já que os projectos são suficientemente flexíveis para que possam ser reutilizados noutras plataformas e/ou serem acrescidos de novas funcionalidades. Relativamente às vantagens para a aplicação em sistemas de electrónica de potência, em particular nas estruturas multi-nível, as *FPGA's* proporcionam a vantagem de possuírem um grande número de *inputs* e *outputs*, permitindo, no limite, se necessário, o controlo individual de cada transístor de uma estrutura. Esta é, de facto, umas das mais importantes características das *FPGA's* para controlo dos inversores multi-nível, e que se torna particularmente relevante com o aumento do número de níveis da estrutura a controlar.

As *FPGA's* em conjunto com as ferramentas do IDE, da *Xilinx*, dispõem ainda de um vasto número de facilidades que permitem o uso de, por exemplo, vários *soft-processors* e IP-Cores. Estes facilidades permitem, então, a concepção de sistemas funcionais, nos quais o maior esforço de projecto está nos blocos principais e não nos blocos que, sendo essenciais, são facilmente reutilizáveis ou substituíveis, em iterações futuras do sistema.

No entanto, a implementação de circuitos lógicos em *FPGA's* apresenta também restrições, encaradas como desvantagens. Estas restrições podem ser organizadas em dois tipos: as funcionais, que estão relacionadas com a especificação nas linguagens HDL e que acarretam formas alternativas na abordagem aos problemas, as restrições da área ocupada pelo circuito digital desenvolvido, do tempo de propagação dos sinais; e as não-funcionais. Neste tipo podem ser incluídas a complexidade inerente ao desenvolvimento nestas plataformas, uma vez que existem muitas ferramentas que é conveniente dominar.

Especificação HDL

Existem várias formas de especificar hardware reconfigurável dentro de uma *FPGA*. As linguagens HDL são, nos dias de hoje, o modo mais adoptado para a especificação de sistemas digitais em *FPGA's*. A especificação em linguagem HDL permite que os projectos de sistemas digitais sejam muito flexíveis, ou seja, independentes da plataforma e das ferramentas a usar na sua implementação. Mais ainda, permitem a melhor compreensão e possibilitam a alteração ou expansão futura do sistema digital; este facto deve-se, também, à capacidade de reconfiguração inerente às *FPGA's*.

As principais linguagens HDL que se encontram nos dias de hoje são o Verilog e o VHDL. Embora estas linguagens partilhem alguns dos mesmos conceitos, fazem-no de forma distinta, não apenas na sintaxe.

Por um lado, a VHDL é mais adequada para especificação de sistemas hierarquicamente mais complexos, que requerem lógica direccionada para os objectos. Portanto, a VHDL disponibiliza um conjunto de conceitos, tais como: construtores; tipos de dados abstractos.

Pelo outro lado, com Verilog os conceitos atrás mencionados não são previstos; isto pode ser encarado como uma desvantagem no caso de se pretender um sistema mais complexo. No entanto, o Verilog apresenta vantagens que a tornam mais simples como, por exemplo, o facto de a sua sintaxe estar mais próxima da linguagem C. Outra simplicidade nesta, linguagem, deve-se aos tipos de dados existentes serem muito simples e muito próximos do hardware (*wire* e *reg*) e não existir a necessidade de se lidar com conversões entre esses tipos de dados, como acontece no VHDL, na qual podem existir tipos de dados abstractos.

Com estes conhecimentos conjugados com a ideia de obter um sistema final com as características pretendidas, foi decidido que a principal linguagem adoptada seria o Verilog. No entanto, é importante notar que as ferramentas da *Xilinx*, disponibilizadas em conjunto com a placa de desenvolvimento, permitem, e por vezes exigem, a coexistência das duas linguagens no mesmo projecto.

Fluxo de projecto

Na primeira abordagem a este projecto, de forma a optimizar o tempo necessário para a implementação e garantir o sucesso, foi tido como referência para a sucessão das fases do projecto o seguinte diagrama para o fluxo de desenvolvimento nas ferramentas da *Xilinx*.

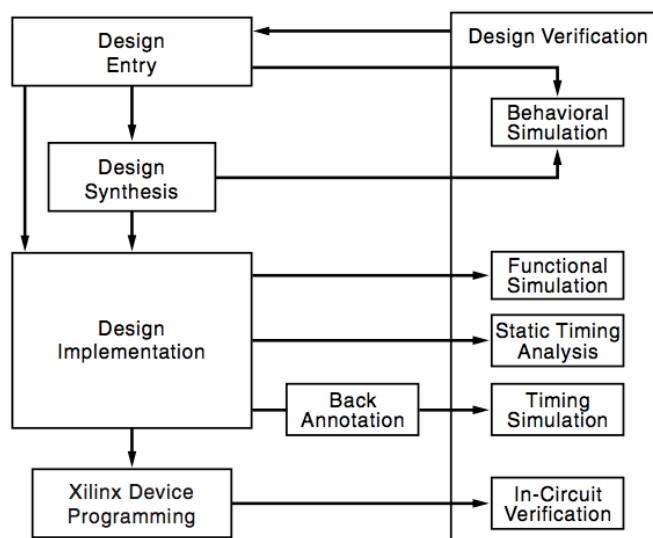


Figura 4.1.2 - Fluxo de projecto para a implementação de HDL em FPGA's [23].

Este esquema é, de facto, como se comprovou na prática, revelador do processo seguido para a obtenção de uma qualquer solução de implementação.

Do esquema anterior pode-se constatar que o projecto tem início com o concepção de um desenho do sistema recorrendo, para tal, entre outros, à especificação de modelos e à especificação HDL, quer seja de forma personalizada pelo programador ou recorrendo a IP's. É, ainda, possível a utilização de sistemas embutidos que, tal como os IP, já se encontram prontos a utilizar. Nesta fase, pode ser incluído o ficheiro de constrangimentos do utilizador (UFC), no qual se especifica, onde devem ser ligados os sinais da interface do módulo de nível superior. No entanto, este ficheiro pode ser incluído no final da fase seguinte do projecto.

No final desta fase, pode-se recorrer a simulações comportamentais de forma a validar os aspectos gerais de lógica. No entanto, nesta simulação comportamental os ficheiros HDL não

são interpretados de forma a que as declarações correspondam a elementos base que constituem a *FPGA* (flip-flop's, LUT's, etc.), isto só acontece na fase seguinte do projecto, como referido no próximo parágrafo. Portanto, como se constatou na prática a simulação do comportamento de um módulo que tem que ser obrigatoriamente transferido para a *FPGA* mas que, no entanto, não é implementável, não é boa prática.

De seguida passa-se à síntese do projecto que, se não existirem erros de sintaxe, de especificação e de lógica, deve ser precedida de simulações comportamentais que satisfazem as especificações funcionais do projecto. Todas as simulações devem ser efectuadas por *softwares* específicos tais como o Modelsim [24] ou o ISim [25]. Na fase de síntese, há uma tradução automática das descrições abstractas, em forma textual, cujo resultado é um *netlist* (*NGC*) que interliga blocos primitivos da *FPGA*[26].

Posteriormente entra-se na fase de implementação que se sub-divide em três fases distintas: *translate*; *map* e; *Place&Route*. Na tradução, a informação proveniente da síntese do projecto é combinada num ficheiro denominado *netlist* (*NGD*). Na fase de mapeamento, há a alocação dos componentes da *FPGA* para cada um dos componentes que se encontra na última *netlist*. Por fim, na fase *Place&Route*, os componentes são colocados numa área determinada, de forma a minimizar a área e maximizar as relações de proximidade. Nesta fase ainda são construídas as interligações definidas na *netlist*. Cada uma destas três sub-fases deve ser precedida, de forma independente, por simulações que devem validar as especificações temporais e funcionais do projecto.

Finalmente passa-se à fase de programação da *FPGA*, para tal é gerado um ficheiro de *Bitstream*, que posteriormente é transferido directamente para a *FPGA* através do *Impact*, esta ferramenta permite ainda a programação da EPROM da placa de desenvolvimento, que se trata de uma memória não volátil e que programa a *FPGA* sempre que a placa é reiniciada.

4.2 Arquitectura do sistema desenvolvido

No decorrente do que foi apresentado no capítulo 3 desta dissertação, é possível a identificação dos principais constituintes do sistema aqui em estudo. Apesar de se estar ciente, de poderem existir muitas arquitecturas de sistemas capazes de cumprir os objectivos funcionais, optou-se por desenvolver um sistema que tenta seguir o esquema de princípio da simulações anteriormente referenciadas. Como tal, foi implementado o sistema com a arquitectura apresentada na fig.4.2.1. Neste sistema, pode ser visualizado que a maior parte dos blocos são similares aos apresentados para as simulações, nomeadamente os blocos: de geração de triangular; de geração da onda quadrada de comando da esquerda; e o bloco esquema de comando, que consiste em comparadores e AND's lógicos.

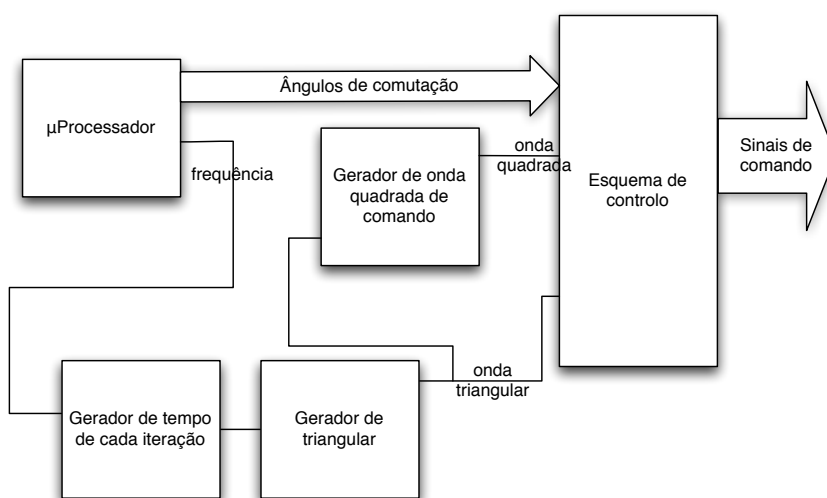


Figura 4.2.1 - Organização do método de modulação à frequência fundamental.

Relativamente à escolha da tecnologias disponíveis para a implementação, deu-se primazia à especificação em HDL. Esta escolha proporciona as melhores prestações para o método de modulação em geral incluindo, por consequência, o cálculo iterativo de Newton. No entanto, sabia-se que a implementação da totalidade dos cálculos ou duma parte dos cálculos, num micro-processador, neste caso a escolha estava limitada ao MicroBlaze, traria grandes vantagens em relação à especificação directa em HDL. Estas vantagens estariam principalmente relacionadas com a rapidez de implementação; sem elas o desenvolvimento seria demasiado moroso.

4.2.1 Projecto dos módulos constituintes

Temporizador

Este é um dos elementos mais importantes dentro do sistema que constitui este método de modulação, em particular para controlo da frequência da onda triangular e consequentemente da frequência da tensão V_{an} na saída do inversor. Não obstante a sua importância, constitui um dos exemplos que é frequentemente utilizado para iniciar a familiarização com o projecto de circuitos digitais, em particular quando se pretende modelar um circuito digital em Verilog. Como a denominação deste indica, tem como função a contagem de número de ciclos de relógio; este número de ciclos de relógio representa o tempo ao fim do qual a onda triangular deve ser incrementada/decrementada no bloco

denominado Gerador de triangular, discutido mais à frente neste capítulo. Assim, este módulo foi implementado seguindo o diagrama de circuito digital apresentado de seguida.

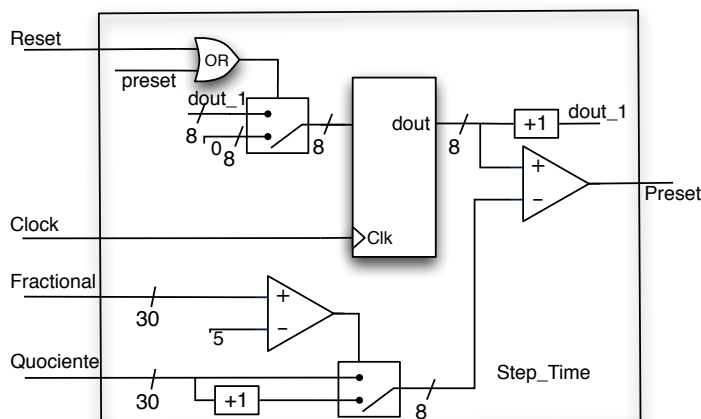


Figura 4.2.2- Esquema do circuito digital implementado para o módulo temporizador.

Como se pode constatar este módulo é constituído por um flip-flop com o qual se incrementa, em cada transição ascendente do relógio, um registo de 10 bits. De seguida este valor é comparado, por lógica puramente combinacional, com o valor do "Step_Time", cujo cálculo é abordado de seguida.

Este valor representa, como já se discutiu, o tempo necessário para cada passo do bloco de geração da triangular. Relativamente a este valor é relevante referir que é obtido por meio de uma divisão. Para a implementação desta divisão recorreu-se a uma funcionalidade do ISE, denominada IP-core Generator, que permite a utilização de módulos HDL pré-programados para uma grande variedade de funções. Em particular, é importante referir que esta funcionalidade dispõe, para além de uma grande variedade de mecanismos para as mais variadas aplicações, da maior parte das funções matemáticas, tal como: divisões; multiplicações; funções trigonométricas; raízes quadradas; e etc.

Relativamente ao tratamento dos restos da divisão foi pensado que o valor para o tempo de transição da onda triangular seria arredondado à unidade. Este arredondamento é implementado por intermédio da comparação da parte fraccionária com o valor 5; de seguida o quociente da divisão é incrementado ou mantido dependente do resultado da comparação.

Também é importante referir que a frequência do relógio utilizada para todos os módulos é de 50 MHz; este valor mantém-se para a generalidade dos constituintes à excepção do Micro-Blaze. Neste módulo usa-se um IP core, denominado DCM (*Digital Clock Manager*), para proceder à multiplicação do relógio. A frequência de relógio utilizada é de 92 MHz, sendo que este é o limite superior para a frequência de relógio que é possível com o conjunto da FPGA Spartan-3AN e o MicroBlaze. Este valor, apesar de ir influenciar directamente o tempo total de computação do algoritmo de cálculo de ângulos de comutação, estimou-se que seria suficiente, tendo em conta os dados usados pelo autor.

Gerador da onda triangular

Este é, então, o módulo responsável por gerar a onda triangular; sendo uma das funções lógicas mais importantes é, no entanto, possível de implementar com um dos mecanismos mais elementares da programação em geral, ou seja, uma máquina de estados. Como tal, a máquina de estados que se adoptou para a implementação pode ser representada segundo o diagrama da figura seguinte.

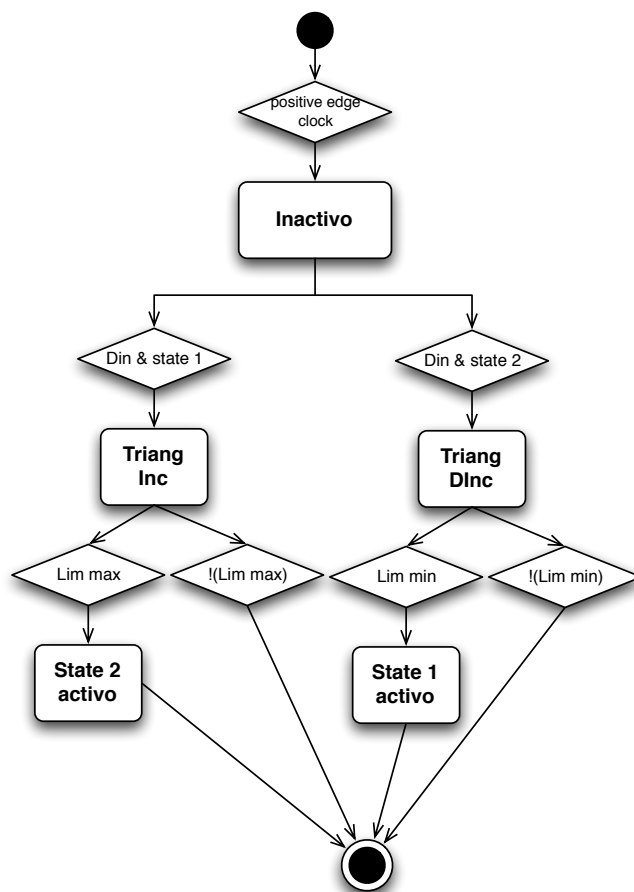


Figura 4.2.3- Diagrama de estados para a geração da onda triangular.

Na especificação deste tipo de módulo utilizou-se uma estrutura para o circuito digital que segue as boas práticas para a especialização HDL de máquinas de estados [26]. Neste caso foi, então, utilizado um flip-flop activado à transição ascendente do relógio, no qual se transfere o registo que armazena o valor da triangular e o registo que guarda o estado actual, da entrada para a saída. De seguida, os valores destes registos passam para entradas de um circuito puramente combinacional (instrução `always@*`) no qual se procede à transição entre estados e à actualização do valor da triangular segundo o estado actual.

Quanto à precisão alcançada na largura dos impulsos, apesar de poder ser variável, é de $0,009^\circ$, no caso de o valor do incremento de cada iteração ser 9. Este é, de facto, o limite para a precisão alcançada e foi tido em conta na conversão do número com vírgula flutuante para número inteiro que é efectuado no soft-processor.

Gerador da onda de comando da esquerda

A função desempenhada por este bloco é gerar uma onda quadrada, anteriormente referida no capítulo 3 como “comando esquerda” (ver fig. 3.1.1), que activa/desactiva os transístores da esquerda/direita durante a arcada positiva/negativa da tensão simples à saída do inversor. Isto é, é feito um AND lógico entre o sinal proveniente da comparação com esta onda quadrada. Para a geração desta onda quadrada foi implementada uma máquina de estados, cuja especificação HDL segue as mesmas premissas anteriormente referidas para o módulo de geração da onda triangular. Dito isto, é de referir que a modulação desta máquina de estados com quatro estados é representada pela fig. 4.2.4, na qual se verifica que a transição de estados é efectuada quando a onda triangular é nula.

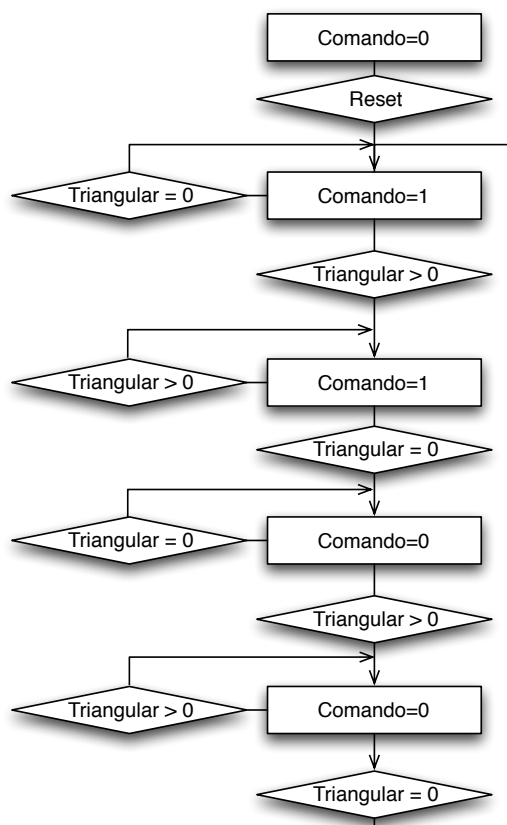


Figura 4.2.4 - Diagrama de estados para a geração da onda de comando.

Esquema de comutação

Neste bloco é efectuada a maior parte da lógica apresentada na secção 3.2. (ver fig. 3.2.1), para a determinação dos sinais de comando dos transístores de cada ponte-H. Neste caso, devido às características do *setup* experimental disponível, apenas foi necessário este sistema disponibilizar como saídas os sinais de comando para os transístores superiores de cada ponte, S_{1x} e S_{3x} .

Relativamente aos aspectos particulares da implementação, em Verilog, é importante referir que a implementação dos comparadores, entre a triangular e cada um dos ângulos de comutação, é efectuada sincronamente com a transição ascendente do relógio. Esta opção justifica-se com o facto dos registos, de cada bit, correspondentes à onda triangular não serem alterados no mesmo instante. O circuito lógico deste módulo é apresentado na figura 4.2.5.

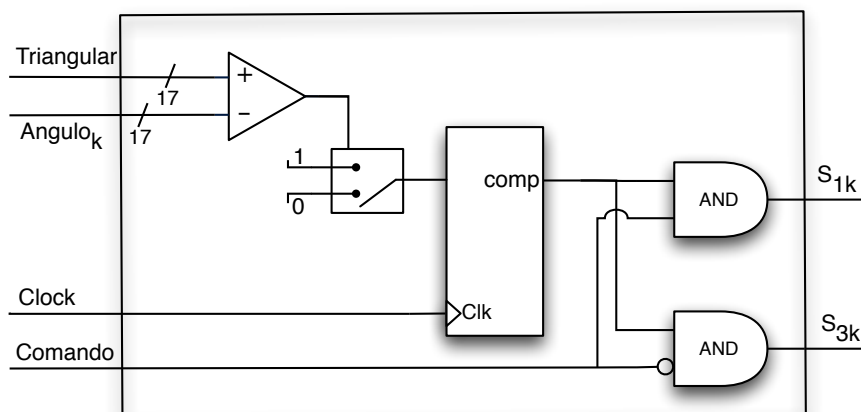


Figura 4.2.5 - Princípio geral do circuito digital para o comando de uma ponte no módulo esquema de comutação.

Soft Processor - MicroBlaze

Este bloco foi implementado recorrendo a uma funcionalidade do XPS denominada *System Base Builder*. Este *wizard* permite, portanto a instanciação de um micro-processador, por exemplo um MicroBlaze, PicoBlaze ou um PowerPc; pode-se recorrer neste processo à configuração das principais características dos periféricos mais comuns. Neste caso, como afirmado anteriormente, estava-se limitado ao MicroBlaze devido às limitações inerentes à Spartan-3AN.

A principal função desempenhada por este componente, ou seja, o cálculo iterativo dos ângulos de comutação, foi anteriormente abordada ao pormenor na secção 3.2. Adicionalmente ao método iterativo de Newton este componente HDL é, ainda, responsável pela função de fornecer os sinais de referência para a frequência bem como para os ângulos respectivos de cada ponte-H. Para que fosse possível a comunicação entre este módulo e os restantes módulos, anteriormente descritos nesta secção, foi implementada um módulo HDL, implementado em VHDL. Este módulo, que serve como periférico, apesar de não ter sido totalmente desenvolvido no decorrer desta dissertação, foi objecto de estudo e constitui um dos pontos com maior esforço de implementação. De seguida é apresentada o aspecto da arquitectura do microprocessador, os seus barramentos de dados e os periféricos a eles associados.

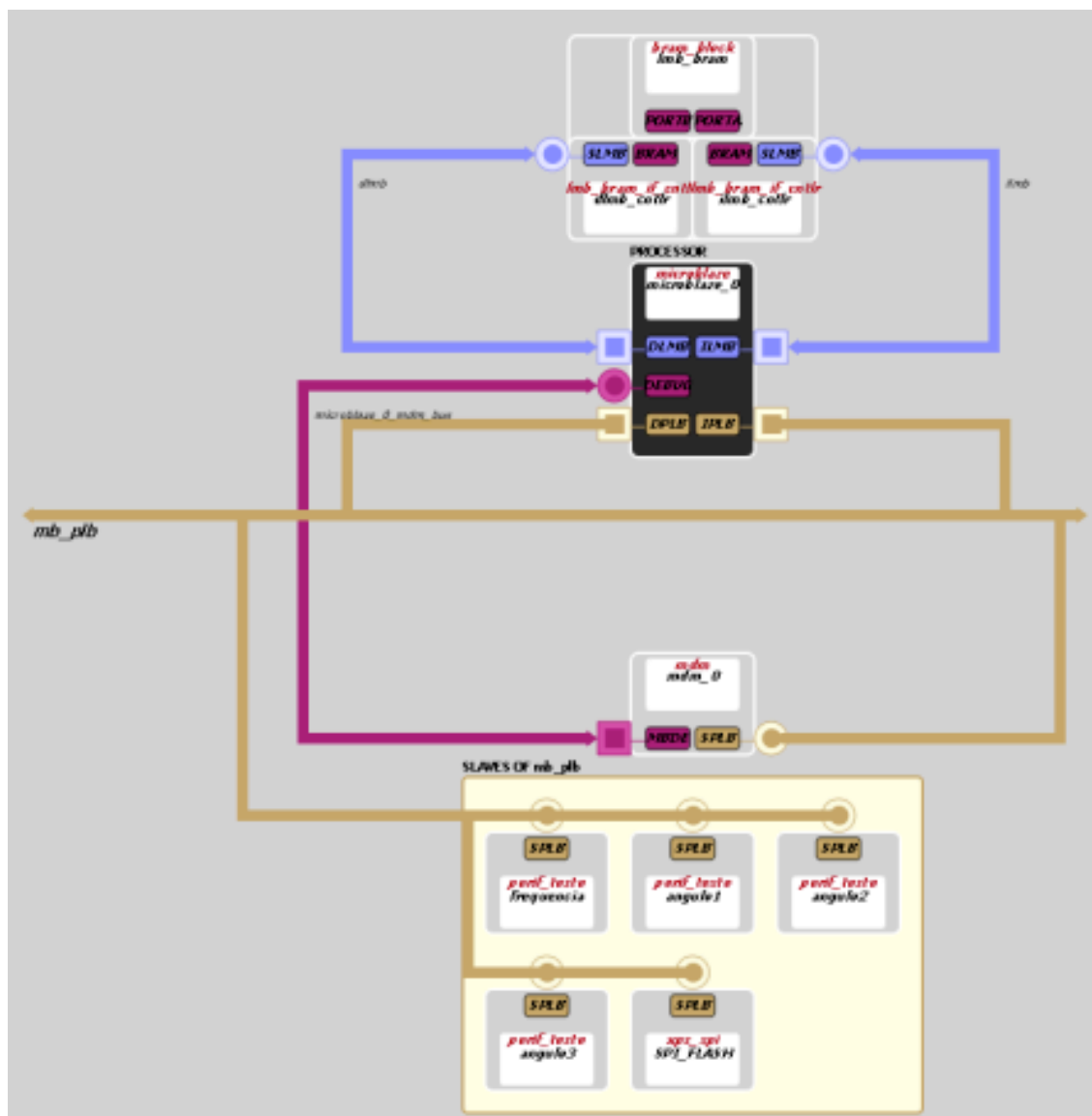


Figura 4.2.6 - Arquitectura dos barramentos de dados no micro-processador utilizado.

Outra das funções desempenhadas por este módulo é a variação da referência para o índice de modulação, que serve como entrada para o algoritmo de cálculo dos ângulos. Para tal foi elaborada uma máquina de estados que permite obter variações rápidas e lentas e ainda uma variação para o índice de modulação superior ao tempo de um ciclo da tensão de saída; estes resultados serão apresentados e discutidos de seguida na secção 4.3.

Este bloco é, ainda, responsável pela conversão dos valores dos ângulos de vírgula flutuante para inteiros (através de um *type casting*). Devido ao facto de a precisão ser limitada no bloco de geração da triangular, foi decidido que o valor dos sucessivos ângulos de comutação poderia não ser arredondado.

4.3 Resultados de simulação

Tal como se constatou anteriormente, na introdução deste capítulo, o desenvolvimento de um projecto numa *FPGA* deve ser acompanhado por um conjunto de simulações com o objectivo de validar o esquema projectado, a cada iteração do projecto. Estas simulações foram elaboradas de forma independente para cada módulo e permitiram a validação individual de cada um destes módulos. Posteriormente, após a integração de todos os módulos validados, foram elaboradas as simulações do módulo hierarquicamente superior o que permitiu a validação do seu funcionamento. Destas simulações é importante a constatação dos resultados relativos aos tempos necessários para a actualização dos ângulos de comutação, na saída do micro-processor; estes resultados são apresentados na figura seguinte.

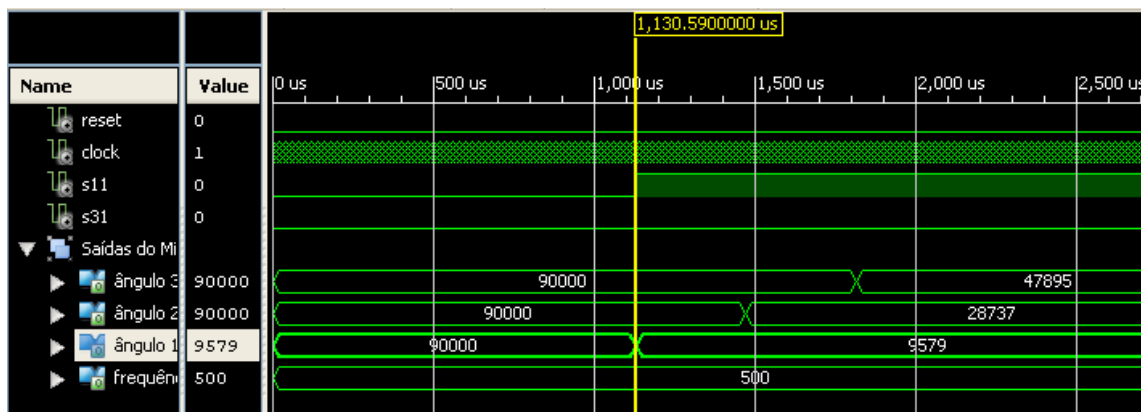


Figura 4.2.7 - Resultados de simulação do módulo geral, pormenor do tempo de cálculo e actualização dos ângulos de comutação.

Relativamente a estes resultados importa constatar que o tempo necessário, para que o valor da saída seja actualizado, cerca de 1 ms, engloba dois tempos: a maior parcela, ou seja o tempo necessário para o cálculo das iterações e; o tempo de actualização de um dado, valor na saída do periférico do MicroBlaze, cerca de 4 μ s.

Admitindo que a estimativa inicial fornecida é a mesma que a apresentada nas simulações do capítulo 3, isto é, o algoritmo de Newton irá necessitar de 5 iterações para obter a solução com a precisão pretendida, da fig. 4.2.7 a) constata-se que o tempo necessário para o cálculo da solução final, nestas condições, é de aproximadamente 1 ms. Logo a partir deste valor, é possível afirmar que o tempo necessário para uma iteração é de 200 μ s.

A partir destes resultados é, então, possível afirmar que o cálculo é feito dentro do paradigma de tempo-real considerando, para tal, que a condição para este objectivo ser cumprido é a premissa de que as soluções têm que ser actualizadas num espaço de tempo menor que a duração de um ciclo da tensão de saída do inversor.

De forma a ser possível aferir a viabilidade para futuros desenvolvimentos, do projecto desenvolvido em conjunto com *FPGA Spartan-3AN* ou mesmo outra *FPGA*, é importante discutir a ocupação de recursos disponíveis. Para tal, apresentam-se as estatísticas mais relevantes, tabela 4.3.1, fornecidas automaticamente pela ferramenta de síntese utilizada e acedida directamente pelo ISE. Destes dados é relevante afirmar que são relativos ao projecto na sua totalidade, sendo que a maior parte dos recursos são utilizados pelo soft-processor. Isto implica que, apesar destes recursos estarem alocados, não estão necessariamente em utilização, como é o exemplo das unidades de memória RAM. Mais ainda, é necessário constatar que existem algumas opções na ferramenta de síntese que permitem a

configuração para atingir dois objectivos de optimização antagónicos. Ou seja, a síntese e implementação automáticas do projecto podem ter como objectivo a optimização temporal, do ciclo de relógio e dos tempos de propagação dos sinais; ou a optimização da área ocupada. Neste projecto, porque é a opção que mais se adaptava ao nível de familiarização com as ferramentas foi utilizada a primeira opção.

Tabela 4.3.1 - Estatística relativas à ocupação de recursos na Spartan-3AN.

componente	utilização (%)
BUFGMUXs	16
DCMs	12
MULT18X18SIOs	35
RAMB16BWEs	80
Slices	66

4.4 Conclusão

Dos resultados de simulação do método na plataforma de desenvolvimento, constata-se que o sistema desenvolvido está dentro dos requisitos funcionais mencionados no capítulo de simulação. Os resultados de simulação apresentados, nomeadamente o tempo de cálculo dos sucessivos ângulos, apesar de estarem aquém do alcançado no artigo que apresenta o método consideram-se satisfatórios. No entanto, consegue-se um desempenho interessante, isto é, cumpre-se os requisitos funcionais para a aplicação em sistemas de interface para a rede. Mais especificamente, o cálculo é feito em tempo-real, ou seja, a actualização do índice de modulação efectua-se dentro de um período da tensão da rede; portanto, os principais objectivos são atingidos com menores recursos. Adicionalmente a estes objectivos, é alcançada ainda uma grande flexibilidade do projecto, não só inerente à plataforma de desenvolvimento mas, mais importante, inerente à arquitectura adoptada.

Esta implementação possibilitará a caracterização exhaustiva do método de modulação, estudado e implementado. Deverá ser possível, através desta implementação, constatar as eventuais disparidades entre a simulação e o funcionamento real da estrutura de potência a ensaiar.

Capítulo 5

Discussão de resultados

5.1 Introdução

O presente capítulo apresenta os resultados do sistema cuja simulação e implementação foram discutidas nos dois capítulos anteriores. Estes resultados foram obtidos numa série de ensaios e têm como objectivo a caracterização do método de modulação em conjunto com um inversor ponte-H em cascata monofásico.

Como referido no capítulo anterior dispunha-se de uma estrutura de potência constituída por vários módulos. Esta é uma das vantagens da estrutura de ponte-H em cascata, que foi efectivamente constatada na prática, como será discutido mais à frente neste capítulo. Foi previsto usarem-se diferentes configurações, com vários níveis, de forma a validar todo o projecto de implementação, possibilitando a comprovação das simulações e, também, permitir a melhor caracterização do método de modulação.

Portanto, nesta constatação de resultados apresentam-se, não apenas as principais formas de onda obtidas na estrutura de potência, mas um conjunto de gráficos, relativos à evolução do conteúdo harmónico, da taxa de distorção e da componente fundamental, à semelhança dos gráficos apresentados no capítulo 3.

5.2 Os ensaios

Na demonstração de resultados seguinte, de forma a possuir-se uma base comum de comparação, não só visual mas também analítica, são estabelecidas condições que se mantiveram estáveis para todos os ensaios.

Relativamente às tensões CC isoladas de entrada em cada uma das ponte-H tomam o mesmo em cada ponte-H o valor de 26V. Para tal recorreu-se, como já foi mencionado anteriormente, a capacidades de valor elevado (aproximadamente 6.6 mF) de forma a que o valor das tensões dos vários barramentos CC se pudesse considerar constante e independente do tempo de condução de cada ponte-H. No entanto, apesar destas medidas para melhorar a

qualidade da forma de onda da tensão nos barramentos CC, foi constatado que esta sofre variações. Verifica-se que as variações das tensões em cada barramento CC são maiores quando a ponte-H desse barramento conduz e o desfaseamento entre a tensão da rede e a tensão do condensador provoca uma abaixamento da tensão nos condensadores.

No que diz respeito à escolha das características da carga foi efectuado um compromisso entre os componentes disponíveis e as características que se pretendiam validar. Portanto, a carga utilizada foi uma carga RL em série, com aproximadamente $R=32\Omega$ e $L=75\text{mH}$. Sendo o valor da indutância bastante elevado, as sucessivas correntes à saída do inversor vão ser sempre muito próximas da sinusoidal, exceptuando a condição particular em que o índice de modulação se aproxima de 1. Nestes casos, a corrente de saída aproxima-se de uma forma de onda exponencial positiva seguida de uma exponencial negativa, com uma constante de tempo L/R .

Os testes realizados, e que serão apresentados de seguida, foram efectuados com uma frequência da tensão de saída (V_{an}), muito aproximadamente igual a 50 Hz.

5.2.1 Resultados dos ensaios com a estrutura de 7 níveis

Os oscilogramas, que se apresentam na próxima secção, foram obtidos com um índice de modulação igual a 0,80, o que dá origem a ângulos de comutação distribuídos aproximadamente entre 10° e 50° .

Recorda-se que este método de modulação tem como objectivo, entre outros, o permitir a minimização das comutações das várias pontes-H, ou seja, cada ponte comuta apenas quatro vezes por ciclo, um período da da tensão V_{an} .

Com estes últimos factos em consideração é possível a validação das formas de onda dos sinais de comando de cada transistor superior da esquerda (S_{1x} com $x=1, 2$ e 3), que se apresenta de seguida na figura 5.2.1.

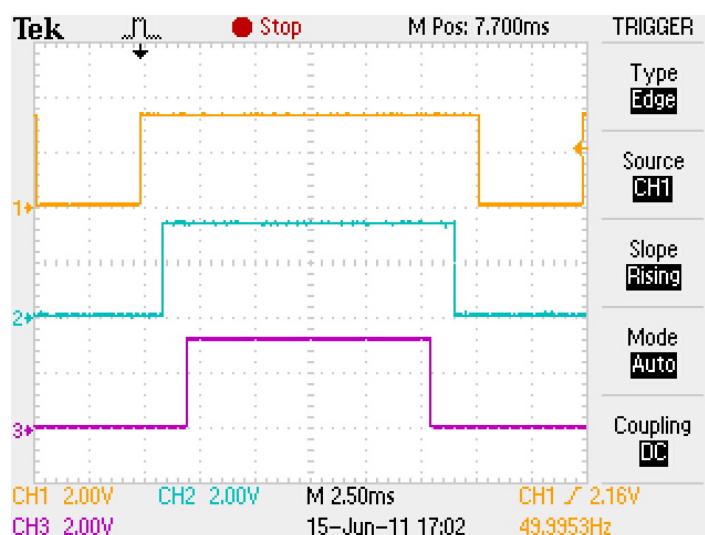


Figura 5.2.1 - Sinais de comando de um braço de cada ponte-H, nos ensaios da estrutura com 7 níveis.

Desta figura relembra-se que o sinal de comando do transistor superior da direita, de cada ponte-H, tem a mesma largura de impulso do sinal de comando do transistor da esquerda da mesma ponte-H, diferindo apenas na fase que deve ser de 180° . Assim, a tensão de saída de cada ponte-H tem o aspecto geral das formas apresentadas na figura 5.2.2.

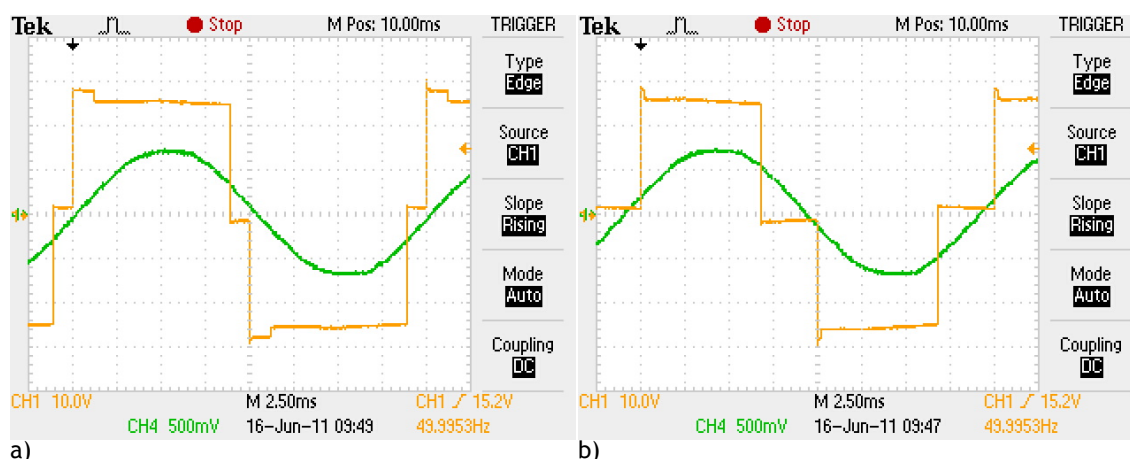


Figura 5.2.2 - Oscilogramas obtidos na estrutura de 7 níveis: (Amarelo) da tensão de saída de duas das pontes-H; (Verde) corrente total na carga do inversor.

Como se comprova desta figura apesar dos esforços, já mencionados, para que a tensão CC de entrada em cada módulo fosse o mais estável possível, esta condição para o ensaio não foi totalmente atingida; de fazer notar as variações em cada nível de tensão encontradas nas tensões de cada ponte-H. Contudo, esta diferença entre as condições ideais e as condições reais não será muito prejudicial para a análise espectral, que será efectuada mais à frente neste capítulo, uma vez que a distorção harmónica inserida por esta questão deverá estar acima da banda dos harmónicos analisados. Este facto foi comprovado na prática pela comparação do conteúdo harmónico nos ensaios em que as tensões são estáveis e não estáveis. Relativamente a este aspecto é importante fazer notar que na demonstração dos resultados da estrutura com três pontes-H, ao contrário dos resultados para cinco pontes-H, não houve um esforço para capturar as formas de onda no momento em que as sucessivas tensões CC isoladas são estáveis.

Recorda-se que a tensão de saída total do inversor é obtida pela soma das tensões de saída de cada ponte-H. Assim a tensão V_{an} apresenta o aspecto do oscilograma que se apresenta na figura 5.2.3.

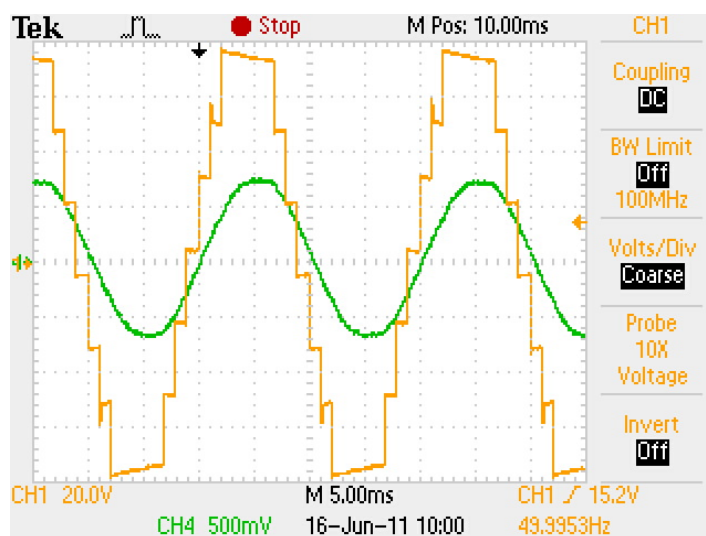


Figura 5.2.3 - Oscilogramas para a tensão V_{an} (amarelo) e a corrente na carga (verde).

Na figura anterior, é possível constatar que a tensão V_{an} apresenta a mesma não estabilidade das tensões CC, que se ressaltaram nos resultados da tensão de saída de cada ponte-H. No que diz respeito à corrente de saída é possível constatar que é muito próxima da

sinusoidal, com uma amplitude de 750mA o que era de esperar pelos valores da carga e também pelos níveis de THD da tensão de saída obtidos nas simulações.

Na figura 5.2.4 são apresentadas as correntes de entrada em cada uma das pontes-H. Nesta figura pode ser verificado que a corrente de entrada em cada módulo é uma porção das arcadas da corrente sinusoidal de saída.

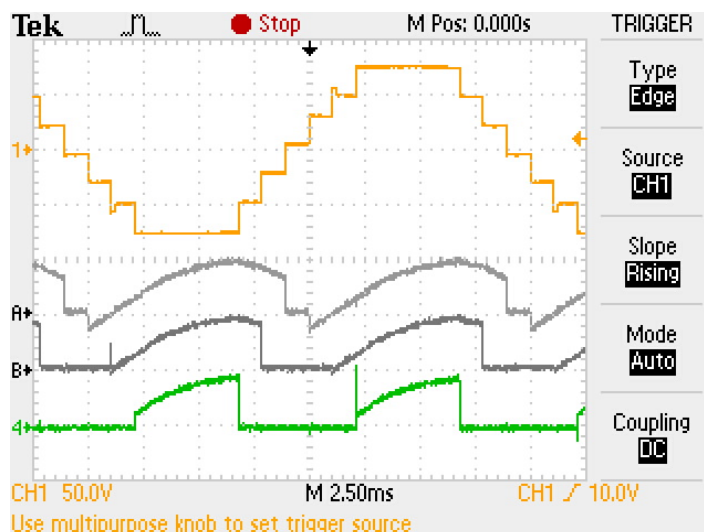


Figura 5.2.4 - Oscilogramas para: tensão V_{an} (amarelo); correntes de entrada em cada uma das pontes (cinzentos e verde).

Relativamente à tensão dos barramentos CC de entrada em cada ponte-H, como já se referiu não é estável, mas sim variável com o desfaseamento entre a tensão CA da rede que alimenta cada barramento CC e a tensão V_{an} . De relembrar que todos os resultados apresentados neste capítulo têm como objectivo a demonstração da situação em que esta tensão é estável, que é de resto o que se espera para a aplicação em, por exemplo, sistemas fotovoltaicos ou com baterias, mas também do caso em que não é estável que é o caso de os barramentos CC serem obtidos por rectificação da tensão da rede eléctrica.

De seguida apresenta-se a FFT do sinal medido para a tensão V_{an} e para a corrente de saída do inversor com um índice de modulação constante, nas mesmas condições da carga dos ensaios anteriores.

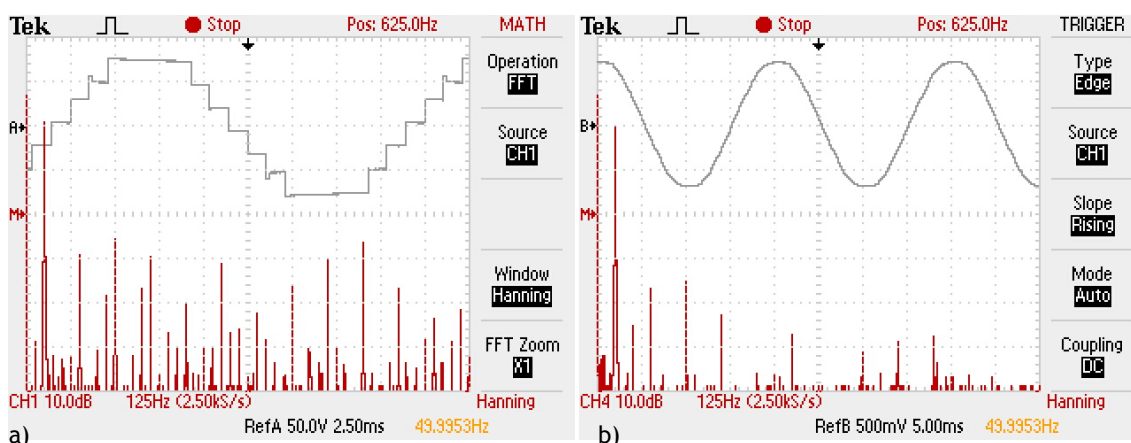


Figura 5.2.5 - Oscilogramas para: a) tensão V_{an} (cinzento) e respectivo FFT (vermelho); b) corrente na carga à saída do inversor (cinzento) e respectivo FFT (vermelho).

Nestes resultados é possível deduzir, dada a simetria da forma de onda e o princípio do método, que o espectro harmónico da tensão de saída do inversor apresenta os harmónicos dominantes de ordem ímpar. Tal como era esperado, a FFT da corrente apresenta harmónicos

dominantes nas mesmas frequências da tensão V_{an} , porém com uma grande atenuação, principalmente às frequências mais elevadas.

Em relação aos resultados para a variação do índice de modulação e consequentes variações do valor da tensão eficaz de saída do inversor e corrente de saída, apresentam-se na figura 5.2.6 os oscilogramas obtidos para pequenas variações do índice de modulação.

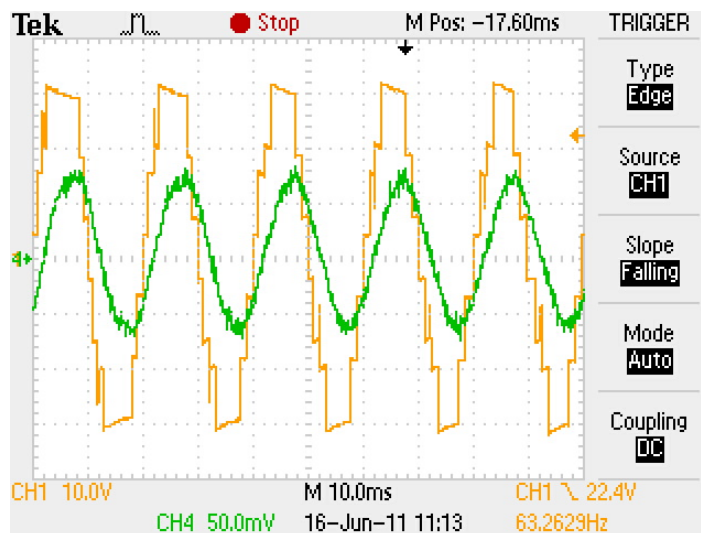


Figura 5.2.6 - Oscilogramas para: a) tensão V_{an} (cinza) e corrente na carga (verde) para variações do índice de modulação.

Como se pode verificar, a janela anterior demonstra um decremento no índice de modulação, logo as larguras de cada nível da tensão V_{an} vão diminuir, de forma mais relevante nas pontes-H com menores tempos de condução. Esta diminuição fica explícita na evolução da forma de onda da corrente, a qual diminuiu de amplitude. A evolução das formas de onda da corrente e da tensão do inversor são melhor visualizadas no conjunto de figuras seguintes.

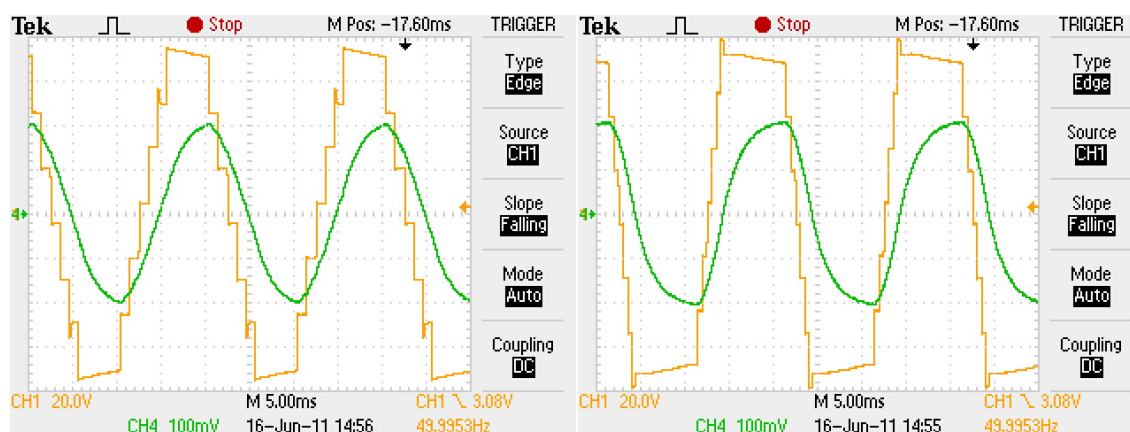


Figura 5.2.7 - Oscilogramas para a evolução da corrente de saída e tensão V_{an} com vários índices de modulação.

Nestes resultados fica explícito o desvio, em relação à sinusoidal, da forma de onda da corrente na carga para o aumento do índice de modulação. De facto, para o índice de modulação com maior valor (oscilograma da direita), no qual a forma de onda da tensão é muito próxima da onda quadrada, a corrente de saída apresenta um comportamento típico de um sistema de 1ª ordem para entradas em degrau.

De seguida, procedeu-se à medição da amplitude dos harmónicos dominantes, até à ordem 19, de forma a validar os gráficos similares apresentados no capítulo de simulação. Embora os dados esperados fossem encarados com reservas, devido às características do osciloscópio em particular nas limitações da resolução, serviriam, no entanto, para validar as tendências visualizadas nas simulações. Como se comprovou, a precisão da medição efectuada com recurso ao osciloscópio não é grande. Este facto justifica a razão pela qual se opta por não apresentar o dados obtidos para a amplitude da componente fundamental.

Como se comprova nos gráficos das fig. 5.2.8 a 5.2.10 os valores obtidos nas simulações são em grande parte validados pelos traçados das amplitude dos harmónicos, normalizados em relação à amplitude da fundamental, que foram medidos na prática.

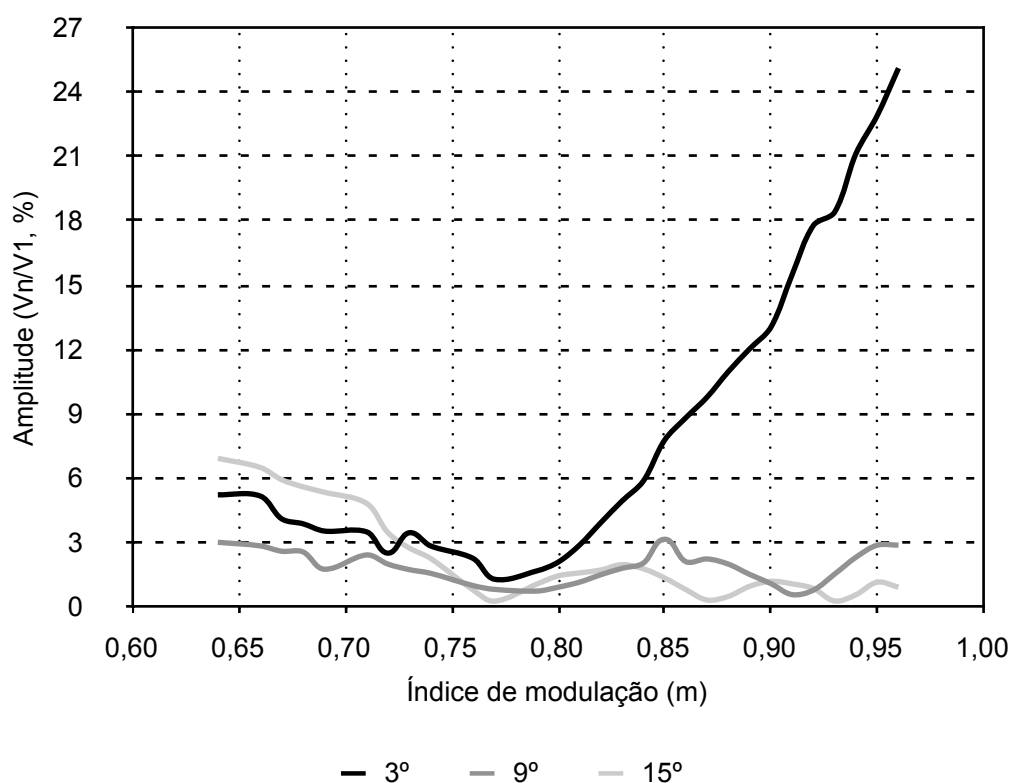


Figura 5.2.8 - Amplitude normalizada dos harmónicos múltiplos de 3 na tensão V_{an} , com a evolução do índice de modulação na estrutura com 3 pontes-H.

Nos dados da figura anterior, numa primeira análise, é verificada a existência das duas zonas de funcionamento, à semelhança dos dados obtidos pela simulação do método de modulação. Tal como a localização das zonas de funcionamento, a amplitude dos harmónicos estão bastante próximos dos dados da simulação, para os dados relativos aos harmónicos de ordem 3 e respectivos múltiplos.

Dos dados relativos aos harmónicos de baixa frequência de ordem não múltipla de 3, é possível verificar que as amplitudes destes harmónicos de baixa frequência são bastante similares aos dados apresentados das simulações.

Da evolução da amplitude dos sucessivos harmónicos é possível verificar a redistribuição da energia do sinal pelos harmónicos não minimizados. Nestes gráficos é, então, possível verificar uma simetria na evolução dos seguintes pares de harmónicos: 9° e 15°; 5° e 7°; 11° e 13°; e finalmente, 17° e 19°.

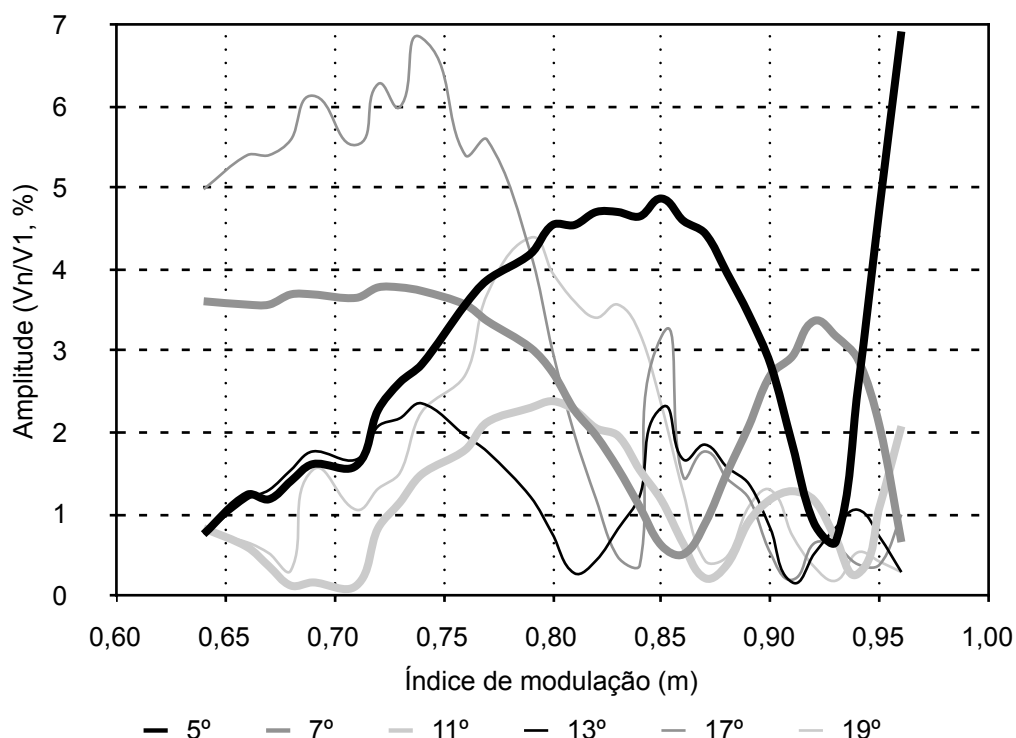


Figura 5.2.9 - Amplitude normalizada dos harmônicos não múltiplos de 3 na tensão V_{an} , com a evolução do índice de modulação na estrutura com 3 pontes-H.

No que diz respeito à evolução da THD, representada na fig. 5.2.10, calculada a partir da definição, é possível constatar que o seu valor absoluto é semelhante aos valores esperados das simulações.

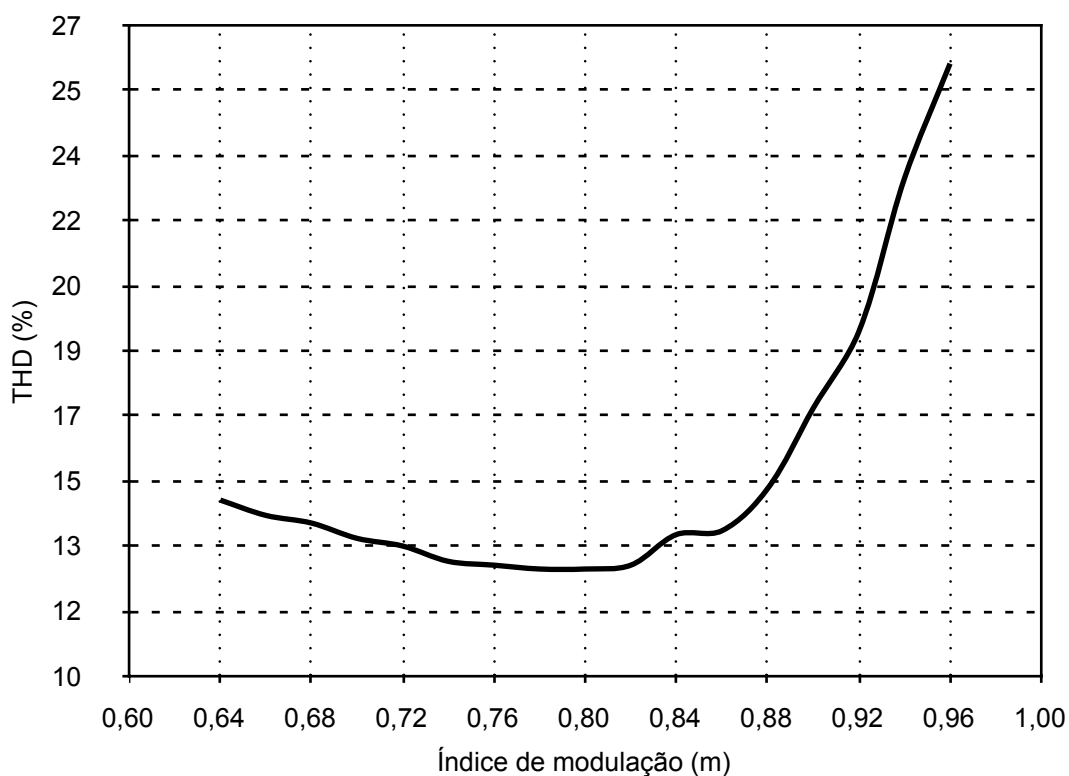


Figura 5.2.10 - THD na tensão V_{an} , com a evolução do índice de modulação na estrutura com 3 pontes-H.

5.2.2 Resultados dos ensaios com a estrutura de 11 níveis

Nesta secção, a demonstração de resultados centra-se na caracterização do método de modulação para o aumento do número de níveis. Para tal, ensaiou-se um estrutura com cinco pontes-H e, para a realizar esta estrutura, houve apenas a necessidade de adicionar dois módulos e reconfigurar as ligações entre os módulos de potência em conjunto com os respectivos circuitos de *drivers* ópticos.

Os parâmetros cuja variação se pretende analisar com o aumento do número de níveis foram já previamente mencionados, sendo os mais relevantes: evolução dos sucessivos harmónicos com o índice de modulação; e os limites do índice de modulação entendidos como os limites do funcionamento normal, isto é, o valor limiar para o índice de modulação no qual o aumento deste produz um aumento na amplitude da tensão de saída.

Similarmente à apresentação de resultados relativos à estrutura de 7 níveis apresentam-se em primeiro lugar as principais formas de onda que comprovam o funcionamento correcto do método de modulação em aplicação no inversor monofásico ponte-H em cascata de 11 níveis. As condições de ensaio estabelecidas neste caso foram semelhantes aos ensaios para 7 níveis. Posteriormente, proceder-se-á à caracterização do método em termos da amplitude dos sucessivos harmónicos e da taxa de distorção harmónica total como a evolução do índice de modulação, do mesmo modo que se procedeu anteriormente à caracterização em simulação do método de modulação para os casos de 3 e 7 pontes-H.

No caso das 5 pontes-H, o algoritmo de cálculo dos ângulos de comutação apresenta como soluções possíveis valores para o índice de modulação superiores a 0,71. No caso dos ensaios com índice de modulação fixo, nos quais m é igual a 0,8, este algoritmo produz ângulos de disparo com valores praticamente equitativamente distribuídos entre os valores aproximados de 5° e 50° . Este facto fica explícito na figura 5.2.11, onde se visualizam as larguras de impulsos dos sinais de comando de um braço de cada ponte-H.

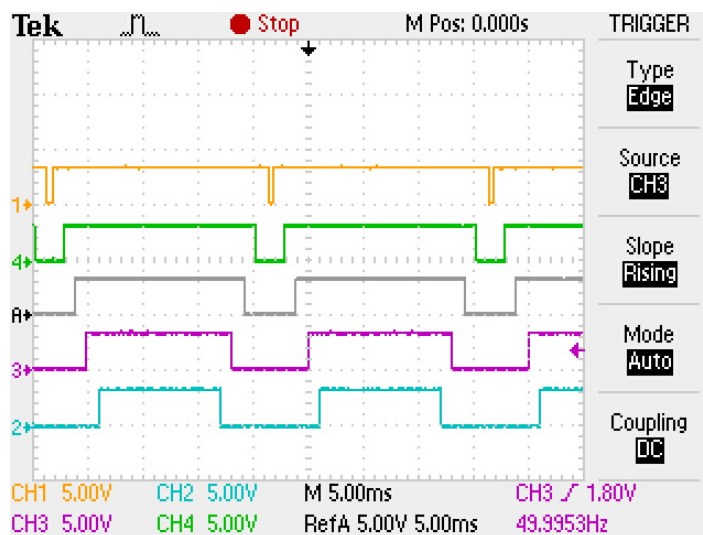


Figura 5.2.11 - Sinais de comando de um braço de cada ponte-H, nos ensaios da estrutura com 11 níveis.

Porém, neste caso, a qualidade da forma de onda da tensão é melhor, como é de esperar do aumento de número de níveis. O aumento do número de níveis acarreta também um aumento da amplitude da tensão V_{an} tal como da amplitude da corrente na carga; estes factos podem ser facilmente constatados na figura 5.2.12.

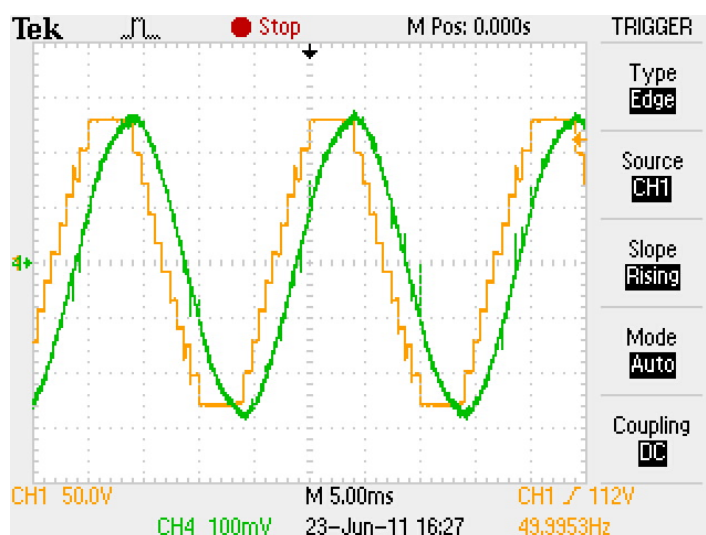


Figura 5.2.12 - Oscilogramas obtidos na estrutura de 7 níveis: (Amarelo) da tensão de saída em duas das pontes-H; (Verde) corrente total na carga do inversor.

Nesta figura, é possível visualizar que as variações na tensão em cada nível da tensão V_{an} são mais desprezáveis. Para benefício da constatação desta particularidade do funcionamento apresenta-se de seguida um conjunto de imagens, no qual se ilustra as variações nas tensões CC e a corrente na entrada de cada módulo.

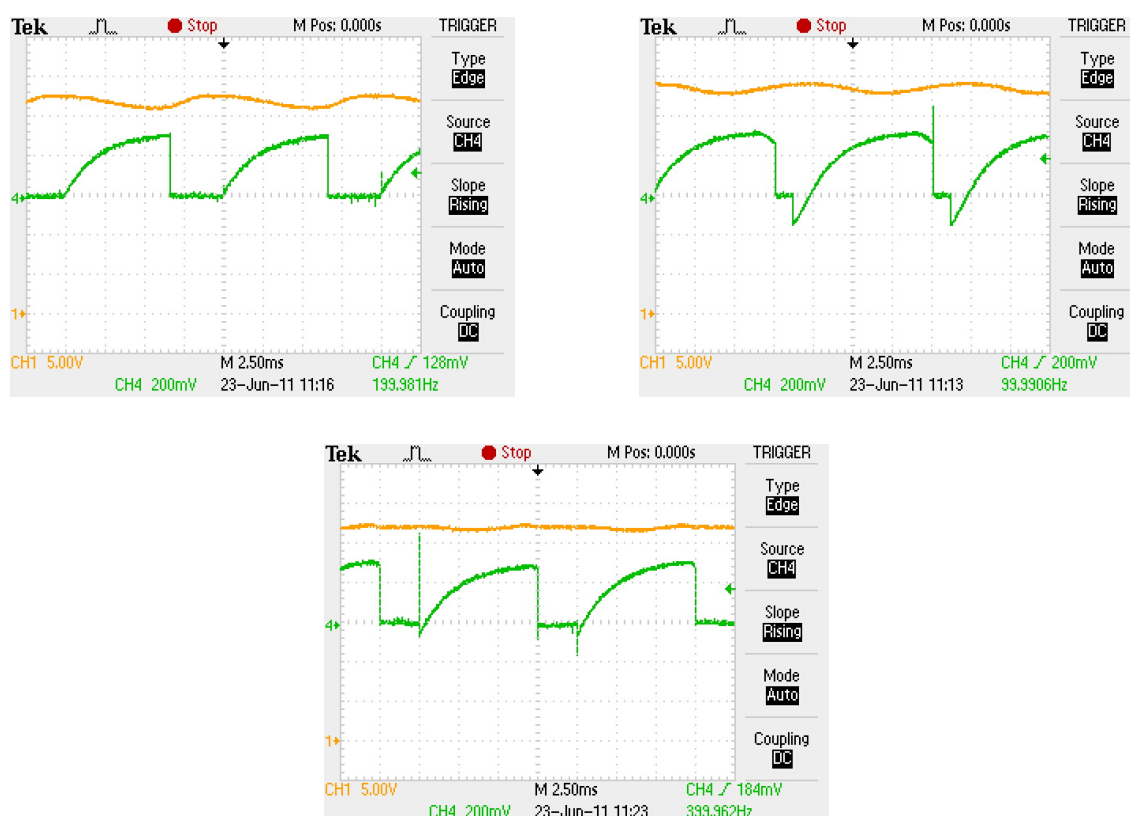


Figura 5.2.13 - Oscilogramas para constatação das variações nas tensão CC (amarelo) em cada um dos barramentos e respectivas correntes de entrada em cada uma das pontes (verde).

À semelhança dos resultados apresentados para a estrutura constituída por três módulos apresenta-se de seguida a forma de onda da tensão V_{an} em conjunto com as correntes de

entrada em cada um dos módulos; no entanto, não são apresentadas as formas de onda da corrente para as pontes-H com larguras intermédias.

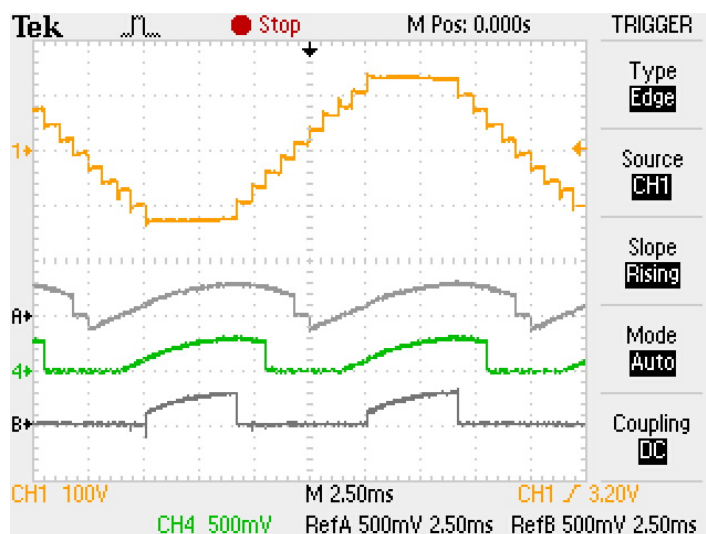


Figura 5.2.14 - Oscilogramas para: tensão V_{an} (amarelo); correntes de entrada em cada uma das pontes (cinzentos e verde).

Na figura anterior é possível efectuar a atribuição de cada sinal de corrente a cada uma das pontes-H: a corrente na parte inferior da figura corresponde à ponte com menor tempo de condução e a superior à ponte-H com maior tempo de condução, tal como se pode perceber que o sinal de corrente a verde corresponde à ponte-H com tempo de condução intermédio.

De seguida apresenta-se a FFT dos sinais de tensão e corrente na saída do inversor monofásico, nos quais se denota a atenuação dos todos os harmónicos presentes na corrente.

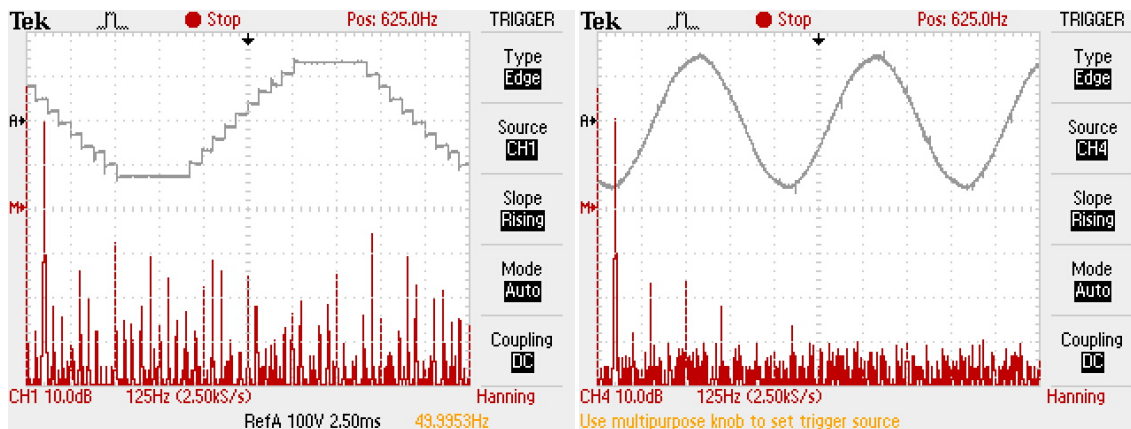


Figura 5.2.15 - Oscilogramas obtidos na estrutura de 11 níveis: a) FFT da tensão V_{an} ; b) FFT da corrente na carga à saída do inversor.

De maneira a obter-se a caracterização do método para cinco pontes-H, à semelhança do que tem vindo a ser apresentado nesta dissertação, procedeu-se à medição da amplitude dos harmónicos até à ordem 19 numa série de ensaios que, por fim, permitiram obter os gráficos apresentados nas figuras 5.2.16 a 5.2.18.

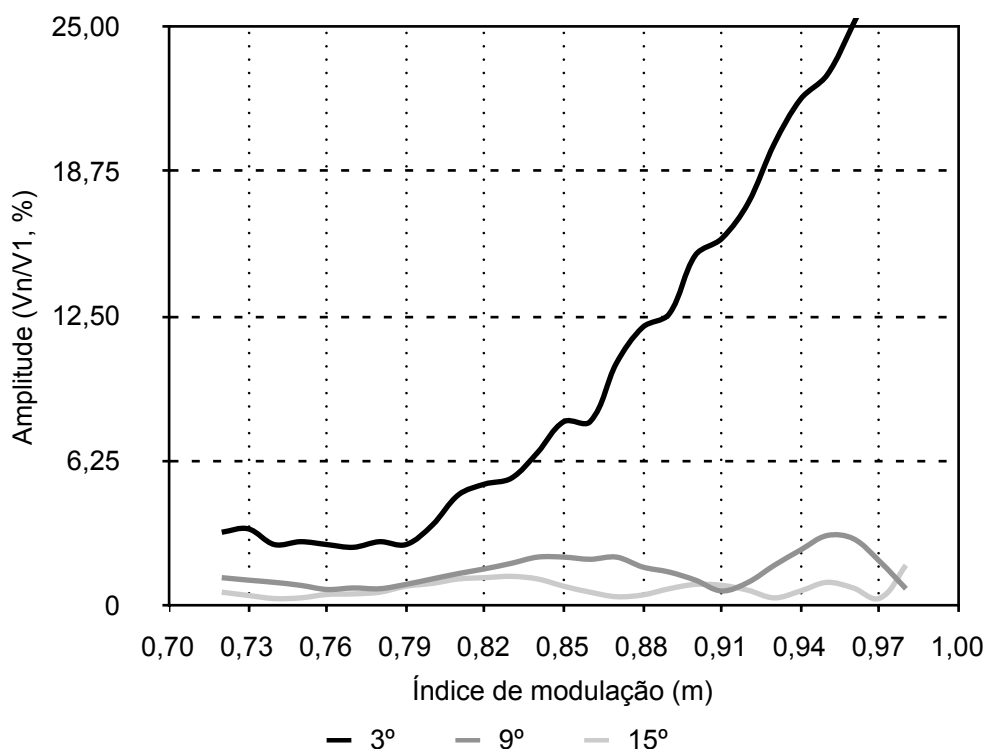


Figura 5.2.16 - Amplitude normalizada dos harmônicos múltiplos de 3 na tensão V_{an} , com a evolução do índice de modulação na estrutura com 5 pontes-H.

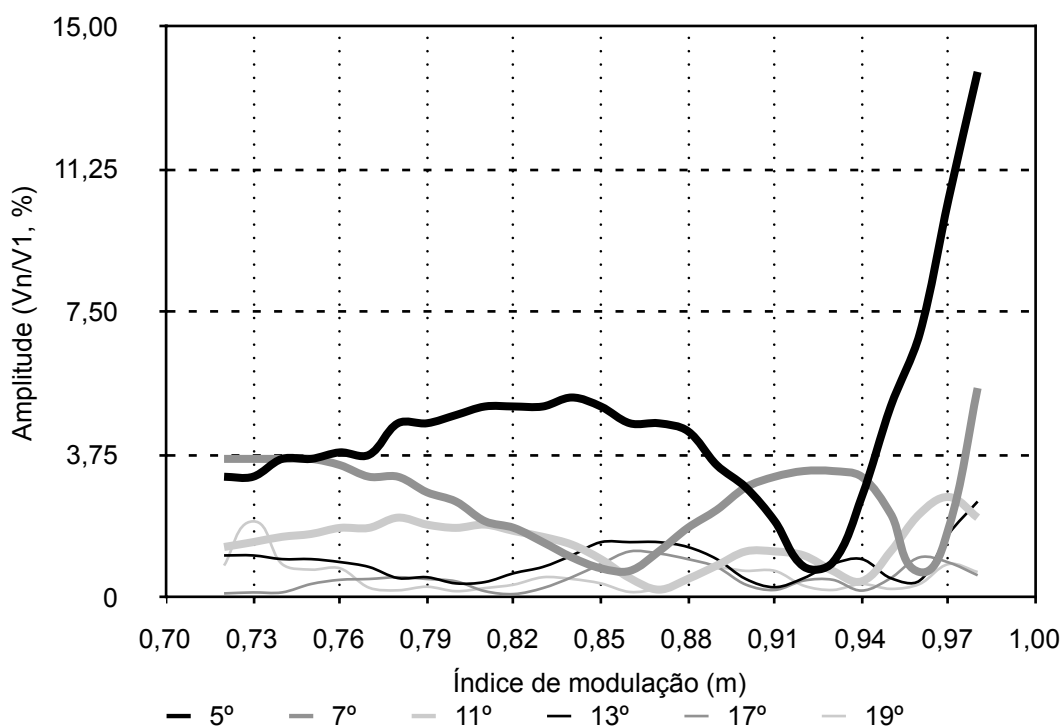


Figura 5.2.17 - Amplitude normalizada dos harmônicos não múltiplos de 3 na tensão V_{an} , com a evolução do índice de modulação na estrutura com 5 pontes-H.

Mais uma vez verifica-se, das duas figuras anteriores, a existência da redistribuição do sinal pelos harmônicos e, conseqüentemente, a complementaridade na evolução da amplitude dos sucessivos pares de harmônicos já mencionados.

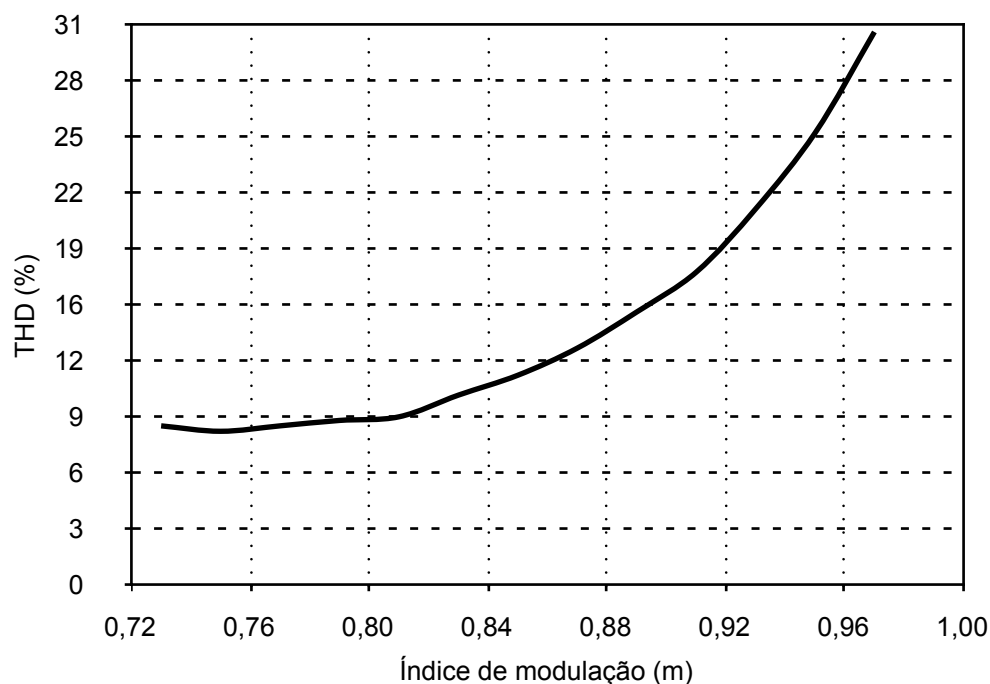


Figura 5.2.18 - THD na tensão V_{an} , com a evolução do índice de modulação na estrutura com 5 pontes-H.

Relativamente à evolução da taxa de distorção harmónica total, apresentada na figura 5.2.18, pode ser constatado, como se esperava, que o seu mínimo absoluto está abaixo do valor obtido para a estrutura com três pontes-H. No entanto, a banda de extensão para o índice de modulação, na qual método de modulação consegue THD aceitáveis é bastante mais estreita que na situação com 3 pontes-H.

5.3 Conclusão

Relativamente à generalidade dos dados obtidos conclui-se que estão dentro dos valores esperados, com as devidas aproximações, quando comparados com as caracterizações provenientes do ambiente de simulação. As aproximações referidas estão, então, relacionadas com os erros associados à aquisição mas também com as não-idealidade das fontes CC isoladas, as quais foram discutidas no decorrer deste capítulo.

Relativamente aos dados para a THD, para a estrutura com três pontes-H, apesar de estarem a baixo do que se esperava das simulações, este facto fica plenamente justificado, por um lado pela falta de precisão dos instrumentos de medida utilizados nos ensaios e, por outro lado, pelas não-idealidades que se constataram na prática.

No que diz respeito à implementação com cinco pontes-H e respectivos resultados estes estão dentro do que seria de esperar pelo estudo do método para as estruturas com maior número de níveis. A validação destes resultados foi obtida com a comparação com as simulações desta estrutura tendo-se registado uma muito boa correspondência.

Conclui-se, portanto, e após esta demonstração de resultados, que este método se mantém válido para a aplicação em sistemas de interface com a rede eléctrica, na sua configuração base de três pontes-H e mesmo até com o aumento do número de níveis acarretando, no entanto, uma degradação das condições de funcionamento anteriormente mencionadas.

Capítulo 6

Discussão e futuros desenvolvimentos

6.1 Discussão

Do estudo das topologias, métodos de modulação e características comuns de funcionamento dos inversores multi-nível conclui-se que este tipo de estrutura é, nos dias de hoje, muito atractiva para aplicações em média e alta potência. É relevante, ainda, afirmar que este estudo permitiu adquirir conhecimento acerca de algumas das problemáticas encontradas na prática associadas às estruturas multi-nível em geral e, em particular, à estrutura do conversor ponte-H em cascata.

Relativamente às características dinâmicas e da gama de variação, para o índice de modulação constatadas no método de modulação, conclui-se que estão dentro das características desejadas para uma aplicação em interface com a rede eléctrica, podendo a sua gama de aplicações possíveis ser bastante vasta. É, no entanto, não apropriado para domínios de aplicação bastante importantes, onde a dinâmica e gama de variação do índice de modulação exigidas ao método de modulação é elevada, nomeadamente a generalidade dos *drives* de motores eléctricos.

Também se comprovou que este método, apesar de continuar válido para o aumento do número de níveis acima de sete, o seu funcionamento deteriora-se. Ou seja, a zona de funcionamento na qual a THD se mantém relativamente baixa diminui com o aumento do número de níveis.

A implementação discutida possibilitou a caracterização exaustiva do método de modulação na evolução do conteúdo harmónico e da componente fundamental da tensão CA na saída do inversor; e também com o aumento do número de níveis, o que é importante só por si, uma vez que as caracterizações previamente disponíveis estavam limitadas à estrutura com sete níveis.

Relativamente à implementação de controladores de inversores multi-nível em plataformas de desenvolvimento que integram *FPGA's* com outros recursos conclui-se que, apesar de implicar um nível de conhecimentos bastante alargado, oferece, no entanto,

grandes vantagens quando comparadas com outros tipos de plataforma de desenvolvimento, algumas das quais se teve contacto prévio a este projecto.

6.2 Trabalhos futuros

O conjunto de trabalhos adicionais poderiam seguir um grande número de vertentes. Estas vertentes estariam relacionadas com várias questões que se consideraram secundárias nesta dissertação, sendo algumas das mais relevantes discutidas de seguida.

Tomando partido da área não ocupada na FPGA: seria interessante a implementação de malhas de controlo para ligação do inversor à rede eléctrica; melhoria da dinâmica para o índice de modulação através da especificação HDL de partes ou da totalidade do algoritmo de Newton (conseguindo melhorias que poderiam habilitar o método para aplicação, por exemplo, em *drives* de motores eléctricos); implementação de um método de distribuição equitativa da potência conduzida por cada ponte-H.

Relativamente ao método de modulação, seria de interesse a investigação e desenvolvimento do método de modulação com comutações à frequência fundamental, de forma a ser mais atractivo para modulação de estruturas com maior número de níveis e, portanto, maiores potências;

Relativamente ao hardware, apesar de ter cumprido as funcionalidades para que foi projectado, seria muito benéfico a melhoria da sua robustez nas seguintes áreas: uma segunda iteração das PCB's de protecções, de forma a eliminar disparos intempestivos e correcção das eventuais anomalias de funcionamento do circuito digital associados às protecções; reorganização do *setup* em geral, de forma a minimizar os comprimentos das cablagens e inclusão de mecanismos para a estabilização das tensões de entrada em cada módulo.

Referências

- [1] M. Malinowski, K. Gopakumar, J. Rodriguez, M. A. Pérez, "A Survey on Cascaded Multilevel Inverters," *IEEE Transactions on Industrial Electronics*, vol. 57, pp. 2197-2026, 2010.
- [2] L. G. Franquelo, J. Rodríguez, J. I. Leon, S. KOURO, R. Portillo, and M. A. M. PRATS, "The Age of Multilevel Converters Arrives," *IEEE Industrial Electronics Magazine's*, pp. 28- 39, JUNE 2008.
- [3] J. Rodríguez, L. G. Franquelo, S. Kouro, J. I. León, R. C. Portillo, M. A. M. Prats, M. A. Pérez, "Multilevel Converters: An Enabling Technology for High-Power Applications," *Proceedings of the IEEE*, vol. 97, pp. 1786-1817, Nov 2009.
- [4] R. H. Baker, L. H. Bannister, "Electric power converter," U.S. Patent Patent, 1975.
- [5] B. Wu, " High-Power Converters and AC Drives, " Hoboken, NJ: John Wiley & Sons, 2006.
- [6] D. Zhong, L. M. Tolbert, J. N. Chiasson, B. Ozpineci, "A cascade multilevel inverter using a single DC source," in *Proc. 21st Annual IEEE Applied Power Electronics Conf. and Exposition*, pp. 426-430, Mar. 2006.
- [7] M. G. Hosseini Aghdam, S. H. Fathi, G. B. Gharehpetian, "Analysis of multi-carrier PWM methods for asymmetric Multi-level inverter," in *Industrial Electronics and Applications, 2008. ICIEA 2008. 3rd IEEE Conference on*, 2008, pp. 2057-2062.
- [8] A. Lega, "Multilevel Converters: Dual Two-Level Inverter Scheme," Ph.D. thesis in Electrical Engineering, University of Bologna, Bologna, 2007.
- [9] F. Z. Peng, "A Generalized Multilevel Inverter Topology with Self Voltage Balancing," *IEEE Transactions on Industrial Electronics*, vol. 37, pp. 2024-2031, 2000.
- [10] R. Marquardt, "Stromrichterschaltungen mit verteilten Energiespeichern," Germany Patent, 2001.
- [11] S. Allebrod, R. Hamerski, R. Marquardt, "New Transformerless, Scalable Modular Multilevel Converters for HVDC-Transmission," *Power Electronics Specialists Conference, 2008. PESC 2008. IEEE*, pp. 174-179, 2008.
- [12] S. Rohner, S. Bernet, M. Hiller, R. Sommer, "Modulation, Losses, and Semiconductor Requirements of Modular Multilevel Converters," *IEEE Transactions on Industrial Electronics*, vol. 57, p. 10, 2010.
- [13] A. Lesnicar, R. Marquardt, "An innovative modular multilevel converter topology suitable for a wide power range," *2003 IEEE Bologna Power Tech Conference*, vol. 3, pp. 6-11, 2003.
- [14] D. G. Holmes and T. A. Lipo, "Pulse width modulation for power converters : principles and practice, " Hoboken, NJ: John Wiley & Sons, 2003.
- [15] PowerSim. Disponível em: <http://www.powersimtech.com/>. Acesso em 20/Janeiro/ 2011.
- [16] O. Lopez, J. Alvarez, J. D. Gandoy, F. D. Freijedo, "Multilevel Multiphase Space Vector PWM Algorithm With Switching State Redundancy," *IEEE Trans. Ind. Appl.*, vol. 56, pp. 792-804, Mar 2009.
- [17] Y. Liu, H. Hong, A. Q. Huang, "Real-Time Calculation of Switching Angles Minimizing THD for Multilevel Inverters With Step Modulation," *IEEE Trans. Ind. Appl.*, vol. 56, pp. 285-293, Feb 2009.

- [18] Y. Liu, H. Hong, A. Q. Huang, "Real-Time Algorithm for Minimizing THD in Multilevel Inverters With Unequal or Varying Voltage Steps Under Staircase Modulation," *IEEE Trans. Ind. Appl.*, vol. 56, pp. 2249-2258, 2009.
- [19] L. M. Tolbert, F. Z. Peng, T. G. Habetler, "Multilevel converters for large electric drives," *IEEE Trans. Ind. Appl.*, vol. 35, no. 1, pp. 36-44, Jan./Feb. 1999.
- [20] J. N. Chiasson, L. M. Tolbert, K. J. McKenzie, Z. Du, "Elimination of Harmonics in a Multilevel Converter Using the Theory of Symmetric Polynomials and Resultants," *IEEE Trans. On Control Systems Technology*, vol. 13, pp. 216-226, 2005.
- [21] D. W. Kang, H. C. Kim, T. J. Kim, D. S. Hyun, "A simple method for acquiring the conducting angle in a multilevel cascaded inverter using step pulse waves," *IEE Proceedings - Electric Power Applications*, vol. 152, pp. 103-111, 2005.
- [22] Xilinx Spartan-3AN family datasheet. Disponível em: http://www.xilinx.com/support/documentation/data_sheets/ds557.pdf. Acesso em: 14/Junho/2011.
- [23] Xilinx ISE Design Suite Software Manuals and Help - PDF Collection. Disponível em: <http://www.xilinx.com/itp/xilinx10/books/manuals.pdf>. Acesso em: 14/Junho/2011.
- [24] ModelTech ModelSim. Disponível em: <http://model.com/>. Acesso em 13/Julho/2011
- [25] Xilinx ISim. Disponível em: http://www.xilinx.com/itp/xilinx10/isehelp/ism_c_overview.htm. Acesso em 13/Junho/2011.
- [26] A. D. Araújo, J. C. Alves, Página da U.C. Projecto de Sistemas Digitais (2007/2008). Disponível em: http://paginas.fe.up.pt/~aja/PSDI_200708/. Acesso em 13/Junho/2011