

Faculdade de Engenharia da Universidade do Porto

Licenciatura em Engenharia Electrotécnica e de Computadores



Universidade do Porto

Faculdade de Engenharia

FEUP

Desenvolvimento da Nova Unidade de Marcação F1_2



Relatório do Estágio Fim de Curso de
António Manuel Pinto Nogueira

Orientador Feup: Prof. Américo Lopes de Azevedo
Orientador Milénio 3: Eng. Miguel Antunes de Sousa

Julho de 2006

21

Faculdade de Engenharia da Universidade do Porto

Licenciatura em Engenharia Electrotécnica e de Computadores



Universidade do Porto

Faculdade de Engenharia

FEUP

Desenvolvimento da Nova Unidade de Marcação F1_2



Relatório do Estágio Fim de Curso de
António Manuel Pinto Nogueira

Orientador Feup: Prof. Américo Lopes de Azevedo
Orientador Milénio 3: Eng. Miguel Antunes de Sousa

Julho de 2006

21



621.3(047.3) 16cc 2406/206a

2406/206a

106921

24 02 10

Agradecimentos

Queria agradecer ao Prof. Dr. Américo Lopes de Azevedo, que me orientou o estágio por parte da faculdade e a todos os professores que me transmitiram o conhecimento necessário para poder realizar o estágio com sucesso.

O meu sincero obrigado a todos os elementos da Milénio 3, pelas condições que me proporcionaram ao longo do estágio, boa relação de trabalho e o conhecimento partilhado.

Um agradecimento muito especial para a Goreti, para os meus pais e irmão por tanta paciência, compreensão, apoio e por todas as oportunidades que me proporcionaram.

A todos os familiares e amigos, obrigado por todo o apoio e carinho.

Quero agradecer ao Programa Operacional Ciência e Inovação – 2010 que financiou este estágio e a todos os seus colaboradores que tornaram esse financiamento possível.

Um último agradecimento para os meus colegas de Faculdade, que foram excelentes companheiros e amigos durante todo este tempo.

Resumo

Este projecto tem como objectivo desenvolver uma nova unidade de marcação na continuidade da solução *Millenium* da empresa Milénio 3 – Sistemas Electrónicos. O sistema *Millenium* pode ser considerado como uma rede de unidades de marcação (relógio de ponto) que recolhem informações para serem posteriormente processadas por software específico. As unidades de marcação têm a função de controlo de acessos e assiduidade.

Este projecto foi iniciado em 2004 por um colega, o qual fez uma pesquisa e avaliação das propostas existentes no mercado relativamente a sistemas embebidos, daí resultou a escolha baseada na tecnologia *Xscale* PXA255 da *intel* utilizando como programa (*firmware*) Windows CE .NET4.2. Com esta escolha há uma grande ajuda que é um kit IDP (*Integrated Development Platform*) de desenvolvimento da *Accelent* que utiliza a mesma tecnologia e que foi adquirido pela Milénio 3.

Depois de saber que este projecto tem viabilidade (existe o kit IDP) adaptou-se á nossa realidade de forma a criar uma nova unidade F1_2 de marcação com muito mais potencialidades do que as unidades de marcação que hoje se comercializa.

O desenvolvimento da unidade F1_2 passou por fases como a especificação das funcionalidades, a criação de esquemáticos e símbolos, o desenho de disposições (*layouts*), criação da lista de material (BOM), pedido cotações e amostras para a montagem dos protótipos.

Concluído o processo de criação da unidade F1_2, passou-se a montagem dos componentes mais complexos na HFA e os restantes montados na Milénio 3, a fase seguinte foi o teste do hardware começando pelas fontes de alimentação até todos os circuitos de dados assim como o carregamento dos programas (*bootloaders*) do processador e da CPLD.

Índice

Resumo.....	iii
Índice	iv
Índice de Figuras	vi
1 Introdução	8
1.1 Apresentação da instituição de estágio	8
1.2 Trabalho realizado na instituição de estágio.....	9
1.3 Planeamento do desenvolvimento do Protótipo	10
1.4 Organização do Documento	11
2 Requisitos do Sistema	13
2.1 Estado da Arte	13
2.2 As potencialidades da nova Unidade F1_2	14
3 Tecnologias e Ferramentas Utilizadas	17
3.1 Hardware	17
3.1.1 Processador	17
3.1.2 Memórias.....	19
3.1.3 Ethernet	22
3.1.4 PCMCIA	23
3.1.5 Audio	24
3.1.6 CPLD.....	25
3.1.7 Display	26
3.2 Firmware	27
3.2.1 Platform Builder	27
3.2.2 Schema Corelinx.....	29
3.2.3 Windows CE .NET ou Windows XP Embedded	30

3.2.4	Windows <i>eMbedded Visual C++ .net</i>	35
3.2.5	Xilinx.....	36
3.2.6	Cadence Allegro Design Entry HDL 15.5	38
4	Solução Desenvolvida (Arquitectura).....	40
4.1	Hardware	40
4.1.1	Esquema da Unidade F1_2	41
4.1.2	Layout.....	46
4.1.2.1	Placement.....	46
4.1.2.2	Routing	48
4.2	Firmware	50
4.2.1	Ficheiros do bootloader e SO	51
4.2.2	Construção da Imagem do SO	52
4.2.2.1	Platform Builder.....	53
4.2.2.2	Schema.....	53
4.2.2.3	Solução Mista	54
4.2.3	Outras notas relevantes.....	54
4.2.4	Alguns procedimentos úteis.....	56
4.2.4.1	Criar BSP para a Unidade F1_2	56
4.2.4.2	Pôr o logótipo da Milénio 3 como Wallpaper	57
4.2.4.3	Ler Cartões de proximidade usando o leitor Milltag	58
5	Conclusões e Resultados	61
6	Trabalho a desenvolver	62
7	Bibliografia	63
8	Anexos	64
8.1	Anexo A Diagrama de Gantt do planeamento da Unidade F1_2	64
8.2	Anexo B Esquema da Unidade F1_2 (Schematics)	65
8.3	Anexo C Routing e Layout do PCB da Unidade F1_2.....	80
8.4	Anexo D Correspondência dos pinos lógicos com os físicos do PXA255.	89
8.5	Anexo E Tabela de restrições da Lab Circuits	90
8.6	Anexo F Alguns custos de fabrico do Protótipo	94
8.7	Anexo G Esquema do leitor de Cartões Milltag	96
8.8	Anexo H BOM (<i>Bill of Materials</i>) Lista de Material	97

8.9	Anexo I Coordenadas de Montagem	100
-----	---------------------------------------	-----

Índice de Figuras

Figura 1 – Tabela de Tarefas do Planeamento do Protótipo.	11
Figura 2 – Actual Unidade de Marcação da Milénio 3	13
Figura 3 – Os diferentes tipos de tecnologias de identificação utilizadas.....	14
Figura 4 – Protótipo da Unidade de Marcação F1_2.....	15
Figura 5 – Processador Intel Xscale PXA255	17
Figura 6 – Diagrama de Blocos do processador PXA255 da Intel	18
Figura 7 – Memória SDRAM.....	20
Figura 8 – Memória StrataFlash	21
Figura 9 - Ethernet	22
Figura 10 – Conector PCMCIA.....	24
Figura 11 – Sistema de Audio.....	24
Figura 12 – Circuito da CPLD	25
Figura 13 - Camadas de um LCD	26
Figura 14 – Monitor LCD Touch Screen do kit Accellent	27
Figura 15 – Logótipo do Platform Builder.....	27
Figura 16 – Logótipo do Schema CoreLinx.....	30
Figura 17 – Logótipo Windows Embedded	31
Figura 18 – Logótipo Do Windows XP Embedded	32
Figura 19 – Logótipo Windows CE .NET	34
Figura 20 – Logótipo da Xilinx	37
Figura 21 – Diagrama de Blocos do Cadence Allegro	38
Figura 22 – Entrada do Cadence Allegro (Apresentação das várias Opções).....	39
Figura 23 - Ambiente de Trabalho <i>Schematics</i>	39
Figura 24 - Ambiente de Trabalho <i>Layout</i>	39
Figura 25 – Diagrama de Blocos da Unidade F1_2	40
Figura 26 – Posicionamento das memórias relativamente ao processador na Unidade F1_2.	47

Figura 27 – Diagrama de procedimentos do *software*..... 51

1 Introdução

1.1 Apresentação da instituição de estágio

Fundada em Outubro de 1995 através de uma operação de MBO realizada no seio do Grupo *Schlumberger/Reguladora Portugal*, a MILÉNIO 3 Sistemas Electrónicos Lda., centralizou todo o esforço de desenvolvimento realizado desde 1981 nos domínios de sistemas de recolha de dados.

Na actividade da Milénio 3 salientam-se o desenvolvimento, industrialização, comercialização e assistência técnica, de equipamentos electrónicos e software aplicacional, integrando assim a totalidade do conhecimento (*Know How*) das soluções que disponibiliza no mercado.

Os domínios de actuação da empresa são fundamentalmente os sistemas de aquisição de dados com múltiplas aplicações (ex. controlo de assiduidade, acessos e produção) equipamento de telecomunicações, segurança e controlo horário associados.

Nestas áreas, tem a MILÉNIO 3 caracterizado a sua actuação pelo fornecimento de sistemas de elevada qualidade e desempenho, considerando cada cliente como um parceiro de desenvolvimento na obtenção da solução mais adequada.

Orgulha-se de possuir como utilizadores dos Sistemas por si desenvolvidos, elevado número das mais prestigiadas Empresas de variados sectores de actividade, mantendo a evolução contínua dos seus produtos e oferecendo soluções adaptadas às necessidades dos seus Clientes.

Como líder incontestado nos mercados em que opera, a Milénio 3 investe anualmente uma significativa percentagem dos seus resultados em investigação e desenvolvimento, antecipando assim as necessidades dos seus clientes.

Na Milénio 3 aprecia-se o enorme esforço efectuado pelos seus colaboradores no sentido de continuamente acrescentarem mais valor às soluções que implementam.

Tornou-se em Novembro de 2000 a primeira empresa Ibérica "SAP Software Partner for Time & Attendance & Employee Expenditures", sendo os seus sistemas certificados em *Walldorf*, Alemanha .

No mercado competitivo de hoje, trabalhar mais rápido e de modo mais inteligente é frequentemente a diferença entre ser líder ou apenas mais um competidor.

Na Milénio 3 compreende-se quão críticas podem ser as novas tecnologias. É isso que nos move no sentido de desenvolver as mais recentes e inovadoras soluções do mercado.

Tecnologia, é na Milénio 3 a massa crítica que nos garante a satisfação total dos seus clientes e parceiros e a manutenção da sua posição de liderança.

Acreditam que o suporte continuado que tem merecido dos seus clientes, e de uma equipa de excepção de colaboradores, os permitirá continuar a acrescentar valor partilhando-o com os seus clientes.

1.2 Trabalho realizado na instituição de estágio

O estágio iniciou por uma contextualização da tecnologia adoptada para o projecto. Essa contextualização teve as seguintes fases: conhecer o esquema do kit de desenvolvimento IDP; e o software de apoio para o desenvolvimento do programa (*firmware*) assim como as ferramentas de *Cadence (Allegro 15.5)* utilizadas.

Após esta integração no sistema estuda-se e finaliza-se os esquemáticos (*Schematics*), os símbolos necessários, disposição (*layouts*) para a criação dos circuitos impressos (*PCB*¹).

Quando o esquemático estava pronto começou-se a fazer pedidos de cotações assim como amostras respectivas visto que este processo é muito moroso enquanto se acabava a disposição (*layouts*).

Com a disposição (*layouts*) terminada criou-se os ficheiros (*gerbers*) para o fabrico dos circuitos impressos (*PCB*). Durante este tempo de espera de recepção da cotação dos circuitos impressos (*PCB*) e o seu fabrico, tentou-se desenvolver um pouco do programa do SO (*firmware*), que era construir uma imagem reduzida de forma a conseguir fazer *debug* ao sistema.

¹ *Printed Circuit Board* A placa plástica normalmente verde que tem impresso um ou mais camadas de circuitos.

Concluiu-se o estágio com a montagem dos componentes e teste do protótipo, esse teste é um pouco complexo pois divide-se em 2 fases sendo elas:

- Verificação e correcção de possíveis erros no desenho nas diferentes fontes de alimentação.
- Descarga (*Download*) dos programas (*bootloaders*) para a CPLD e para o Processador, aqui os erros podem ocorrer no cabo de comunicação (*JTAG*²), no protocolo de comunicação utilizado, assim como pré condições para efectuar a transferência (*Download*).

1.3 Planeamento do desenvolvimento do Protótipo

Aqui neste ponto vou referenciar as tarefas principais que foram necessárias para o desenvolvimento desta Unidade F1_2, por mim realizadas neste estágio.

No Anexo A existe um diagrama de Gantt onde se pode ver melhor a sequência das tarefas e a sua duração.

As tarefas foram as seguintes:

Tarefas	Duração	Início
Estágio	129d	Wed 01-02-06
Breve Apresentação da Empresa	1d	Wed 01-02-06
1º Contacto com o <i>Shema</i>	1d	Thu 02-02-06
1º Contacto com o <i>Platform Builder</i>	1d	Fri 03-02-06
Testes com a Kit IDP da <i>Accelent</i>	10d	Mon 06-02-06
Continuação do desenvolvimento do PCB (<i>Allegro</i>)	40d	Mon 20-02-06
Criação/Testes de várias Imagens SO e BSP	66d	Mon 13-03-06
Reunião com o Coordenador de Estágio e com o Director da Milénio	1d	Tue 07-03-06
Arranque da página Web	97d	Fri 17-03-06
Criação BOM e Pedido de Cotações/Amostras	40d	Mon 20-03-06
Fabrico do PCB na <i>LAB CIRCUITS</i>	10d	Mon 17-04-06

² *Joint Test Action Group*

Compra na <i>Digikey</i> e <i>Farnell</i> os Componentes que não se arranjou	9d	Tue 02-05-06
Compra da Memória <i>StrataFlash</i> na China (<i>Lenodo Electronics Co Ltd</i>)	24d	Tue 02-05-06
Queima	3d	Tue 09-05-06
Montagem dos componentes mais complexos na HFA	6d	Fri 19-05-06
Colocação dos restantes componentes na Milénio 3	2,5d	Mon 29-05-06
Teste/Verificação das Fontes de Alimentação	2,5d	Wed 31-05-06
Correcção do PCB no <i>Cad Allegro</i>	1d	Tue 06-06-06
Colocação da Memória <i>StrataFlash</i>	1d	Wed 07-06-06
Preparação dos Ficheiros da CPLD	3d	Mon 05-06-06
Criação/Teste de um Cabo JTAG para a CPLD	3d	Thu 08-06-06
Relatório de Estágio	15d	Tue 13-06-06
Conclusão da Página Web	5d	Thu 29-06-06
Criação do Poster	5d	Mon 03-07-06
Dia da Apresentação do Poster	1d	Tue 18-07-06
Fim do Estágio	1d	Mon 31-07-06

Figura 1 – Tabela de Tarefas do Planeamento do Protótipo.

1.4 Organização do Documento

O relatório está dividido em 8 partes e foi escrito para que em cada capítulo seja referido apenas o relevante para a compreensão do projecto, deixando para referências e anexos informação que não deixa de ser importante para uma leitura mais aprofundada.

O capítulo 1 faz uma pequena referência à instituição de estágio assim como uma contextualização do trabalho nela desenvolvido. Finaliza com o diagrama de tarefas (*Gantt*) onde se pode ter uma noção da duração de cada tarefa realizada.

O capítulo 2 descreve o estado da arte neste campo de aplicações realçando as características do sistema actual existente e da nova Unidade F1_2 a nível de interfaces, circuitos (*hardware*) e programas (*firmware*).

O capítulo das tecnologias e ferramentas utilizadas mostra-nos um pouco das potencialidades e história das ferramentas e tecnologias que utilizei na concepção desta Unidade de marcação.

A descrição da arquitectura do sistema é feita no capítulo 4 onde se divide o circuito em pequenas partes e explica-se o seu funcionamento e importância relativamente ao restante circuito, consegue-se perceber para que serve cada circuito.

Por fim temos o capítulo 5 e 6 onde são apresentados os resultados, algumas dificuldades encontradas no decorrer do estágio e as conclusões, também se faz referência a um possível trabalho futuro.

Em anexo encontram-se alguns documentos e partes de folhas de dados (*datasheets*) que são relevantes para a compreensão do sistema.

2 Requisitos do Sistema

2.1 Estado da Arte

Neste momento o produto comercializado é a UMV3³ baseado num processador *Atmega 128*, com as seguintes potencialidades:

A UMV3, Unidade de Marcação *Millenium* é uma unidade de aquisição de dados, que no sistema *Millenium Plus* faz a interface entre o utilizador e o sistema.



Figura 2 – Actual Unidade de Marcação da Milénio 3

No sistema *Millenium Plus*, o utilizador efectua os seus movimentos de assiduidade, acessos, obras e tarefas ou despesas e fornece dados ao sistema, tais como justificações, reserva de refeição, etc.

Do mesmo modo, através desta unidade, são transmitidas ao utilizador informações, tais como saldos, férias, reservas efectuadas, etc.

As Tecnologias de Identificação

Sendo uma das mais importantes funções das UM's⁴ *Millenium*, disponibilizamos uma vasta gama de opções, possibilitando uma escolha que cumpra com os requisitos de cada cliente.

³ Unidade e Marcação Versão 3

⁴ Unidade de Marcação

- Cartão magnético.
- Cartão de código de barras.
- Cartão de proximidade RF.
- Leitura biométrica de impressão digital.



Figura 3 – Os Diferentes Tipos de Tecnologias de Identificação Utilizadas.

Comunicações

Com o objectivo de facilitar a instalação, diminuir custos e aumentar a fiabilidade pela diminuição de interconexões e alimentações externas, foram desenvolvidos módulos de comunicação específicos para as UM's *Millenium*®, internos à própria UM. Assim, as interfaces de comunicação em RS232 ou RS485 são nativas à própria UM.

As soluções de modem telefónico e Ethernet-TCP/IP são módulos opcionais que integram a própria UM.

Estão ainda disponíveis soluções externas para comunicação em GSM⁵.

2.2 As potencialidades da nova Unidade F1_2

A nova Unidade de Marcação F1_2 utiliza a tecnologia muito semelhante à dos PDA's⁶ da *Intel*, ambos utilizam processadores da gama *PXA255 Xscale*⁷. A Unidade F1_2 tem as seguintes características:

⁵ Global System for Mobile Communications, ou Sistema Global para Comunicações Móveis é uma tecnologia móvel, é o padrão mais popular para celulares do mundo.

Alimentação:

- A alimentação normalmente utilizada é da rede 230V/50Hz.
- Uma bateria de suporte que permite o normal funcionamento do sistema, no caso de falha na rede.
- No caso de ambas as alimentações falharem, a unidade utiliza uma pilha para manter o relógio de tempo real (RTC⁸) em funcionamento e manter os dados na memória pois são do tipo DRAM's⁹.

Interface com o utilizador:

A unidade de marcação tem um monitor (*display*) gráfico com ecrã tátil (*touch screen*), e algumas teclas de navegação para permitir uma utilização fácil e intuitiva do utilizador.

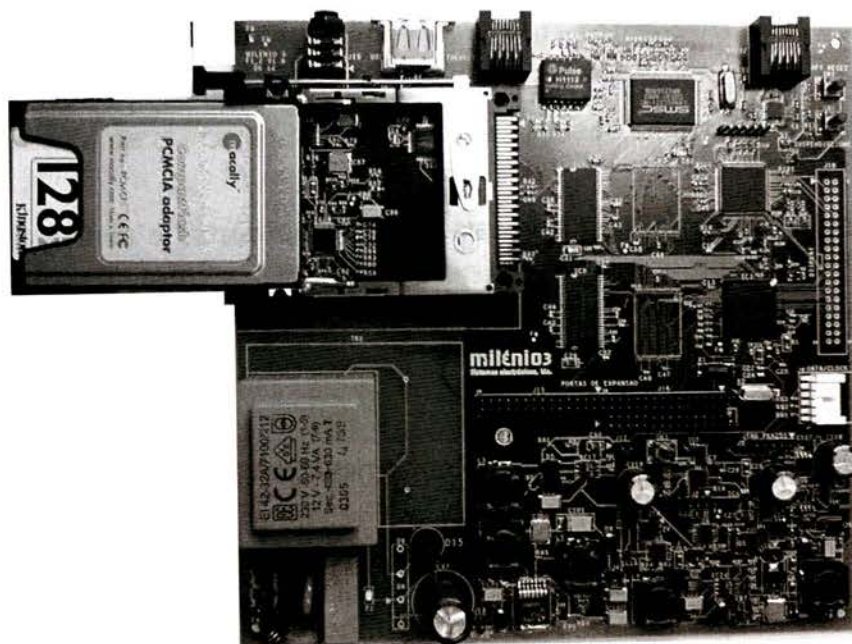


Figura 4 – Protótipo da Unidade de Marcação F1_2

Controle de I/O:

A unidade de marcação permite o acesso a múltiplos sinais digitais de entrada ou saída.

⁶ Personal Digital Assistant, ou Assistente Pessoal Digital, é um computador de dimensões reduzidas, dotado de grande capacidade computacional.

⁷ Tipo de tecnologia de processadores da intel de baixo consumo e de alto desempenho, suporta variadas aplicações complexas (a explorar mais no próximo capítulo).

⁸ Real Time Clock.

⁹ Dynamic random access memory

Sistemas de identificação:

A unidade de marcação suporta diferentes sistemas de identificação de funcionários, que podem funcionar individualmente ou em simultâneo. Tipos de sistemas de identificação em utilização actualmente:

- Cartão de banda magnética;
- Cartão de código de barras – varredor (*scanner*) ou fixo (*slot*);
- Leitor de proximidade (identificação através de rádio-frequência RFID¹⁰).
- Sensor biométrico¹¹ de impressão.

Comunicação com o Host PC:

A unidade de marcação suporta diferentes tipos de comunicação com o anfitrião (*Host*) PC¹², quer embebidos na unidade quer através de interfaces disponíveis na unidade.

Interfaces externas:

A unidade de marcação inclui dois tipos de interfaces externas:

- USB¹³, p.e.: permite ligar um varredor (*scanner*) de códigos de barras à unidade de marcação.
- PCMCIA¹⁴, p.e.: permitir ligar um módulo Wi-Fi à unidade de marcação.

Em resumo, a nova unidade possui além das funcionalidades da UMV3 todo o conjunto de potencialidades que um sistema operativo Windows CE .NET 4.2 integra. O *Windows CE .NET 4.2* tem algumas semelhanças com os actuais Windows XP, Windows 2000.

¹⁰ *Radio Frequency Identification Data*

¹¹ Biometria [bio (vida) + metria (medida)] Hoje a biometria é usada na identificação criminal, controle de ponto.

¹² *Personal Computer*

¹³ *Universal Serial Bus*

¹⁴ *Personal Computer Memory Card International Association*

3 Tecnologias e Ferramentas Utilizadas

3.1 Hardware

3.1.1 Processador

Como anteriormente citado o processador que equipa a unidade F1_2 segue os objectivos da tecnologia *Xscale*. *Xscale* é uma tecnologia desenhada para otimizar o baixo consumo de energia e alto desempenho de processamento, está preparada para uma escala larga de aplicações sem fios (*wireless*), do trabalho em rede e de serviços complexos. Isto tudo pode se perceber melhor se tivermos em conta que esta tecnologia é usada em *PDA's* e *Palmtops*, os clientes (dos *PDA's*) querem dispositivos compactos, leves e com alto desempenho, bateria de longa duração, e reúna todo o tipo aplicações e comunicações necessárias num só dispositivo.

Para os dispositivos avançados que funcionam com as aplicações móveis mais avançadas, o processador de *Intel PXA255* é a resposta. O processador de *Intel PXA255* é altamente compacto, é um processador *32-bit RISC*¹⁵ que combina a eficiência do projecto de *Intel* com a arquitectura *ARM v.5TE*. O processador oferece à indústria potencialidades internas de multimédia de elevado desempenho e funcionalidade portáteis.



Figura 5 – Processador Intel Xscale PXA255

¹⁵ Reduced Instruction Set Computer. Um tipo de arquitectura de processador, com um número reduzido de instruções executadas directamente pelo próprio processador. Num certo momento teve uma grande importância no desenvolvimento de processadores muito rápidos, mas hoje é apenas mais uma das arquitecturas possíveis.

Algunas Características:

Algumas Características:	
Alto desempenho, baixo consumo, Processador 200, 300, 400 MHz, nova gestão de consumo em espera (<i>standby</i>).	Ideal para aumentar a durabilidade da bateria, assistentes pessoais de complexos e comunicações sem fios (<i>wireless</i>).
Utiliza um barramento (<i>bus</i>) interno a 200 MHz em vez de 100 MHz utilizado no processador <i>PXA250</i> .	Melhor desempenho das aplicações
Tecnologia multimédia da Intel	Funcionalidade de áudio e vídeo otimizada
Controlador de memória renovado	Suporta baixas tensões de alimentação 2.5V até 3.3V. Pode trabalhar com memórias de 32 bits ou 16 bits.
Suporte de Cartões de memória	Está preparado para trabalhar com <i>MMC, SD, PCMCIA</i> e <i>CF</i>
Cliente <i>USB</i>	Sincronização rápida do dispositivo anfitrião
<i>Bluetooth</i> 920 Kbps	Vasta comunicação de dispositivos
1.84 MHz banda utilizadas por telemóveis	Eficiente comunicação

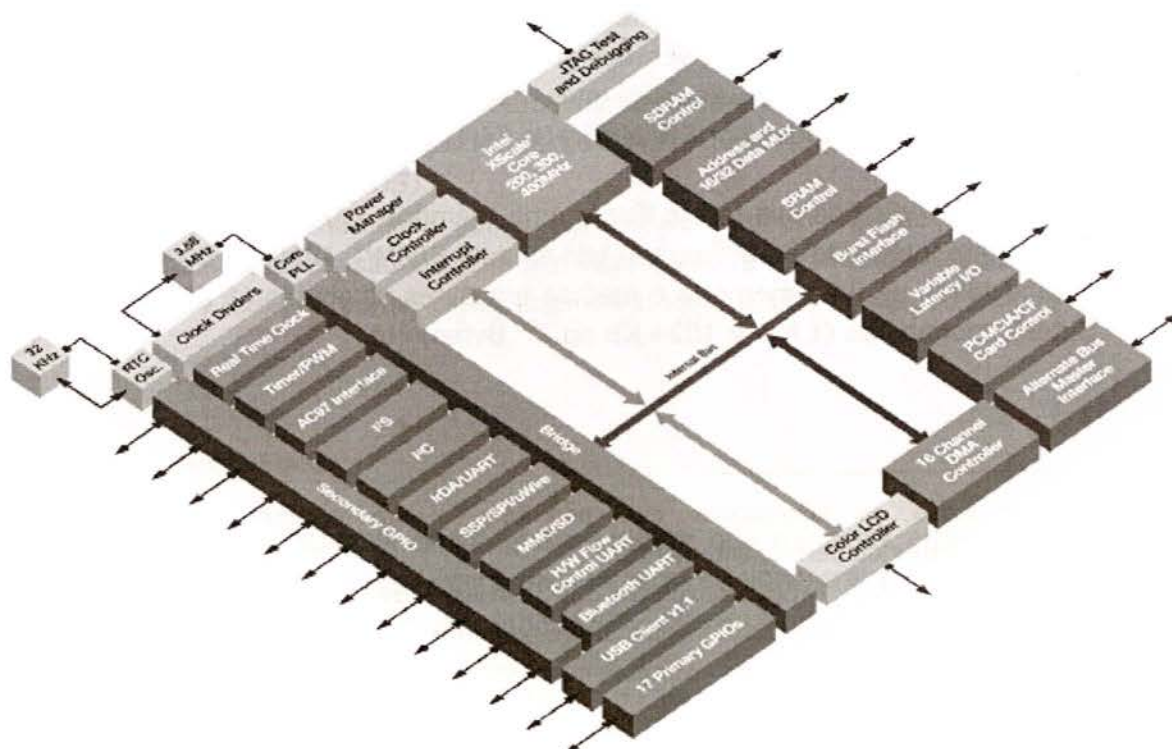


Figura 6 – Diagrama de Blocos do Processador PXA255 da Intel

3.1.2 Memórias

A unidade F1_2 é composta por 2 tipos de memórias¹⁶, memórias *SDRAM* e *StrataFlash*. O processador armazena os programas que estão a correr nas memórias *SDRAM*, enquanto as *StrataFlash* guardam o sistema operativo (por exemplo *Windows CE 4.2*), pode-se considerar os programas de arranque (*firmware*) da unidade F1_2.

Memórias SDRAM

São memórias baseadas na mesma filosofia das memórias RAM (*Random Access Memory*), ou memória de acesso aleatório (randômico), é um tipo de memória de leitura e escrita utilizada em sistemas electrónicos digitais. O termo acesso aleatório identifica a capacidade de acesso a qualquer posição em qualquer altura, por oposição ao acesso sequencial imposto por alguns dispositivos de armazenamento. Esta é uma memória volátil, isto é, todo o seu conteúdo é perdido quando a alimentação da memória é desligada.

Algumas memórias RAM necessitam que os seus dados sejam frequentemente refrescados, podendo então ser designadas por DRAM (*Dynamic RAM*) ou RAM Dinâmica. Por oposição, aquelas que não necessitam de refrescamento são normalmente designadas por SRAM (*Static RAM*) ou RAM Estática.

Do ponto de vista da sua forma física, uma memória RAM pode ser constituída por um circuito integrado¹⁷ DIP¹⁸ ou por um módulo SIMM¹⁹, DIMM²⁰, SO-DIMM, etc. A capacidade de uma memória é medida em Bytes, kilobytes (1 KB = 1024 ou 2¹⁰ Bytes), megabytes (1 MB = 1024 KB ou 2²⁰ Bytes) etc.

¹⁶ São todos os dispositivos que permitem a um computador guardar dados, temporariamente ou permanentemente.

¹⁷ É um dispositivo microeletrónico que consiste em muitos transístores e outros componentes interligados capazes de desempenhar muitas funções. Suas dimensões são extremamente reduzidas, os componentes são formados em pastilhas de material semiconductor.

¹⁸ *Dual In-line Package*

¹⁹ *Single Inline Memory Module*

²⁰ *Dual Inline Memory Module*

A velocidade de funcionamento de uma memória é medida em Hz ou MHz. Este valor está relacionado com a quantidade de blocos de dados que podem ser transferidos durante um segundo. Existem no entanto algumas memórias RAM que podem efectuar duas transferências de dados no mesmo ciclo de relógio, duplicando a taxa de transferência de informação para a mesma frequência de trabalho.

A memória de trabalho de um computador é constituída por RAM. É nesta memória que são carregados os programas em execução e os respectivos dados do utilizador. Uma vez que se trata de memória volátil, os seus dados são perdidos quando o computador é desligado. Para evitar perdas de dados, é necessário salvar a informação para suporte não volátil (por ex. disco).

Para acelerar os acessos à memória de trabalho, utiliza-se normalmente uma memória auxiliar (*cache*²¹).



Figura 7 – Memória SDRAM

As 2 memórias SDRAM (*Synchronous Dynamic Random Access Memory*) utilizadas na Unidade F1_2 têm uma capacidade de 256Mb (268.435.456 bits) são de alta velocidade (*high-speed CMOS*).

São constituídas internamente por 4 bancos de memória DRAM com interface síncrono (todos os sinais são lidos na transição positiva do sinal de relógio (*clock*)). Os 67.108.864 bits por banco estão organizados em 8.192 linhas por 512 colunas por 16 bits.

Memórias StrataFlash

São memórias tipo EEPROM NAND que permitem que múltiplos endereços sejam apagados ou escritos numa só operação. Em termos leigos, trata-se de um chip re-escrevível que, ao contrário de uma RAM, preserva o seu conteúdo sem a necessidade de fonte de alimentação. Esta memória é normalmente usada em cartões de memória e em drives flash USB.

²¹ é uma pequena quantidade de memória estática de alto desempenho, tendo por finalidade aumentar o desempenho do processador realizando uma busca antecipada na memória RAM.

Também vem começando a ser chamado de disco sólido pelo grande futuro que tem pela frente, já que além de ser muito mais resistente que os discos rígidos actuais, apresenta menor consumo, taxas de transferência, latências e peso muito mais baixos. Chega a utilizar apenas 5% dos recursos normalmente empregados na alimentação de discos rígidos. Já é cogitado o seu uso em *notebooks*, o que será expandido para a versão *desktop* no máximo 5 anos.

Uma EEPROM (*Electrically-Erasable Programmable Read-Only Memory*) é um chip de armazenamento não-volátil usado em computadores e outros aparelhos.

Ao contrário de uma EPROM, uma EEPROM pode ser programada e apagada várias vezes, electricamente. Pode ser lida um número ilimitado de vezes, mas só pode ser apagada e programada um número limitado de vezes, que variam entre as 100.000 e 1 milhão. A memória flash é uma variação moderna da EEPROM, mas existe na indústria uma convenção para reservar o termo EEPROM para as memórias de escrita bit a bit, não incluindo as memórias de escrita bloco a bloco, como as memórias flash. As EEPROM necessitam de maior área que as memórias flash, porque cada célula geralmente necessita de um transistor de leitura e outro de escrita, ao passo que as células da memória flash só necessitam de um.

A memória flash NAND (*Not AND*) trabalha em alta velocidade, faz acesso sequencial às células de memória e trata-as em conjunto, isto é, em blocos de células, em vez de acede-las de maneira individual.



Figura 8 – Memória StrataFlash

Com 0.25 μ m a memória StrataFlash é considerada de alta densidade e está organizada em 16Mbytes com 8Mwords o que dá uma capacidade de 128Mbit (131.072 bytes).

3.1.3 Ethernet

É uma tecnologia de ligação para redes locais - *Local Area Networks* (LAN) - baseada no envio de pacotes. Ela define o cabeamento e sinais eléctricos para a camada física, e formato de pacotes e protocolos para a camada de controlo de acesso ao meio (*Media Access Control* - MAC) do modelo OSI²². A *Ethernet* foi padronizada pelo IEEE²³ como 802.3. A partir dos anos 90, ela vem sendo a tecnologia de LAN mais amplamente utilizada e tem tomado grande parte do espaço de outros padrões de rede como *Token Ring*, *FDDI*²⁴ e *ARCNET*²⁵.

A Ethernet foi originalmente desenvolvida num projecto pioneiro da Xerox PARC. Entende-se, em geral, que a Ethernet foi inventada em 1973, quando *Robert Metcalfe* escreveu um memorando para os seus chefes contando sobre o potencial dessa tecnologia em redes locais. Contudo, *Metcalfe* afirma que, na realidade, a Ethernet foi concebida durante um período de vários anos. Em 1976, *Metcalfe* e *David Boggs* (seu assistente) publicaram um artigo, *Ethernet: Distributed Packet-Switching For Local Computer Networks*.



Figura 9 - Ethernet

Ethernet é baseada na ideia de pontos da rede enviando mensagens, no que é essencialmente semelhante a um sistema de rádio, cativo entre um cabo comum ou canal utilizando o protocolo CSMA/CD.

Um esquema conhecido como *Carrier Sense Multiple Access with Collision Detection* (CSMA/CD), organizava a forma como os computadores compartilhavam o canal. Originalmente desenvolvido nos anos 60 para ALOHAnet - Hawaii usando Rádio, o esquema é relativamente simples se comparado ao *token ring* ou rede de controle

²² International Organization for Standardization

²³ Institute of Electrical & Electronic Engineers

²⁴ Fiber Distributed Data Interface

²⁵ Attached Resource Computer NETWORK

central (*master controlled networks*). Quando um computador deseja enviar alguma informação, este obedece o seguinte algoritmo:

1. Se o canal está livre, inicia-se a transmissão, senão vai para o passo 4;
2. [transmissão da informação] se a colisão é detectada, a transmissão continua até que o tempo mínimo para o pacote seja alcançado (para garantir que todos os outros transmissores e receptores detectem a colisão), então segue para o passo 4;
3. [fim de transmissão com sucesso] informa sucesso para as camadas de rede superiores e sai do modo de transmissão;
4. [canal está ocupado] espera até que o canal esteja livre;
5. [canal se torna livre] espera-se um tempo aleatório, e vai para o passo 1, a menos que o número máximo de tentativa de transmissão tenha sido excedido;
6. [número máximo de tentativa de transmissão excedido] informa falha para as camadas de rede superiores, sai do modo de transmissão;

Na prática, funciona como num jantar onde os convidados usam um meio comum (o ar) para falar um com o outro. Antes de falar, cada convidado educadamente espera que o outro convidado termine de falar. Se dois convidados começam a falar ao mesmo tempo, ambos param e esperam um pouco, um pequeno período. Espera-se que cada convidado aguarde por um tempo aleatório para que ambos não aguardem o mesmo tempo para tentar falar novamente, evitando outra colisão. O tempo é aumentado exponencialmente se mais de uma tentativa de transmissão falhar.

3.1.4 PCMCIA

Padrão de dispositivos de informática do tamanho médio de um cartão de crédito e é utilizado para conectar ou substituir outros dispositivos em computadores portáteis (notebooks).

Também conhecido como *PC-Card*, este padrão foi desenvolvido pelo consórcio de grandes empresas de electrónica com o objectivo primário de fornecer mais memória RAM para notebooks. Depois a sua utilização foi incrementada para conectar outros tipos de dispositivos e precisou evoluir em espessura, mas manteve o tamanho original de 85,6 x 54 mm.

Tipos:

Tipo I - 3,3mm de espessura. Usado com memórias.

Tipo II - 5,5mm de espessura. Usado geralmente com placas de fax-modem ou como adaptador para outros dispositivos de interfaces variadas.

Tipo III - 10,5mm de espessura. Bastante usado com discos de armazenamento.

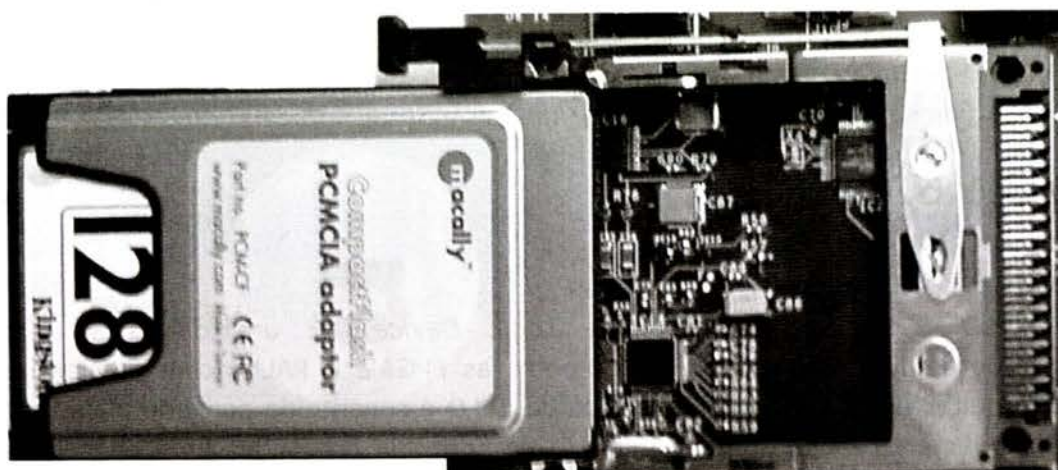


Figura 10 – Conector PCMCIA

Na Unidade F1_2 a PCMCIA vai ser utilizada para carregar o programa de arranque (*bootloader*) e o Sistema Operativo, isto na parte de configuração da unidade, quando o sistema tiver a funcionar em pleno pode-se utilizar para comunicar sem fios (via *wireless* ou *Bleutooth*).

3.1.5 Audio

A parte de áudio da Unidade F1_2 ainda não está bem definida para o que vai ser utilizada, mas pode ser um óptimo complemento à unidade visto que as unidades actuais só têm um besouro, as mensagens são sons enquanto nesta nova unidade as mensagens podem incluir mensagens de voz pré gravadas e até reproduzir músicas.

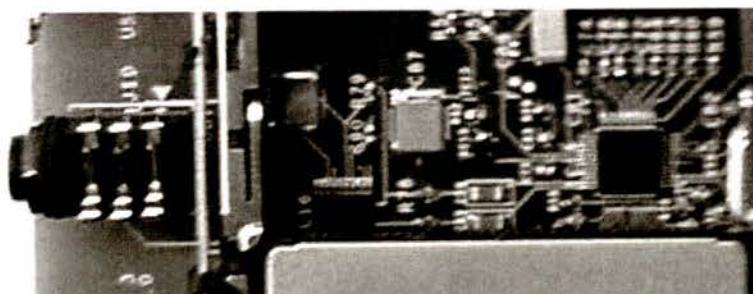


Figura 11 – Sistema de Áudio

A nível de áudio a Unidade F1_2 com *Windows CE* é muito parecida com um PC com *Windows XP*, o gestor de multimédia da unidade *Windows Media Player* com algumas limitações, mas não no que diz respeito às extensões reconhecidas, mas sim em funcionalidades menos importantes.

3.1.6 CPLD

CPLD (*Complex Programmable Logic Device*). É um dispositivo de lógica programável com complexidade entre as FPGA's e PAL's, com características de arquitectura semelhantes. O Bloco da CPLD é constituído por uma pilha macro, que implementa expressões normais do formulário e operações mais especializadas de lógica.

Características comuns com as PAL (*Programmable Array Logic*):

- Memória não-volátil (não precisa de refrescamento).
- Ao contrário da FPGA não necessitam de memória PROM²⁶.
- Funciona imediatamente com o arranque do sistema.
- Trabalha com a maioria dos dispositivos.
- As entradas e saídas dos blocos de lógica tem ligação aos pinos exteriores.
- É difícil guardar estados lógicos.

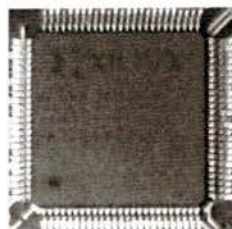


Figura 12 – Circuito da CPLD

Características comuns com as FPGA (*Field-Programmable Gate Array*):

- Grande número de portas disponíveis. As CPLD's têm tipicamente cerca de mil a dez mil portas lógicas, permitindo trabalhar com dispositivos complexos.
- As FPGA já suportam além das operações elementares binárias, operações aritméticas.

²⁶ *Programmable Read-Only Memory*

A diferença a mais visível entre uma CPLD e uma FPGA é a presença da memória permanente (não-volátil) na CPLD.

Esta característica de não-volátil faz com que as CPLD's sejam usadas frequentemente em projectos digitais executando funções de programa de arranque (*bootloader*) antes do arranque de outros dispositivos que não têm esta potencialidade. Um exemplo bom é o lugar onde um CPLD é usado na Unidade F1_2 que esta a auxiliar o processador nas funções de arranque (*bootloader*).

3.1.7 Display

LCD é um monitor de cristal líquido (em inglês: *Liquid Crystal Display*), é um monitor muito leve e fino sem partes móveis. Consiste de um líquido polarizador da luz, electricamente controlado que se encontra comprimido dentro de celas entre duas lâminas transparentes polarizadoras. Os eixos polarizadores das duas lâminas estão alinhados perpendicularmente entre si. Cada cela é provida de contactos eléctricos que permitem que um campo magnético possa ser aplicado ao líquido lá dentro.

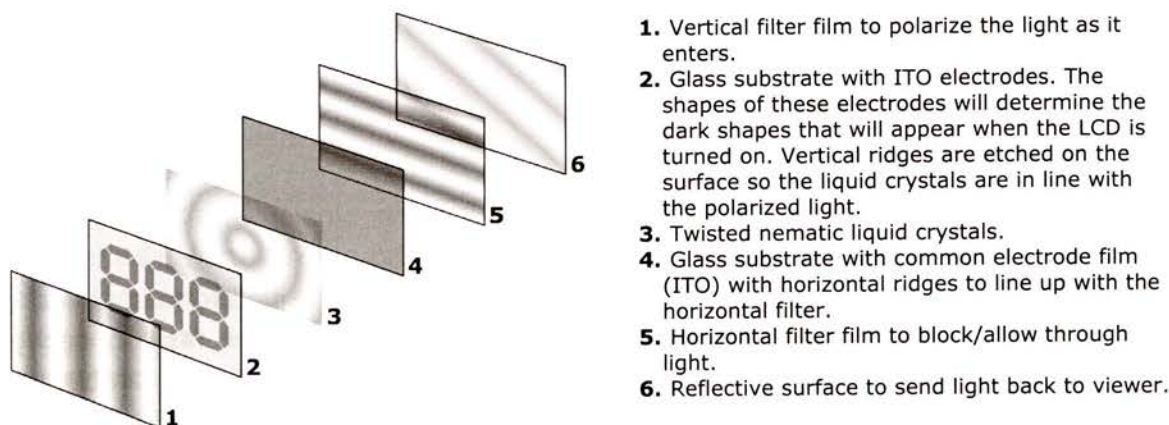


Figura 13 - Camadas de um LCD

Touch Screen é uma das possibilidades que o utilizador tem para interagir com a Unidade F1_2, pois já não existe o teclado que existia na unidade actual.

É uma tecnologia utilizada em monitores, na forma de uma tela transparente, sensível ao toque, acoplada sobre a área de exibição do monitor de vídeo. Essas telas são tipicamente sensíveis a pressão (resistivas), sensíveis a electricidade (capacitivas), sensíveis a som (SAW (*Surface Acoustic Wave*) - onda acústica de superfície) ou fotossensíveis (infravermelho). O efeito de tais telas permite que um

monitor seja usado como um dispositivo de entrada, removendo o teclado e/ou o rato como o dispositivo de entrada preliminar interagindo com o monitor. Tais monitores podem ser ligadas aos computadores ou, como terminais, às redes.

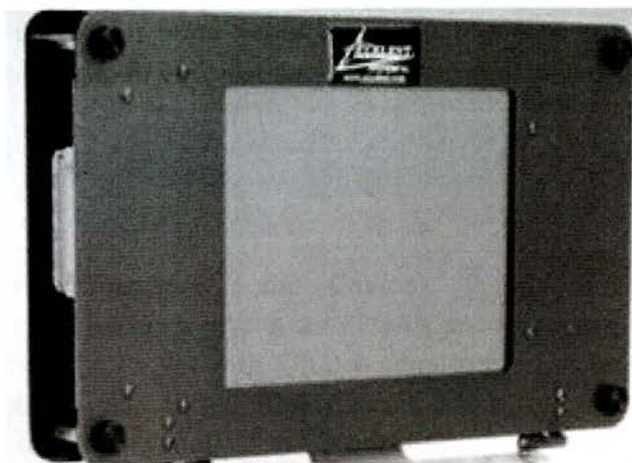


Figura 14 – Monitor LCD Touch Screen do kit Accelent

3.2 Firmware

3.2.1 Platform Builder

Platform Builder é a ferramenta de desenvolvimento de plataformas usada pelo desenvolvimento *Embedded* para projectar, construir, testar e fazer o debug de uma imagem do sistema operativo *Windows CE .NET*. É um ambiente de desenvolvimento integrado (*integrated development environment (IDE)*) desenvolvido especificamente para construir plataformas embebidas personalizadas para dispositivos de pequeno tamanho e com base no *Windows CE .NET*.



Microsoft® Platform Builder 4.20
Copyright © 1992-2003 Microsoft Corporation. All rights reserved.

Figura 15 – Logótipo do Platform Builder

As características fundamentais no *Platform Builder* para *Windows CE .NET 4.2* são:

- **Nova Página Iniciar.** Quando inicia-se o *Platform Builder*, uma página iniciar com um conteúdo útil se abre automaticamente. A página iniciar também exibe notificações da web para informar quando existem actualizações da *Microsoft* e lança as actualizações de engenharia de conserto rápido [*quick fix engineering* (QFE)]. (QFE's estão disponíveis agora para *Platform Builder* com *Windows CE .NET 4.2*.)
- **Novo Assistente de Plataforma.** O assistente ajuda na criação de uma nova plataforma especificamente para um dispositivo.
- **Configurações de Base (Templates).** *Windows CE .NET* oferece configurações de sistema operacional para categorias de dispositivo populares que oferecem um ponto de partida para o seu sistema operacional personalizado. *Windows CE .NET 4.2* inclui 12 plataformas pré-configuradas:
 - *Digital Media Receivers*
 - *Enterprise Terminals*
 - *Enterprise Web Pad*
 - *Gateways*
 - Controladores industriais
 - *Internet Appliances*
 - Telefones de Protocolo de Internet (IP)
 - *Mobile handhelds*
 - Telefones móveis
 - *Set-top boxes*
 - *Tiny Kernels*
 - *Windows thin clients*
- **Emulador.** A tecnologia de emulação acelera e simplifica o desenvolvimento emulando o *hardware* do projecto, permitindo que o usuário teste plataformas e aplicativos em uma estação de trabalho de desenvolvimento sem o investimento de *hardware* adicional. *Windows CE .NET* suporta a instalação com uso concorrente, assim, os engenheiros de desenvolvimentos podem executar duas versões do Emulador *Windows CE .NET* simultaneamente em uma única estação de trabalho de desenvolvimento:
 - Versões 4.1 e 4.2
 - Versões 4.0 e 4.2
 - Versões 4.0 e 4.1
- **Assistente BSP.** Esse assistente facilita o processo de criação de um pacote de suporte à placas [*board support package* (BSP)].

- **Catálogo.** O Catálogo *Windows CE .NET* exibe uma lista de características opcionais do sistema operacional que podem ser usadas para personalizar uma plataforma.
- **Windows CE Test Kit (CETK).** O CETK oferece um conjunto de ferramentas de teste de *driver* e a capacidade de visualizar os testes suportados e não-suportados.
- **Debugger Kernel.** Essa ferramenta faz o *debug* da imagem do seu sistema operacional personalizado e oferece informações referentes ao desempenho da imagem.
- **Debugger Aplicativo.** Essa ferramenta faz o *debug* de aplicativos na imagem do seu sistema operacional personalizado.
- **Verificação de Dependência Automatizada.** A verificação de dependência automatizada garante que todas as características requeridas para suportar uma plataforma estejam incluídas na imagem do sistema operacional.
- **Assistente de Exportação.** O Assistente de Exportação exporta as características de Catálogo personalizado para outros usuários do *Platform Builder*.
- **Assistente do SDK Exportação.** Esse assistente permite que o usuário exporte um kit de desenvolvimento de software personalizado [*software development kit* (SDK)].
- **Ferramentas Remotas.** As últimas ferramentas remotas realizam uma variedade de *debug* e tarefas de coleta de informações nos dispositivos baseados em *Windows CE .NET*.

3.2.2 Schema Corelinx

*Accelent*²⁷ é a empresa à qual se adquiriu o kit IDP de desenvolvimento e o software *Schema* pois já contém um BSP compatível com a Unidade F1_2. *Accelent* combinou as suas 2 ferramentas de desenvolvimento do software, *DeviceWare* e *CoreLinx*, no *Schema Development Suite* para o desenvolvimento dos dispositivos tais como alguns PDA's, e telefones. As bibliotecas de código do

²⁷ A *Accelent Systems* foi entretanto comprada pela *Vibren Technologies*-
<http://www.vibren.com/>

DeviceWare, as ferramentas de *CoreLinx*, e as plataformas de *hardware* trabalham em conjunto para ajudar no código de fonte a configurar imagens customizadas do sistema.

DeviceWare é uma biblioteca dos módulos configuráveis de *hardware* e *software* para dispositivos portáteis que a *Accelent* possui, com a experiência da companhia desenvolve dispositivos baseados em microprocessadores, com autonomia eléctrica (bateria) e comunicações *wireless*.

DeviceWare gera as imagens do software de sistema baseadas em projectos específicos de *hardware* abstraindo as dependências do próprio *hardware* dentro dos componentes de *software* de *DeviceWare* a uma só camada da configuração.

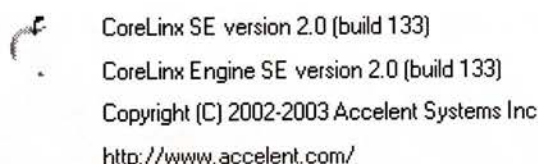


Figura 16 – Logótipo do Schema CoreLinx

CoreLinx, é a ferramenta do software, de configuração, e criação de imagens executáveis (*Boot.bin* & *NK.bin*), as imagens executáveis do *DeviceWare*, movendo os módulos de *DeviceWare* para plataforma de *hardware*.

Antes do *Schema*, o *DeviceWare* e *CoreLinx* foram usados em muitos dispositivos, incluindo o Pocket PC e310 da *Toshiba*, o *web pad* da *X-Pilot* e o *NPD-10JWL PDA* da *Hitachi*.

O *Schema* suporta o *Windows CE .NET*, o *Windows CE 3.0*, o *Pocket PC / Pocket PC 2002* e *Smart Phone 2002* e suporta estes processadores: O processador, *Intel PXA250/210* e aplicações do processador, *Intel StrongARM*, e outros processadores baseados na arquitectura ARM.

3.2.3 Windows CE .NET ou Windows XP Embedded

1. Windows CE .NET e Windows XP Embedded: Benefícios Comuns

Quando analisados do ponto de vista de confiabilidade do produto, qualidade das ferramentas de desenvolvimento e fontes de informações necessárias para desenvolvimento de projectos, o *Windows XP Embedded* e o *Windows CE .NET* se equivalem, sendo os sistemas operacionais mais evoluídos e que permitem o

melhor *time-to-market* de sistemas embebidos do mercado. Entretanto, dado a grande variedade de dispositivos hoje equipados com sistemas embebidos, para as mais diversas finalidades, a *Microsoft* dispõe de 2 alternativas, as quais, dependendo do tipo de projecto, uma, ou outra, será a mais indicada do ponto de vista económico (em alguns casos só será possível uma das alternativas).

1.1. Ferramentas de Desenvolvimento Simples e Eficientes

Não existe nenhuma alternativa que se aproxime em termos de qualidade e simplicidade das ferramentas de desenvolvimento empregadas nos projectos de sistemas embebidos usando a tecnologia *Microsoft Embedded*. Tanto o *Windows CE .NET* quanto o *Windows XP Embedded* dispõe de um ambiente integrado, com rica interface gráfica que permitem a construção de imagens através da selecção de componentes (*drivers*, protocolos, aplicações, bibliotecas...) já prontos de uma base de dados diminuindo, consideravelmente o *time-to-market*.



Figura 17 – Logótipo Windows Embedded

1.2. Investimento Inicial e Compromisso com o Sucesso

Diferente dos concorrentes, a *Microsoft* disponibiliza sem custo as ferramentas de avaliação do *Windows CE .NET* e do *Windows XP Embedded*, que permite que o projecto seja inteiramente desenvolvido sem custos de aquisição. O interessante é que após a imagem estar desenvolvida, testada e aprovada com sucesso, só a partir deste instante é que o cliente irá adquirir a ferramenta de desenvolvimento definitiva. Nenhum trabalho extra será necessário uma vez que o projecto pode ser importado da ferramenta de avaliação para a ferramenta definitiva. Já a concorrência costuma vender em primeiro lugar a ferramenta de desenvolvimento, e se a tecnologia que ela utilizar, ou se a ferramenta for ineficiente, o investimento estará perdido (assim como seu o tempo gasto).

1.3. Tranquilidade a Longo Prazo

Escolher a tecnologia *Windows Embedded* significa optar por uma linha de produtos que a cada ano vem recebendo maior volume de investimentos, com uma evolução planeada e que atendem a padrões de qualidade e certificações sem paralelos na concorrência. A estabilidade financeira da *Microsoft* permite não apenas garantir os

melhores sistemas hoje, mas, garantir que por muito tempo seus produtos terão evoluções e suporte.

2. Windows XP Embedded

Windows XP Embedded é uma versão por componentes do *Windows XP Pro*. Através de uma ferramenta de desenvolvimento que é possível seleccionar de um conjunto de 10.000 componentes pertencentes ao *Windows XP Pro* apenas aqueles que fazem sentido em estar presentes em um dispositivo dedicado qualquer. Sendo assim, a imagem desenvolvida trará vantagens de desempenho, tamanho, robustez, segurança e outras para equipamentos como caixas-automáticos (Multibanco), pontos de venda, colectores de dados etc.

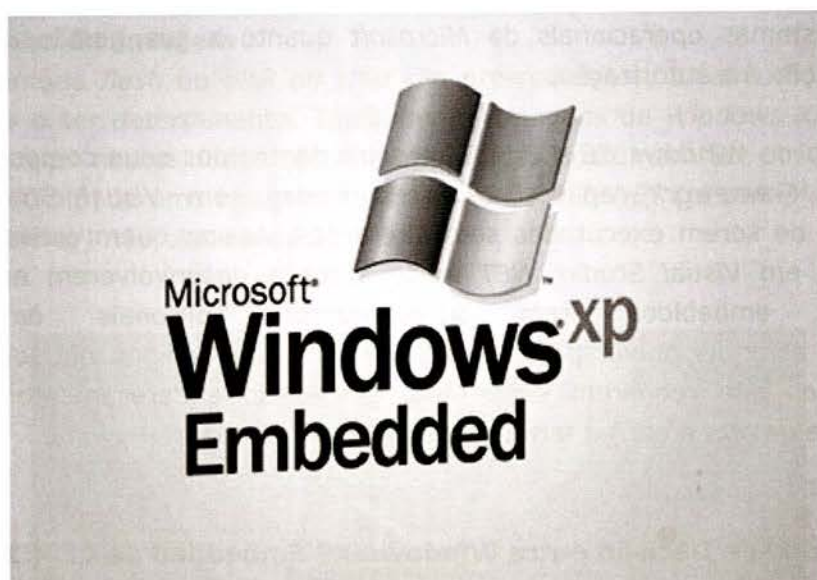


Figura 18 – Logótipo Do Windows XP Embedded

Sendo uma versão por componentes do *Windows XP Pro* os binários são os mesmos, permitindo que o *Windows XP Embedded* disponha da compatibilidade dos mais actuais recursos de multimédia e *web browsers* do mercado, sem falar da disponibilidade extraordinária de *device drivers* já prontos, sem que haja o menor custo de desenvolvimento. Entretanto, o *Windows XP Embedded* também dispõe de componentes característicos e necessários para equipamentos dedicados como: "boot" múltiplo, "boot" de CD, filtro de escrita entre outros recursos.

Baseado no conjunto de *API Win32*, possibilita que sejam usados para desenvolvimento de aplicações, ambientes amigáveis e familiares como *Visual Basic* ou *Visual Studio .Net* reduzindo investimento em sistemas e a especialização em tecnologias proprietárias.

3. Windows CE .NET

Nascido especificamente para ser utilizado em sistemas embebidos, o *Windows CE .NET* já incorpora nativamente recursos de *real-time*, geração de imagens de tamanho extremamente reduzido, mobilidade além de ferramentas de desenvolvimento específicas para construção, *debug* e *deployment* de dispositivos personalizados.

Assim como o *Windows XP Embedded*, o *Windows CE .NET* dispõe de uma ferramenta de desenvolvimento, onde cerca de 450 componentes podem ser seleccionados de forma a se gerar um sistema operacional personalizado para atender especificamente às necessidades de um dispositivo de forma otimizada. Ideal para dispositivos móveis e remotos, possibilita integrar-se totalmente com outros sistemas operacionais da *Microsoft* quanto a sua gestão, administração, autenticação e a autorização.

Pelo facto do *Windows CE 4.2 .NET* possuir dentro dos seus componentes o *.NET Compact Framework*, aplicações desenvolvidas com *Visual Studio .NET* são passíveis de serem executadas sem alterações. Assim, quem estiver habituado a trabalhar em *Visual Studio .NET* estão aptos a desenvolverem aplicações para sistemas embebidos sem investimentos adicionais em formação. Também está disponível para desenvolvimento de códigos nativos (necessários para casos que requerem segurança, gestão do endereçamento de memória, criação de *drivers* e etc.) a ferramenta *eMbedded Visual C++*.

4. Critérios de Decisão entre Windows XP Embedded de CE 4.2 .NET

Não existe uma receita ou uma tabela de sistemas que defina se o sistema *Embedded* a ser utilizado deva ser o *Windows XP Embedded* ou o *Windows CE 4.2 .NET*. Em certas situações a definição é imediata, mas, existem casos em que é importante uma análise cuidadosa. Abaixo, algumas características importantes a serem analisadas nesta tomada de decisão.

4.1. Arquitectura da CPU

Para processadores X86, tanto o *Windows XP Embedded* quanto o *Windows CE 4.2 .NET* podem ser utilizados. Além da arquitectura X86, o *Windows CE 4.2 .NET* também suporta ARM (*ARM720T*, *ARM920T*, *ARM1020T*, *StrongARM* e *XScale*), MIPS (*MIPS II/32*, *MIPS 16*, *MIPS IV/64*) e SH (*SH-3*, *SH-4*).

4.2. Real-Time Support

O *Windows CE 4.2 .NET* possui *hard real time* nativo. Na verdade, o *Windows XP Embedded* também poderá ser usado em soluções que exijam tempo real, entretanto para nestes casos será necessária aquisição de sistemas de terceiros, e a solução não será genuína.

4.3. Aplicações Baseadas em Win32

No caso de soluções que estejam já desenvolvidas baseadas no *Win32* e com *device drivers* já disponíveis para *Windows XP Pro*, não haverá nenhuma necessidade de porte para *Windows XP Embedded*. Já para *Windows CE 4.2 .NET* estas aplicações e *device drivers* deverão ser portados. Devido ao custo da licença *Runtime* do *Windows CE 4.2 .NET* ser muito menor do custo da licença *Runtime* do *Windows XP Embedded*, existem casos que, mesmo havendo a necessidade de desenvolvimento e porte de aplicações, o *Windows CE 4.2 .NET* ainda seja financeiramente mais interessante, mesmo considerando um *time-to-market* maior.

4.4. Tamanho da Imagem

Quando memória *flash* ou *disk on ship* são pré-requisitos, o tamanho da imagem pode passar a ser determinante. Tipicamente, imagens de *Windows XP Embedded* que atendem as necessidades técnicas requeridas costumam ter um tamanho de 100 MB a 150 MB. Já uma imagem de *Windows CE 4.2 .NET* (já com *Media Player* e *Internet Explorer*) não ultrapassa 25 MB.

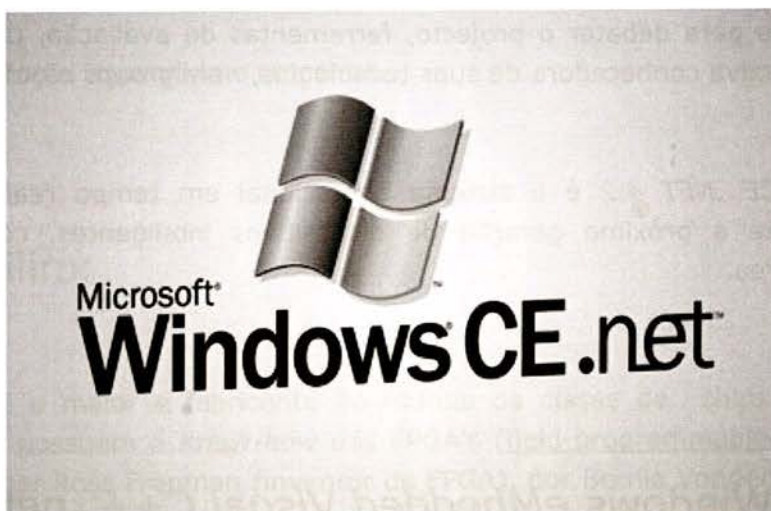


Figura 19 – Logótipo Windows CE .NET

5. Conclusão

Planeamento é o segredo para se obter o custo-benefício ótimo. Como primeiro passo para a tomada de decisão, seria interessante listar os custos de ferramenta de desenvolvimento, licenciamento de "software" (lembrar que nem tudo que está na *web* para *download* é gratuito), a formação nos ambientes de desenvolvimento e *time-to-market*.

Componente importante da análise é as características da aplicação. Se já estiver desenvolvida em *Win32*, com *Windows XP Embedded* não há necessidade de porte. Caso contrário será necessário. Existem casos onde a mão de obra com formação em *Visual Studio* pode ser aproveitada para desenvolvimento da aplicação em *Windows CE 4.2 .NET*. Em outros casos pode ser necessário desenvolver um *device driver* então, a formação em *eMbedded Visual C++* deve ser considerado.

Ainda existem as questões relativas à evolução do equipamento. Tipicamente um *scanner* de código de barras é um *scanner* de código de barras a vida inteira. E assim é também para um torno industrial, um radar rodoviário e etc.. Nestes casos comprar uma imagem já desenvolvida pode ser uma boa alternativa, pois nenhuma modificação futura será necessária, e o investimento em formação seria economizado. Mas, existem aqueles casos que o equipamento deve evoluir. Um ponto de venda pode ficar mais amigável com uma versão de alguma aplicação nova, ou, apareceu no mercado uma nova impressora fiscal melhor e mais barata, só que o fabricante disponibilizou seu *driver* apenas para *Windows XP Pro*. Se a solução esta baseada em *Windows XP Embedded*, basta instalar o *device driver* na imagem. E se não for *Windows XP Embedded*? A impressora será descartada e a economia desconsiderada.

Parece complicado a tomada de decisão? Na verdade pode ser mais simples do que parece, a Microsoft possui uma rede de distribuição mundial formada e disponível para visitas para debater o projecto, ferramentas de avaliação, uma comunidade grande e activa conhecedora de suas tecnologias, *newsgroups* e etc. e sem nenhum custo.

Windows CE .NET 4.2 é o sistema operacional em tempo real para construir rapidamente a próxima geração de dispositivos inteligentes, conectados e de pequena área.

3.2.4 Windows *eMbedded Visual C++ .net*

O *Windows embedded Visual C++ .NET* é o software utilizado para criar aplicações para correr sobre *Windows CE .NET* com um processador da tecnologia *Xscale*.

Algumas vantagens da utilização desta ferramenta:

- O *Visual C++ .NET* permite que o programador escreva código com maior velocidade e com menos erros.
- Conformidade do C++ com as normas ISO. Com uma taxa de conformidade de 98% com as normas ISO.
- Optimizações actualizadas do compilador. O programador poderá construir aplicações que andam com maior velocidade nos modernos processadores *Intel Pentium IV* e *AMD Athlon*.
- Verificações aperfeiçoadas de segurança do buffer. O *Visual C++ .NET* oferece um recurso aperfeiçoado de compilador (com um conjunto expandido de características de prevenção contra ataques) que serve como uma espécie de "para-quedas de reserva", capturando os ataques mais comuns feitos ao código-fonte de programas de software.
- Melhor diagnóstico do compilador. O *Visual C++ .NET* simplifica o diagnóstico e os alertas antes bastante complexos do compilador através de mensagens mais claras.
- Depuração aperfeiçoada no C++. Com aperfeiçoados recursos de depuração do código e depuração através de várias linguagens, a depuração do C++ é bem mais simples e poderosa que antes.
- Documentação expandida e amostras.

3.2.5 Xilinx

Xilinx, Inc. é o maior e fabricante do mundo da classe de chips de hardware configurável, possuem o *Know-how* das FPGA's (field-programmable gate arrays). Foi fundado por Ross Freeman (inventor de FPGA), por Bernie Vonderschmitt, e por Jim Barnett em 1984 em Silicon Valley. Actualmente, está localizada em San José, Califórnia; na Europa tem sedes em Dublin, Irlanda e na Ásia está localizada em Singapura. Tem também escritórios em Austin, Texas; Longmont, Colorado e Toronto, Canadá.



Figura 20 – Logótipo da Xilinx

Xilinx desenvolve os dispositivos de FPGA e de CPLD que são usados em numerosas aplicações dentro das telecomunicações, ramo automóvel, do consumidor final, de defesa, e dos outros campos. Xilinx oferecem famílias de dispositivos para a lógica de colagem (CoolRunner, CoolRunner II), baixo custo (Spartan), e aplicações de tecnologias de ponta (de Virtex) além de dispositivos que suportam PROM's (*programmable read-only memory*).

Xilinx desenvolve cores IP desenhados em HDL e permite que os desenhadore minimizem o *time to market*. Estes cores variam de funções simples (tais como codificadores do BCD, contadores, etc.) aos sistemas complexos (tais como cores de trabalho em rede de multi-gigabit e microcontroladores embebidos). A Xilinx possui um serviço que cria cores por encomenda.

Xilinx oferece ferramentas electrónicas de desenho de projecto (EDA) para o uso dos seus dispositivos. O pacote principal é o ISE, que oferece um EDA completo.

Utilizou-se este software para alterar o código de programação da CPLD e para fazer *download* do mesmo para a CPLD através de um cabo JTAG.

3.2.6 Cadence Allegro Design Entry HDL 15.5

Cadence Allegro Design é o software que se utilizou para desenvolver o PCB. As vantagens deste software relativamente a outros CAD's²⁸ é que tudo o que se possa fazer fisicamente nele se consegue realizar, logo tem as contrapartidas que é as imensas opções que isso acarreta. Têm outra vantagens mais técnicas que são:

- Atribui e controla rapidamente regras do projecto para redes tais como sinais diferenciais usando embebido o *Allegro Constraint Manager*
- Integra com o *Allegro MAS Simulator*, o *NC-Sim* e o *Allegro PCB SI* para a simulação e análise dos sinais do PCB ou do FPGA.
- Permite a sincronização de projectos lógicos com o desenho físico (*Layout*) usando ferramentas de diferenças visuais.
- Assegura a integridade do projecto entre usuários múltiplos através da sustentação baseada em equipa com controle sistemático da versão.
- Permite customização do usuário oferecendo menus modificáveis, os *toolbars* personalizáveis, satisfazendo as necessidades individuais, assim com permite desenvolver novos comandos.

An integrated technology platform supports the VSIC model, IP availability, and silicon design-in technology

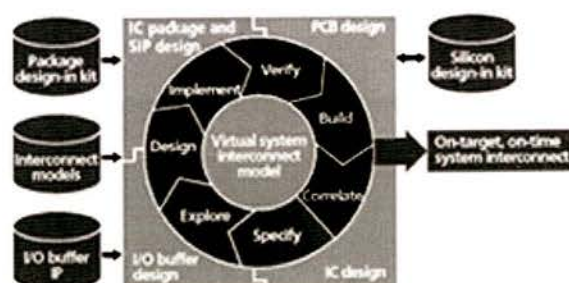


Figura 21 – Diagrama de Blocos do Cadence Allegro

²⁸ Desenho Assistido por Computador

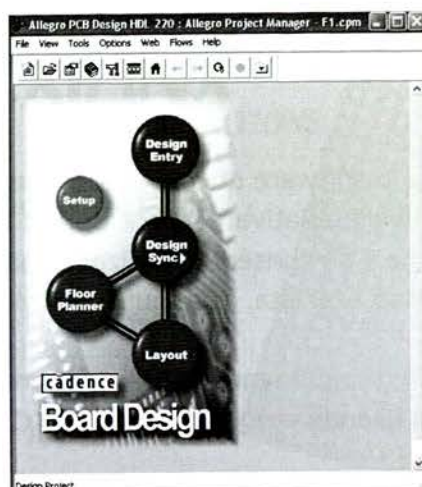


Figura 22 – Entrada do Cadence Allegro (Apresentação das várias Opções).

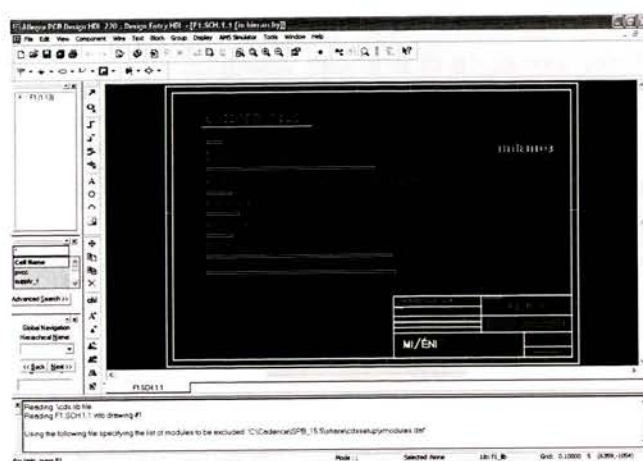


Figura 23 - Ambiente de Trabalho Schematics

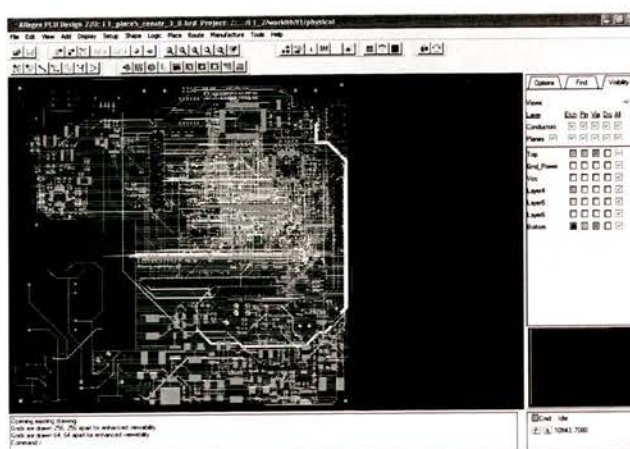


Figura 24 - Ambiente de Trabalho *Layout*.

4 Solução Desenvolvida (Arquitectura)

4.1 Hardware

O Objectivo deste hardware é fazer a recolha de marcações (“picagens de ponto”), para isso tentou-se conceber um sistema que consiga facilmente comunicar com o utilizador, por isso existem vários tipos de interfaces que permitem ligar diferentes tipos de sensores.

O sistema é baseado na tecnologia *Xscale* da *Intel*, usada em PDA's, uma tecnologia muito compacta e de baixo consumo com grandes potencialidades de cálculo.

No diagrama a seguir consegue-se ver as ligações entre os blocos da Unidade F1_2. A maioria dos blocos já são típicos de um sistema embebido.

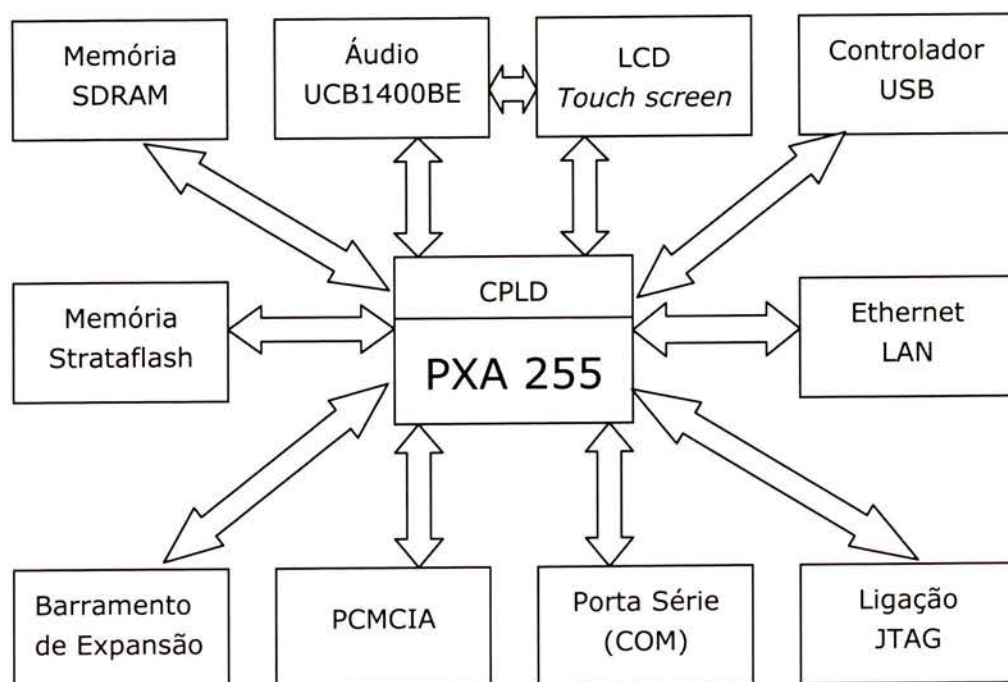


Figura 25 – Diagrama de Blocos da Unidade F1_2.

4.1.1 Esquema da Unidade F1_2

O esquema da Unidade F1_2 foi feito tendo como referência o esquema do kit de desenvolvimento IDP (*Integrated Development Platform*) da *Accelent*.

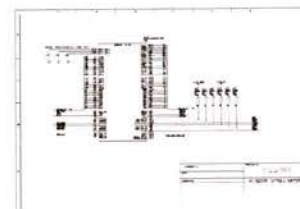
Para uma melhor compreensão dos pontos descritos abaixo, é aconselhável acompanhar a leitura com a observação do esquema que está no anexo B.

Página 1 – Capa e índice

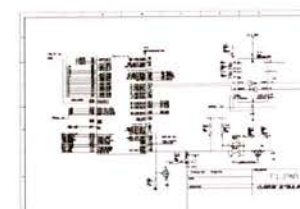


Página 2 – CPU (section 1 of 3)

- Os sinais de *boot_sel<2..0>* foram ligados à massa porque o *boot* da F1_2 é feito através de memória *flash 32-bit*.
- A unidade F1_2 vai utilizar 64MB de SDRAM pelo que apenas usa o banco 0 reservado a este tipo de memória. Os bits relativos aos outros bancos de memória foram deixados desconectados (*SDCS3#*, *SDCS2#*, *SDCS1#*, *SDCKE0*, *SDCLK2*, *SDCLK0*). As ligações destes bits estão descritas no ficheiro *Design Guide* da documentação do processador.
- Os pinos de GPIO ficaram assim:
 - GP22 (receptor IR ou interrupção do slot 1 da PCMCIA): não ligado.
 - GP21 (detector de falha na alimentação): este pino serve de 1º aviso a uma possível falha de alimentação, provavelmente foi utilizado pela *Accelent* para implementar *power management* (os outros esquemas de referência usam este pino para outras aplicações). Como o IC²⁹ de potência utilizado não tem este pino de sinalização e a detecção da falha é feita através de outros circuitos, optou-se por ligar este pino a Vcc através de uma resistência de *pull-up*.
 - GP19: função seleccionada, *PCC_S0_IRQ_O#*



Página 3 – CPU (section 2 of 3)



²⁹ Circuito Integrado

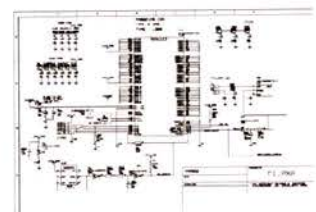
O pino D12 (PWM1/GP17) foi ligado à interrupção do controlador USB. Ver na secção seguinte (4.1.2), quando se trata o controlador USB.

- A porta série FF (*Full-function*) foi ligada segundo o esquema de referência (ligação de RXD e TXD).
- Funcionalidade ligadas ao conector de expansão:
 - I2C
 - Porta série *Blue-Tooth*
 - Porta série *Infra-Red*
- Funcionalidades não utilizadas:
 - Cliente USB
 - Porta SSP
 - Pino AC_SDIN1 (segundo canal de áudio)
 - MMC
- Pinos GPIO não ligados:
 - MBREQ/GP14, MBGNT/GP13, 32KHZ_OUT/GP12, 3.6MHZ_OUT/GP11: estes pinos estavam ligados à CPLD mas analisando o código vê-se que não são precisos.
 - MMC_CS1/GP09, MMC_CS0/GP08, MMC_CLK/GP06, GP03, GP02: estes pinos pertencem a funcionalidades não utilizadas.

Página 4 – CPU (section 3 of 3)

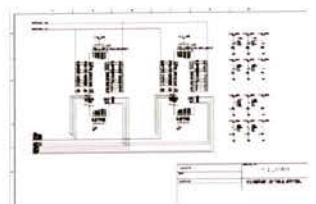
O lado esquerdo do processador foi ligado como no esquema de referência.

As diferenças são que a tensão V_{+core} usa uma *ferrite-bead* em vez de uma bobina, e o conector JTAG é de 6 pinos e não de 20.



- Os pinos da porta NSSP foram ligados ao conector de expansão para serem usados como GPIO's.
- Nesta parte também está representado o circuito de bateria de *backup* gerado por uma pilha de 3V.

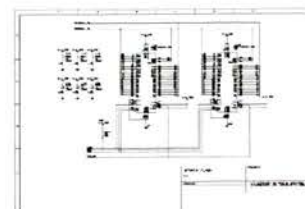
Página 5 – Memórias SDRAM



- As memórias utilizadas foram duas de 16Mx16b (256Mbits) = 2x32MB=64MB

Página 6 – Memória StrataFlash

- O sinal de WE# foi ligado directamente ao sinal WE# do processador.
- O sinal de *Chip Select* foi ligado ao CS0 do processador (J77) – secção de memória por onde o processador faz o boot (banco 0). A outra opção permitiria fazer *boot* pelo *DiskOnChip*. Esta selecção permite trocar o endereçamento da Flash e *DiskOnChip*, entre os bancos 0 e 1.



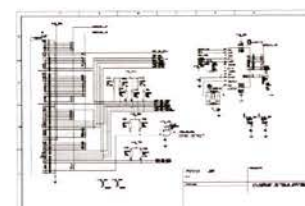
Página 7 – Ethernet – 10/100BaseT

- A EEPROM não foi utilizada; esta configuração é indicada pelo sinal ENEEP ligado à massa. O *MAC Address* tem de ser definido na imagem ou configurado à posteriori.



Página 8 –Interface PCMCIA/ Controlador USB

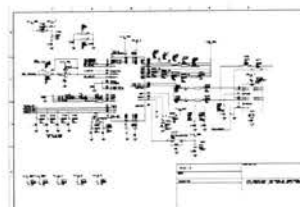
- V+PCMCIA0 e V+PCC0_12 eram tensões programáveis para 5V e 3.3V. Como foi decidido utilizar apenas 3.3V, estas tensões estão ligadas ao sinal V+3.3SW.
- Foi utilizado um fusível de 500mA para limitar a corrente do USB e proteger o circuito dos 5V, pois caso se liga-se um dispositivo em curto-circuito ao USB iria queimar o fusível principal da Unidade F1_2 ou o circuito de regulação dos 5V o que fazia com que o resto da unidade deixa-se de funcionar.
- A interface PCMCIA é idêntica à do kit IDP.
- O controlador USB foi projectado tendo em conta um documento incluído no *Schema*, que apresenta um circuito de um controlador USB para ser ligado ao conector de expansão do IDP.
- As ligações dos sinais de controlo do controlador USB são triviais (nRD, nWR, nRST). O chip select recomendado é o CS4#, pelo que foi esse o



utilizado. No circuito de expansão apresentado pelo documento, a interrupção do controlador teria de ser a interrupção associada ao conector de expansão (IRQ_AXB). Logo, a interrupção do controlador USB foi ligada no lugar do sinal IRQ_AXB, ou seja, no sinal PWM1/GP17 do processador.

Página 9 – Audio

- Os sinais do AD3 e AD2 do UCB1400 foram ligados à massa através de uma resistência.
- Os sinais do AD3 e AD2 do UCB1400 foram ligados à massa através de uma resistência.
- O circuito de amplificação do sinal foi feito com o IC LM4863, como no esquema de referência.



Página 10 – CPLD

- A CPLD que se utilizou para o protótipo da unidade F1_2 foi uma CPLD da mesma família da CPLD usada na plataforma IDP, mas uma versão com menos pinos (e um package diferente) já que foram eliminados alguns sinais. Em relação ao código da CPLD, os ficheiros encontra-se no CD que acompanha o relatório.



- pld-0011-0410.ucf: é o ficheiro que descreve que sinais ligam a que pinos da CPLD, por exemplo, a instrução: NET cs0 LOC=PC7, significa que o sinal CS0 está ligado ao pino C7 da CPLD (O *package* da CPLD usada no IDP é um BGA por isso os pinos são tipo "LetraNumero"³⁰).

- pld-0011-0410.vhd: este é o ficheiro contém as equações da CPLD

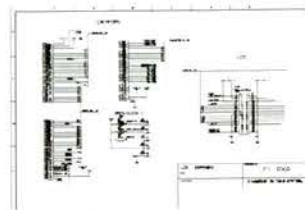
- pld_0011_0410.jed: este ficheiro, contém o código binário que deve ser descarregado para a CPLD. AXilinx – www.xilinx.com – permite fazer o *download* gratuito do software de desenvolvimento do código para os seus componentes³¹

³⁰ Antes do nome de cada pino, aparece a letra P, pelo que a procura pelo sinal que está ligado ao pino A1, pode ser feita procurando PA1.

³¹ http://www.xilinx.com/xlnx/xebiz/designResources/ip_product_details.jsp?key=DS-ISE-WEBPACK

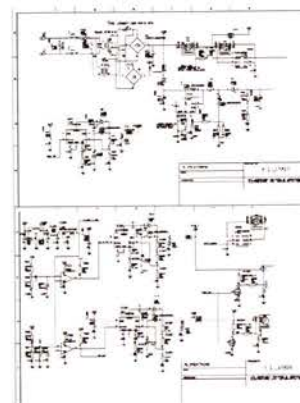
Página 11 – LCD Expansão

- Foram utilizados 3 conectores de expansão de 30 pinos, em que foram ligados todos os sinais importantes para uma possível ampliação do circuito.
- Os sinais que estão disponíveis no barramento de expansão:
 - Barramento de endereços: ADDR<25..0>.
 - Barramento de dados de 16 bits: DATA<15..0>.
 - Bits de controlo: DQM0, DQM1, CS1#, CS2#, CS3#, OE#, BVL_WE#, RDY.
 - Porta série Blue-Tooth: BT_TXD, BT_RXD, BT_RTS, BT_CTS, SERIAL2_EN.
 - Porta série IR: IR_TXD, IR_RXD, IRDA_MD0, IRDA_MD1, IRDA_FIR, SERIAL3_EN.
 - GPIOs do processador - GP<84..81>, e GPIOs da CPLD – PLD_GPIO<7..0>.
 - Alimentação: 5V, 3.3V, massa (Ground).
- Também estão apresentadas as ligações dos sinais lógicos do conector *Data/Clock* assim como *LCD*.



Página 12 e 13 – Alimentação

- A Fonte de alimentação utiliza quase todos os IC da *Linear Technology*.
- A entrada da alimentação é protegida por um varistor, duas bobinas, uma PTC e um condensador antes do transformador, este circuito é obrigatório para ser aprovado pela organização responsável pelos circuitos electrónicos.
- Existem dois transformadores em paralelo assim como duas pontes de rectificação, não é para usar os dois, é para se poder ter opção de colocação de um ou outro, isto foi feito para se poder utilizar os transformadores existentes na Milénio 3 que são de menor potencia do que os exigidos pela Unidade quando esta a trabalhar no ponto mais critico (a carregar um bateria completamente descarregada, e o processador a trabalhar em pleno com operação de leitura e escrita).
- Os conversores de potência para as alimentações de 5V, 3.3V e 1.3V, usam todos o integrado LT1765. O IDP usa um integrado diferente para cada fonte.



- O carregador da bateria auxiliar é o LT1513 que necessita de muitos menos componentes externos do que o bq2000 usado no IDP.
- A comutação entre a fonte de 220V e a bateria auxiliar, e entre a bateria e a pilha de *backup* é feita recorrendo ao mesmo integrado, o LTC4412. O IDP usava dois métodos diferentes.
- Foram colocados vários *jumper*s para separar as alimentações e para se poder testar cada uma independentemente.
- Quando falha a alimentação o sistema comuta para a bateria automaticamente através do IC LTC4412ES6.
- Quando não existe por algum motivo a tensão de 3.3V ou 5V o circuito automaticamente bloqueia a outra, para que o processador não seja só metade alimentado assim como tensão de V+core também é cortada (é criada a partir dos 5V).

4.1.2 Layout

O desenvolvimento do *Layout* está dividido em duas partes: a colocação (*placement*) dos componentes e o respectivo traçado (*routing*). De seguida vou tecer alguns comentários sobre o que se fez em cada uma destas partes.

Para uma melhor compreensão dos pontos descritos abaixo, é aconselhável acompanhar a leitura com a observação do *layout* da unidade F1_2 (Anexo C).

4.1.2.1 Placement

A parte mais complicada do *layout* da unidade F1_2 é certamente fazer o *routing* de todos os pinos do processador. Em relação a estes pinos, a maior dificuldade é conseguir fazer o *routing* dos pinos que ligam às memórias. Entre barramento de endereços, dados e bits de controlo, os pinos relativos às memórias representam quase um terço dos pinos do processador que têm de ser ligados.

Para estudar qual seria a melhor disposição dos componentes em relação ao processador, fiz um mapa das funções dos pinos do processador (ver Anexo D).

Este mapa permite identificar desde logo o seguinte:

- Os pinos relativos às memórias encontram-se no triângulo composto pelos pinos E1, T12 e T1. Por esta razão optei por colocar as memórias paralelamente à linha T do processador.
- Embora os pinos de dados estejam bastante dispersos dentro do triângulo anterior, verifica-se que existe uma maior concentração dos 2 últimos bytes (DATA<31..16>) nas primeiras colunas do processador. Isto levou-me a colocar as memórias relativas da seguinte maneira:

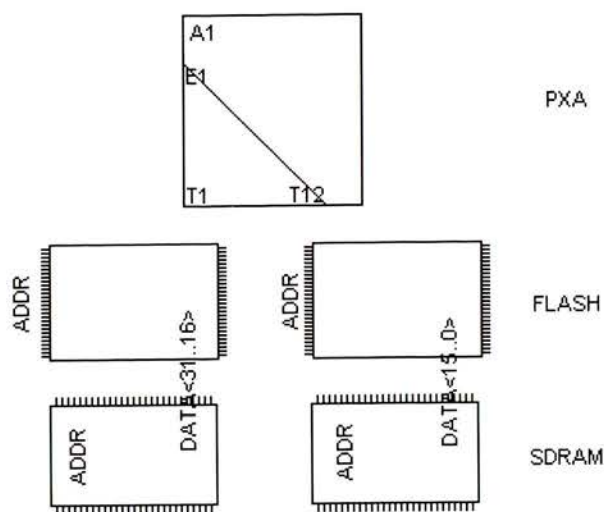


Figura 26 – Posicionamento das memórias relativamente ao processador na Unidade F1_2.

- O slot PCMCIA, que também necessita dos endereços de memória e de dados, resolvi coloca-lo a seguir às memórias, conforme é possível ver no layout.
- Por uma questão de aproveitamento de espaço, coloquei os circuitos do controlador áudio e do controlador USB por baixo da *slot* PCMCIA. Logo o *slot* PCMCIA tem de ter um *stand-off*³² para permitir levar componentes por baixo.
- Os sinais para o *display* estão mais perto da linha A do processador, por isso o conector para o *display* foi colocado no lado oposto às memórias.

³² Uma pequena elevação que um componente tem, no nosso caso a PCMCIA, faz com que se possa ter um circuito colocado por baixo dela.

O *placement* dos outros componentes não seguiu uma lógica tão restrita como os componentes anterior, pelo que foram colocados conforme o espaço disponível e de modo a minimizar o comprimento das linhas. Tendo sempre em conta que linhas que transportam dados paralelos (barramento de dados e de endereços) terem comprimentos semelhantes e linhas em que o *baud rate*³³ é elevado (linhas do dados do USB) serem o mais curtas possíveis levando na mesma em conta a diferença de comprimento.

A parte de potência da unidade encontra-se concentrada na parte inferior placa da o que permite a separação da parte de potência dos sinais digitais da unidade.

4.1.2.2 Routing

Como disse na secção anterior, o principal problema da placa da unidade F1_2 é fazer o *routing* do processador. No fundo, o *routing* do processador é que vai definir o número de camadas (*layers*) que serão precisas, e também as restrições aos tamanhos e espaçamentos dos condutores e vias³⁴. Uma vez que o actual contacto da Milénio 3 para fabricar os PCB's é a *Lab Circuits*, as restrições da placa foram baseadas nas tabelas do fabricante <http://www.lab-circuits.com/normen.htm>.

Na pasta das boards do projecto,

F1_2\worklib\f1\physical, existem vários ficheiros *.brd que representam várias versões (entenda-se tentativas) de fazer *routing* da *board* (diferentes *placements*, diferentes configurações de restrições e *layers*, *autoroute/manual*). O nome dos ficheiros é do tipo: *F1_place_x_contr_y[_autoroute]*, em que *x* representa a tentativa de *placement* dos componentes, *y* representa a tentativa das *constraints*, e o último parâmetro indica se o *routing* foi feito com o *autoroute* e respectiva tentativa. Por esta lógica, a placa final é a que tiver maiores *x*, *y* já que na versão final não foi usado o *autoroute*. No momento em que o relatório está a ser escrito o ficheiro mais actual é o ficheiro **F1_place5_constr_3_8.brd** do qual foi feito o protótipo da Unidade F1_2.

Este ficheiro contém uma placa com 6 camadas com as seguintes características:

- A 2ª camada é um plano de massa.

³³ Medida de taxa de transmissão elétrica de dados em uma linha de comunicação. Mede o número de sinais elétricos transmitidos por unidade de tempo.

³⁴ São passagens de condutores entre camadas

- A 3ª camada está reservada para os planos de alimentação:
 - um plano para os 12V (Vin)
 - um plano para a alimentação principal de 3.3V (V+3.3bb)
 - um plano para a alimentação secundária de 3.3V (V+3.3sw)
 - um plano pequeno para a alimentação de 1.3V (V+core). Este plano está centrado por baixo do processador (no meio do plano V+3.3bb), já que observando o mapa dos pinos podemos ver que os pinos centrais são de massa e 1.3V.
- As camadas 4 e 6 comportam as ligações horizontais, enquanto que a camada 5 comporta as ligações verticais. O maior número de camadas horizontais tem a haver com o facto de as ligações do processador às memórias serem essencialmente horizontais.
- As camadas 4 e 5 ainda comportam os seguintes planos analógicos por baixo do circuito de áudio (por baixo do *slot* PCMCIA):
 - a camada 4 inclui um plano de massa analógico, que está ligado ao plano de massa digital (2ª camada), através de duas resistências de 00HM.
 - a camada 5 inclui um plano de alimentação analógico, que está ligado ao plano de alimentação secundário de 3.3V, através de uma ferrite-bead.

Em termos de restrições, e tendo como referência as tabelas de dificuldade da *Lab-Circuits*, que estão no anexo e, a placa é de Classe 6, *Special* pela seguinte razão: as classes 3 e 4 não permitem colocar vias entre os pinos do processador (BGA³⁵); a classe 5 não permite que passem linhas entre duas vias consecutivas já que a propriedade *Signal inner layer minimum annular ring* é maior nas camadas interiores.

Apesar da placa ser de classe 6 nem todas as ligações foram feitas obedecendo às dimensões mínimas que a classe permite. As ligações utilizadas foram:

- Para as nets do processador defini as propriedades NET_PHYSICAL_TYPE = PXA e NET_SPACING_TYPE = PXA, e defini que o set PXA corresponde às dimensões mínimas permitidas pela Classe 6, *special*.
- A parte de potência tem as propriedades acima iguais a POWER. O set POWER tem dimensões muito maiores em relação às outras (exemplo: *trace width*=25mils³⁶).

³⁵ *Ball Grid Array* São esferas de solda colocadas por baixo do *chip* o que permite um tamanho muito mais reduzido do *chip*.

³⁶ Cada 1mm são 40mils

- A massa e o Vcc não têm traços com larguras fixas. Os traços têm uma largura mínima de 10mils mas pode haver casos em que a largura é maior (na parte de potência).
- Os outros sinais estão com as propriedades DEFAULT ao que corresponde um traço de 10mils.

4.2 Firmware

O sistema operativo a utilizar pela unidade F1_2 é o Windows CE .NET 4.2. A ideia por detrás do Windows CE é um pouco diferente dos outros Windows que utilizamos normalmente nos PC's. Enquanto que o Windows XP ou 2002 são vendidos como um software pronto a ser instalado num computador, o Windows CE faz parte de uma ferramenta chamada *Platform Builder*.

Esta ferramenta contém um conjunto de livrarias com diversos *driver's* e aplicações que podemos seleccionar de modo a criar um sistema operativo completamente customizado para a nossa aplicação. Por exemplo, os sistemas operativos dos *Pocket PCs* – *Windows Mobile* – são versões do *Windows CE* customizadas para aquele tipo de produtos, que incluem funcionalidades de “*power management*” e comunicações *wireless*. Por essa razão, o ficheiro do sistema operativo é normalmente referido como a imagem do sistema operativo.

Para além do *Platform Builder*, foi ainda comprado o software *Schema* da *Accelent*. O *Schema* é um software semelhante ao *Platform Builder* mas eu optei por comprar este software uma vez que traz o código da imagem criada para a plataforma IDP e assim podemos fazer uma unidade baseada no kit IDP muito mais facilmente. A desvantagem é que uma imagem criada com o *Schema* está limitada ao *Windows CE .NET 4.2*, enquanto que o *Platform Builder* pode ser adquirido para versões mais recentes como o *Windows CE 5.0*.

Fluxo	Software	Descrição
<pre>graph TD; A[Criação do BSP e Compilação] --> B[Importação do BSP.]; B --> C[Criação da Imagem do SO e Compilação]; C --> D[Exportação da imagem SO e Bootloader];</pre>	<i>Schema Corelinx</i>	Este ficheiro está as configurações do <i>hardware</i> existente na Unidade F1_2 (quais os componentes utilizados).
	<i>Platform Builder</i>	Carrego o BSP criado pelo <i>Schema</i> .
	<i>Platform Builder</i>	Com base no BSP carregado, adiciona-se o <i>software</i> que se quer incluir na nova imagem do SO, compilando-a de seguida
	<i>Platform Builder</i>	A importação da imagem SO para a Unidade F1_2 é feita através de <i>Ethernet</i> caso o <i>bootloader</i> esteja bom, caso contrário é carregado novo <i>bootloader</i> e nova imagem pelo cabo JTAG ou PCMCIA (<i>CompactFlash</i>)

Figura 27 – Diagrama de procedimentos do **software**.

4.2.1 Ficheiros do bootloader e SO

O kit IDP precisa de dois ficheiros para poder funcionar: o ficheiro do bootloader, e o ficheiro que contém a imagem do sistema operativo. Este capítulo está descrito no ficheiro que se encontra no CD (Software_Users_Guide_EUG-0012-0003.pdf). As referências feitas no capítulo abaixo a este ficheiro estão sublinhadas.

O *bootloader* pode ser descarregado para a *flash* por dois métodos (secção 7.1.): *CompactFlash* se o *bootloader* anterior estiver em boas condições, ou por JTAG quando o *bootloader* anterior estiver danificado – este é o caso mais importante portanto faço algumas notas sobre este procedimento a seguir.

Para além das pastas criadas pela instalação, criei ainda uma pasta JTAG, \\rd01\Schema\JTAG, que contém os ficheiros para se poder descarregar o *bootloader* para a *flash* através da interface JTAG da Unidade F1_2 – o *bootloader* é o ficheiro **BOOT.NB0**. Procedimento: Secção 11.6 (contém instruções e esquema do cabo).

Foi feito um cabo JTAG para programar usando a porta paralela do PC. O procedimento 6 da secção 11.6.1.3, não é “Flash” mas sim “Flash250.bat” ou “Flash255.bat” (uma das duas).

O *loading* do *bootloader* para a *flash* não costuma funcionar à primeira tentativa.

A imagem do sistema operativo – ficheiro **NK.BIN** (ou como dizem em Espanha...ENKABIN!³⁷) – pode ser descarregada para a *flash* de duas maneiras: com uma memória *CompactFlash* através do *slot* PCMCIA – secção 7.2, ou através da *Ethernet* – secção 7.3. No ponto 6 desta secção é feita referência à secção 5.2 e aqui ficam os dados referenciados: o *MAC address* é **00:04:34:00:21:65** e o *Ethernet Debug Name* é **ASIASI8549**. Ainda em relação à *Ethernet*, é preciso que o serviço de DHCP³⁸ esteja a funcionar se não, não é possível fazer o *download* da imagem.

4.2.2 Construção da Imagem do SO

Uma vez que o *Windows CE* suporta vários processadores necessita de um *kernel* específico para cada tipo de processador. A juntar a isto e como vimos anteriormente, o *Windows CE* depende da plataforma em que é instalado. Isto significa que para cada plataforma o *Windows CE* necessita de um conjunto de ficheiros específicos à plataforma. A este conjunto de ficheiros dá-se o nome de “**Board Support Package – BSP**”. Para construir uma imagem do sistema operativo é preciso partir do BSP definido para a plataforma pretendida.

O *Schema* já traz um BSP definido para o IDP, por isso, uma plataforma que não difira muito do kit IDP não requer muitas mudanças no BSP, logo torna-se mais

³⁷ *Harware* diz-se Raguear, o que em bom português daria Jaguar. Software pronuncia-se Sobuare.

³⁸ *Dynamic Host Configuration Protocol*, é um protocolo de serviço TCP/IP segura, que oferece configuração dinâmica com concessão de endereços IP de host e distribui outros parâmetros de configuração para clientes de rede.

fácil de construir (é por esta razão que na Unidade F1_2 mantive sempre as ligações das interrupções associadas à PCMCIA, *Ethernet* e outras, porque senão era necessário fazer mudanças no BSP).

O *Platform Builder* traz um BSP definido para a plataforma de desenvolvimento da *Intel*. Se não houvesse *Schema*, o que teria de ser feito era pegar no BSP desta plataforma e modificá-lo de modo a adaptá-lo à nossa plataforma. Apesar do *Schema* não obrigar a que isso seja feito, eu considero esse passo como uma etapa fundamental para se poder mais tarde evoluir para versões do Windows CE mais recentes, ou para permitir fazer outras plataformas substancialmente diferentes do IDP.

A seguir indico como se pode criar uma imagem do sistema operativo utilizando as ferramentas anteriores.

4.2.2.1 Platform Builder

Como disse anteriormente, é preciso um BSP para fazer uma imagem do sistema operativo. Partindo do princípio que já temos esse BSP, a maneira de criar a imagem do SO é descrita no ficheiro:

Software_Users_Guide_EUG-0012-0003.pdf, encontra-se no CD.

Os passos fundamentais e que são repetidos de cada vez que se faz uma nova plataforma começam no ponto 5.

O ponto 6 e 7 servem para adicionar o catálogo correspondente ao novo BSP; estes passos podem ser eliminados se já existir um BSP com o mesmo nome e se apenas houver mudanças no código de ficheiros; se houver mudanças nos conteúdos do BSP (por exemplo: se for adicionado um driver) é preciso ir ao *Manage Catalog Features* e remover e voltar a adicionar o ficheiro *.CEC.

4.2.2.2 Schema

A maneira de criar a imagem do SO no *Schema* está descrita no ficheiro:

SDS_Users_Guide.pdf. Os pontos essenciais começam no ponto 3. No ponto 5, em vez de fazer *Generate Project Build* também se pode fazer, e eu acho que é melhor, *Copy for Release* – a diferença é que o primeiro cria a pasta do projecto com ficheiros cujo conteúdo não é código mas *includes* para outros ficheiros que têm o

código, enquanto que o segundo copia os ficheiros para a pasta do projecto e assim fica mais fácil de consulta-los. Uma vez criada a imagem é preciso descarregar o ficheiro NK.BIN para a plataforma. Nesse documento sugerem que se copie o ficheiro para uma *Compact Flash*. Uma vez que o PC não possui uma *slot* para isso, eu sugiro que se copie o ficheiro para um projecto do *Platform Builder* e fazer o *download* por *Ethernet*.

4.2.2.3 Solução Mista

Uma solução mista para fazer a imagem do SO é a seguinte: seguir os passos do capítulo 4.2.2.2, até ao ponto 5. O ponto 5 cria a pasta indicada no capítulo anterior. Esta pasta contém o BSP da plataforma. Uma vez criada esta pasta é possível iniciar o *Platform Builder* e seguir os passos a partir do ponto 5 do ficheiro indicado em 4.2.2.1.

Esta solução usa inicialmente o *Schema* para criar um novo BSP e de seguida usa o *Platform Builder* para criar a imagem e fazer o *download* para a plataforma.

4.2.3 Outras notas relevantes

- Com a imagem construída através dos ficheiros originais do *Schema*, o sistema operativo arranca mas não aparece nada no *display*. É preciso ir ao ficheiro `\\Rd01\Schema\WinCEDev\Core\4.20.014\INC\default.h`, e na linha 262 mudar onde está TRUE e pôr FALSE. Basta fazer isto uma vez, de preferência logo a seguir à instalação.
- Quando se cria a uma imagem para *debug*³⁹ (opção do *Platform Builder*) existem dois problemas:
 - Uma vez que a versão *debug* vai incluir todas as mensagens de *debug* dos ficheiros que compõem a imagem, esta torna-se demasiado grande para caber na *flash*. A solução é apagar alguns componentes no *Platform Builder*, por exemplo todas as “*Applications and Services Developments*” com a excepção da pasta “*C Libraries and Runtimes*”. Para reduzir ainda mais o tamanho da imagem pode fazer-se o seguinte: depois de o *Schema* criar a pasta com o BSP da plataforma `\\Rd01\WINCE420\PLATFORM\<plataforma>`, abrir o ficheiro

³⁹ Debug é usado para realizar teste e verificar vários pontos por onde o sistema passa.

<plataforma>.bat com um editor de texto, e substituir as instruções que começam por *set SYSGEN_* por *@REM set SYSGEN_*.

As instruções *set* desse ficheiro dizem ao *Platform Builder* que aplicações devem ser incluídas na imagem do SO. Ao fazer *@REM* antes funciona como pôr essa instrução como comentário, logo não entra na imagem. A seguir, iniciar o *Platform Builder* e o resto é igual.

- O segundo problema tem a haver com um *breakpoint* no *driver IPSM*, que faz com que a sessão de *debug* encreve nesse ponto. A solução é retirar o registo do *driver IPSM* da imagem final de modo a que o *Windows CE* não o inicialize.

Isto faz-se indo à pasta `\\rd01\Schema\WinCEDev\Platform\<plataforma>\files\` editar o ficheiro *Platform_manual.reg*, e na linha 780 em que começa o *driver* apagá-lo ou fazer *IF 0...ENDIF*.

- Quando se modifica um ficheiro *.cld no *Schema* de modo a incluir um *driver*, o *Schema* não adiciona automaticamente as componentes desse *driver* à plataforma. É preciso copiar o conteúdo dos ficheiros *AddToPlatform.reg*, *AddToPlatform.bib* e *AddToPortable.h* para os respectivos ficheiros da plataforma: *platform.reg (...\\files)*, *platform.bib (...\\files)*, *portable.h (...\\INC)*
- O livro *Programming Microsoft Windows CE .Net* contém um CD com o código dos exemplos do livro. Os exemplos podem ser abertos com o *Microsoft eMbedded Visual C++* e compilados para um processador de arquitectura ARMV4I. Entre os exemplos que o CD contém, existem dois que eu acho particularmente úteis:

- no capítulo 8, o projecto *RegView*, permite criar uma aplicação semelhante ao *Registry Editor (RegEdit)* das versões para PC dos Windows.

- no capítulo 12, o projecto *CeChat*, permite criar uma aplicação de chat através de uma porta série.

- Outros ficheiros importantes:
 - `\\Rd01\Schema\WinCEDev\Platform\<plataforma>\Files\Config.bib`: configura a organização das memórias (tamanho, endereços).
 - `\\Rd01\Schema\WinCEDev\Core\4.20.014\Kernel\HAL\Cotulla\interrupt.c`: ficheiro das interrupções.
 - `\\Rd01\Schema\WinCEDev\Platform\<plataforma>\Files\platform_manual.reg`: ficheiro que contém as entradas de registo. Por exemplo: originalmente na linha 2290, as coordenadas do *touch-screen* estão comentadas; retirando os comentários e ajustando as coordenadas (*IDP: "CalibrationData"="504,497 763,747 755,245 244,249 244,746"*), elimina-se o ecrã de configuração quando

o Windows é iniciado pela 1ª vez. Outra coisa que se pode fazer neste ficheiro é atribuir um *MAC address* ao *driver Ethernet* (linha 616).

- `\\Rd01\Schema\WinCEDev\Platform\<plataforma>\Files\platform_user.reg`: permite modificar a imagem da *wallpaper* (linha 59).

- `\\Rd01\Schema\WinCEDev\Platform\<plataforma>\<plataforma>.cld` (este ficheiro pode ser editado directamente no *Schema*). Este ficheiro é o mais importante uma vez que permite adicionar e remover *drivers* – basta adicionar ou removê-los da lista *Components Selected by the Platform Wizard*. Na linha 478 é possível indicar que ficheiros queremos copiar para a pasta `\\WINCE420\Platform\<plataforma>\files`. Para incluir na imagem, editar ficheiro:

- `Rd01\Schema\WinCEDev\Platform\<plataforma>\Files\platform_user_files.bib`

4.2.4 Alguns procedimentos úteis

4.2.4.1 Criar BSP para a Unidade F1_2

Existem duas maneiras de criar um BSP para a unidade F1_2: uma é criando um novo projecto no *Schema*, a outra é pegar num projecto existente para o IDP e modificá-lo para a unidade F1_2.

No primeiro caso, o projecto é criado fazendo *File-New Platform* e seguindo os passos indicados a seguir, nomeadamente escolhendo os *chips* e *drivers* da unidade F1_2. Depois de criado o projecto é preciso abri-lo novamente, ir a *Settings*, e modificar a *CPU Architecture* para ARMV4I.

No segundo caso é preciso abrir um projecto já existente para o IDP e apagar da lista *Components Selected by the Platform Wizard*, os *drivers* não utilizados e adicionar os novos (no nosso caso basta adicionar o controlador USB e apagar tudo o resto que não é necessário). A meu ver, este caso é o mais indicado já que parte de um projecto que funciona numa placa que não é muito diferente da nossa.

Partindo do princípio que se utiliza o segundo método para criar um BSP, deixo aqui algumas notas:

- Para adicionar o *driver CIR* é preciso copiar o conteúdo dos ficheiros `AddToPlatform.reg` e `AddToPortable.h`
`\\Rd01\Schema\WinCEDev\Core\4.20.014\Drivers\CIR` para os ficheiros

platform.reg e *portable.h* da respectiva plataforma (`\\Rd01\Schema\WinCEDev\Platform\<plataforma>\Files` ou *INC*). No ficheiro *portable.h* a interrupção é a número 10.

- Para adicionar o driver USB é preciso acrescentar CHIPS.SL811HS aos *SELECTED_CHIPS*, acrescentar *DRIVER.USBHOST.SL811HS* aos *SELECTED_COMPONENTS*, copiar conteúdo do ficheiro *AddToPlatform.reg* (`\\Rd01\Schema\WinCEDev\Core\4.20.014\Drivers\USBHost\SL811HS`) para o ficheiro *platform_manual.reg* da plataforma (`\\Rd01\Schema\WinCEDev\Platform\<plataforma>\Files`), modificar essa entrada no registo conforme os comentários da secção 7.5.1 do ficheiro `\\Rd01\Schema\WinCEDev\Core\4.20.014\Drivers\USBHost\SL811HS\Docs\sl811hs_wince_hcd_appnote.pdf` ("Irq"=dword: 16, "MemBase"=dword: 10000000, "MemOffset"=dword: 10000). Nota: os endereços devem ser escritos em hexadecimal e não em decimal como no diz no documento, isto porque o documento refere-se ao à versão 3.0 e não à versão 4.2 do Windows CE.

- Adicionar *DRIVER.WAVE.ACLINK.CPU* aos *SELECTED_COMPONENTS* já que o projecto original não traz, e sem isso não há som no IDP.

4.2.4.2 Pôr o logótipo da Milénio 3 como Wallpaper

Copiar o logótipo para a pasta `\\Rd01\Schema\WinCEDev\Platform\<plataforma>\Files`; editar o ficheiro `\\Rd01\Schema\WinCEDev\Platform\<plataforma>\<plataforma>.cld` de modo a copiar o logótipo para a pasta da plataforma no *Platform Builder* (`\\WINCE420\Platform\<plataforma>\files`); editar o ficheiro `\\Rd01\Schema\WinCEDev\Platform\<plataforma>\Files\platform_user_files.bib` de modo a incluir o logótipo na imagem do SO; editar o ficheiro `\\Rd01\Schema\WinCEDev\Platform\<plataforma>\Files\platform_user.reg` para definir o logótipo como imagem de *wallpaper*.

Outro método é criar primeiro a pasta do BSP normalmente e depois copiar o logótipo para a pasta `\files` e editar os ficheiros

`\\Rd01\WINCE420\Platform\<plataforma>\Files\platform.bib` e

`\\Rd01\WINCE420\Platform\<plataforma>\Files\platform.reg` conforme descrito anteriormente.

Isto acontece porque a pasta `\\Rd01\WINCE420\Platform\<plataforma>` é a pasta para onde o *Schema* junta e copia os ficheiros necessários à construção da imagem.

4.2.4.3 Ler Cartões de proximidade usando o leitor Milltag

Para ler cartões de proximidade usando o leitor *Milltag* recorri a dois métodos: inicialmente utilizei aplicação em C++ criada para o efeito. Mais tarde recorri ao ficheiro de interrupções do kit IDP e ao *driver* do CIR – *Consumer IR* – para fazer a leitura do cartão. O leitor *Milltag* foi ligado ao conector J20 – *bluetooth header* – através de uma placa de adaptação já que os sinais do leitor *Milltag* são de 5V e os sinais do kit IDP são de 3.3V. O esquema desta placa estão no anexo G. Os *jumpers* J18..J22 foram colocados na posição 1-2 para seleccionar o conector J20.

- Através de uma aplicação

Na 1ª tentativa para ler cartões de proximidade, utilizei uma aplicação no *Microsoft eMbedded Visual C++*.

Esta aplicação foi feita em C++, compilada para um processador ARMV4I e copiada para o IDP.

A leitura dos bits era às vezes perdida se houvesse outras aplicações a correr (exemplo: música).

Para uma leitura de um cartão era preciso correr esta aplicação e ficar à espera até que se passasse um cartão no leitor: uma situação sem aplicação prática.

- Através de interrupções

Para o leitor de cartões funcionar através de interrupções, utilizei o ficheiro *C:\Schema\WinCEDev\Core\4.20.014\Kernel\HAL\Cotulla\interrupt.c*⁴⁰ e modifiquei-o para funcionar com o leitor.

Este ficheiro contém várias funções, mas as funções em que foi preciso fazer modificações foram:

OEMInterruptEnable – activa as interrupções

OEMInterruptHandler – processa as interrupções e chama a aplicação responsável

OEMInterruptDone – activa novamente as interrupções, já que são desactivadas durante o processamento.

Em modos gerais, as modificações passaram essencialmente por trocar onde estava *SYSINTR_CIR_BOTH_EDGE_IRQ_GPIO* por *COTULLA_IRQ_TO_GPIO(ONCHIP_EXTERNAL_IRQ45)*.

⁴⁰ Como o ficheiro de interrupções tem de ser *interrupt.c*, sempre que fiz alterações ia gravando as outras versões com outro nome. O ficheiro que usa o leitor de cartões está gravado com o nome *interrupt_cartao.c*

A primeira identifica o sinal associado ao CIR (GPIO22), enquanto que a segunda corresponde ao sinal associado ao pino GPIO45 – bit de *clock* do leitor de cartões.

De modo mais detalhado e observando as linhas do ficheiro `interrupt_cartao.c`:

OEMInterruptHandler

- [1525] Identifica que houve uma interrupção no pino GPIO45 – sinal de *clock*
- [1528,1529] Desactiva a interrupção que vai ser processada (*rising and falling edges*).
- [1530] Activa o bit no registo de interrupções, correspondente à interrupção em GPIO45.
- [1531] Marca a hora da interrupção (não é propriamente útil neste caso).
- [1533] Guarda o valor do sinal de dados – GPIO44 – numa variável global.
- [1537] Chama o driver responsável, neste caso, o driver do CIR.

OEMInterruptEnable

- [2550-2551] Activa a interrupção associada ao pino GPIO45 no flanco ascendente e desactiva a interrupção no flanco descendente, já que o sinal de dados deve ser lido no impulso positivo do *clock*.

OEMInterruptDone

- [3698-3699] No fim do processamento da interrupção, a interrupção tem de ser novamente activada, pelo que estas linhas fazem o mesmo que *OEMInterruptEnable*.

Quando existe uma interrupção o ficheiro *interrupt.c* identifica quem fez essa interrupção e de seguida chama o *driver* responsável pelo processamento dessa interrupção. Neste caso o driver responsável é o driver do CIR e o ficheiro é:

`C:\Schema\WinCEDev\Core\4.20.014\Drivers\CIR\cir.c` (`cir_cartao.c`).

Na inicialização deste driver são criados, entre outros, dois *thread's* responsáveis pelo processamento da interrupção a ele associado: *hCIRFastThread* [343] e *hCIRSlowThread* [359].

O 3º parâmetro da função que cria estes threads – `CreateThread` – aponta para o início da rotina associada a estes *thread's*: *CIRFastThread* e *CIRSlowThread*, respectivamente. Dentro da rotina *CIRFastThread* [738] é criado um evento *hCIRFastIntr* [748], que é criado no modo *nonsignaled*, ou seja, é criado mas fica desde logo em *standby* à espera de ser sinalizado. O passo seguinte é dizer que *flag* é que vai sinalizar este evento. Isso é feito através da função *InterruptInitialize* e neste caso vemos que a *flag* associada a esta interrupção é *SYSINTR_CIR* o que corresponde à *flag* devolvida pelo ficheiro *interrupt.c* [762]. Logo de seguida segue-se um ciclo *do...while(1)*, ou seja um ciclo infinito. Dentro deste ciclo a rotina fica presa na função *WaitForSingleObject* [771] à espera que *hCIRFastIntr* seja sinalizado (*Timeout = INFINITE*; [741]). A cada impulso do *clock* do leitor de cartões este evento é sinalizado, e começa por correr a macro *FAST_QUEUE_ADD*

que adiciona o sinal de dados desse instante num vector [270], de seguida sinaliza a rotina *hCIRSlowEvent* [732], e por último sinaliza que acabou a interrupção [782]. Como a rotina *hCIRSlowEvent* é bastante lenta como o próprio nome indica, na leitura de um cartão vai existir uma nova interrupção do *clock* ainda antes desta rotina acabar, isto é, esta rotina só corre do princípio ao fim depois do último sinal de *clock*. É nesta rotina mais lenta que se faz o processamento dos dados da interrupção, como por exemplo, ir buscar o vector dos dados e extrair o número do cartão.

Isto serve para exemplificar o modo de manuseamento das interrupções pelo Windows CE em que existem duas rotinas de processamento, e em que uma deve ser muito rápida e serve para guardar os dados essenciais, e uma segunda mais lenta que faz uso dos dados relativos à interrupção. Por exemplo, a hora a que acontecia a interrupção era gravada, no ficheiro *interrupt.c*, numa variável *IRRCRTimestamp*, para calcular a duração dos impulsos no caso do CIR. A duração desses impulsos só é calculada na rotina lenta, já que a rotina rápida apenas guarda a hora num vector.

5 Conclusões e Resultados

- Até este ponto foi possível fabricar os PCB's e montar os componentes no protótipo da Unidade F1_2. Também já estão testadas e a funcionar as fontes de alimentação. O projecto esta na fase de carregamento dos *bootloader's* da CPLD e do processador o que ainda não foi conseguido com sucesso.
- O projecto está um pouco atrasado por causa as datas de recepção dos componentes, que muitas vezes ultrapassavam os 30 dias, e outros fabricantes disseram que enviavam amostras e falharam connosco, eu também sou inexperiente nesta área e fui atraído pelos gestores comerciais (fiava-me no que me diziam, esquecia-me que o que eles querem é que o cliente fique dependente deles). Tentei combater isso chateando constantemente com emails (neste tempo de estágio enviei cerca de 250 emails a fornecedores e distribuidores) e telefonemas mas mesmo assim não obtive grandes resultados, chegavam ao cúmulo de uma peça vinda dos Estados Unidos demorar muito menos do que uma peça de Lisboa.
- Já existem imagens do Sistema Operativo com o correspondente BSP com *debug* e com leitura de cartões *Milltag* para se poder carregar na nova unidade de marcação F1_2, e já estão testadas no kit IDP.
- Cheguei à conclusão que quando se trabalha com programas de *Cad* do tipo do *Allegro* que tem "mil e uma funções" é preciso ser muito organizado, pragmático e metódico para se conseguir conceber um PCB com um número reduzido de inconsistências, ele também nos ajuda avisando dos erros (DRC) mas muitas vezes existem faltas de ligação entre o *Schematics* e o *Layout* que não são indicadas em nenhum lado.
- Até este momento ainda não houve alterações que impliquem novo PCB, isto é, tudo esta a decorrer conforme o desenhado, não há alterações no desenho de *Schematics*. Caso não haja alterações que impliquem um redesenho do PCB é muito bom pois os custos fixos de fabrico e montagem dos componentes não são novamente cobrados o que se poupa muito dinheiro pois são custos um pouco avultados.

6 Trabalho a desenvolver

Existem algumas tarefas a realizar que podem complementar o que foi desenvolvido neste estágio. Assim como:

- Desenho de uma nova caixa (invólucro) para a unidade F1_2 ou adaptação da *board* a uma caixa já existente na Milénio 3.
- Escolha do *display touch screen* mais apropriado às funcionalidades pretendidas.
- Adaptação de outros sistemas operativos à Unidade F1_2.
- Definir em concreto as funções da unidade F1_2 comercial para se poder ajustar algum pormenor de memória ou de *inputs/outputs*.
- Realizar testes eléctricos e mecânicos e verificar o comportamento da unidade de forma a poder antecipar possíveis correcções futuras (nos clientes). Criar alguma fiabilidade do produto.
- Por último, há que ter em conta que a tecnologia não pára de se desenvolver, logo temos que actualizar a nossa unidade com novas versões de *hardware* e *firmware* para que a unidade F1_2 não fique parada no tempo.

7 Bibliografia

- Tutorial e Ajuda do software Cadence Allegro Design Entry HDL 15.5
- Tutoriais e Ajudas de outros softwares utilizados.
- Bibliografia anexa ao kit IDP de desenvolvimento da Accelent.
- Datasheet's dos componentes utilizados.
- Douglas Boling. *Programming Microsoft Windows CE .NET*, 3rd Edition, May 2003
- Sedra/Smith. *Microelectrónica*. MAKRON Books, 4th edition, 2000.
- Yusuf Leblebici Sung-Mo Kang. *CMOS Digital Integrated Circuits – Analysis and Design*. McGraw Hill, 2nd edition, 1999.
- P. Andreani. *Analog Integrated Circuits in CMOS*.
- John F. Wakerly. *Digital Design – Principles and Practices*. Prentice Hall International Editions, 2nd edition, 1994.
- F. Remiro L. Cuesta, A. Gil Padilha. *Electrónica Digital*. McGraw Hill, 1st edition, 1994.
- Microsoft Windows Embedded,
<http://www.microsoft.com/windows/embedded/default.mspx>
- Wikipedia, en.**wikipedia.org**
- Windows Ce, <http://msdn.microsoft.com/embedded/windowsce/default.aspx>

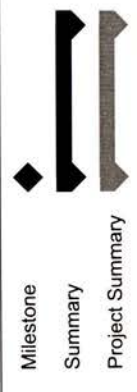
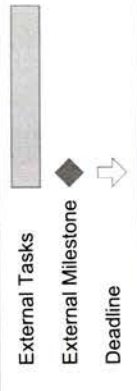
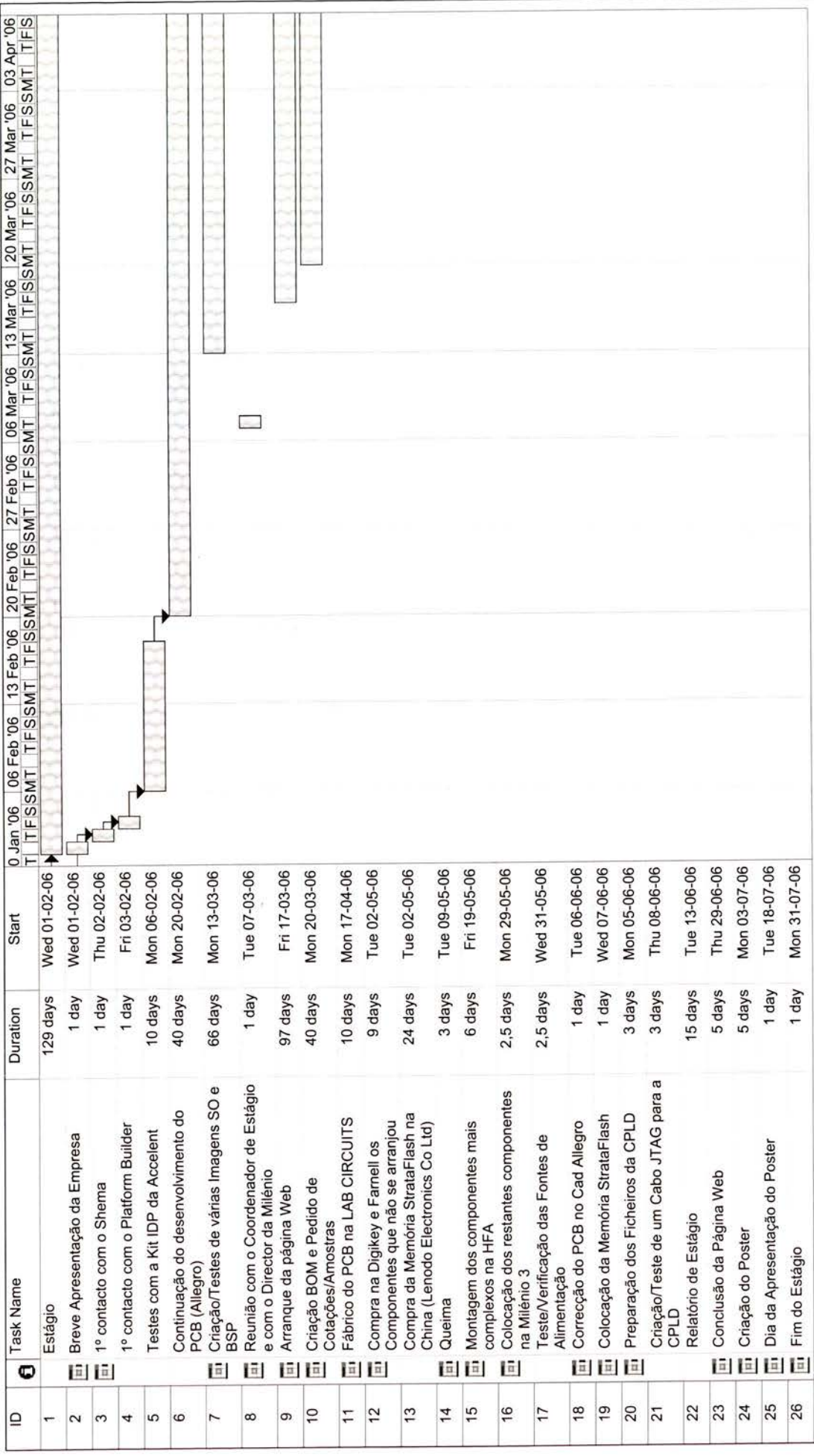
8 Anexos

8.1 Anexo A

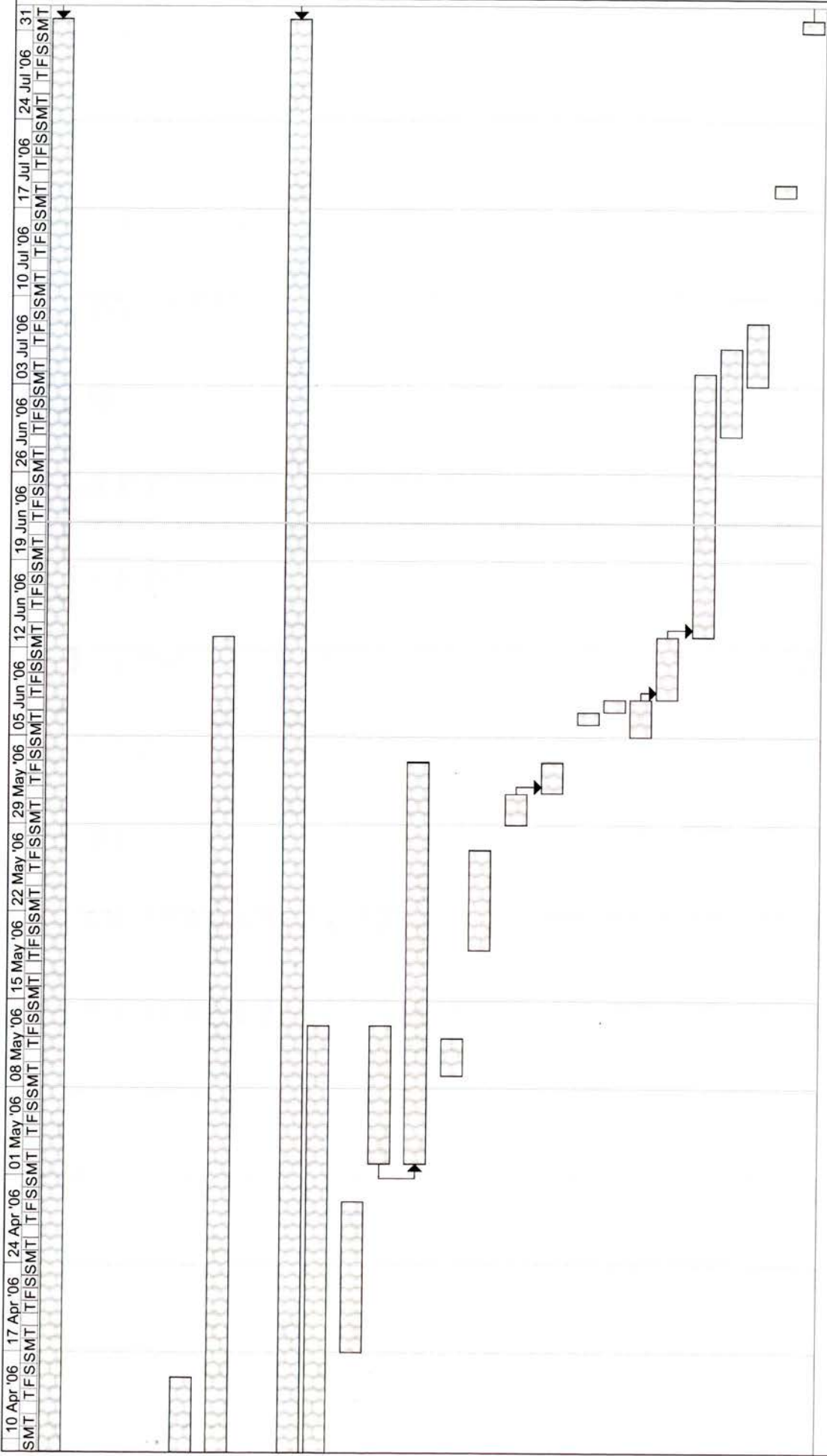
Diagrama de Gantt do planeamento da
Unidade F1_2

8.2 Anexo B

Esquema da Unidade F1_2 (Schematics)



Project: Planeamento da Unidade F1_
Date: Thu 22-06-06



Project: Planejamento da Unidade F1_
Date: Thu 22-06-06

8.3 Anexo C

Routing e Layout do PCB da Unidade F1_2

8.4 Anexo D - Correspondência dos pinos lógicos com os físicos do processador

A1	A2	A3	A4	A5	A6	A7	A8	A9	A10	A11	A12	A13	A14	A15	A16
VCCN	DDI131	DDI121	DDI111	DDI091	DDI071	GPIO111	BIAS	GPIO261	SDATA_OUT	SDA	FEDCD	FERXD	FECTS	RTCTS	SDATA_IN1
R1	R2	R3	R4	R5	R6	R7	R8	R9	R10	R11	R12	R13	R14	R15	R16
DOM11	DOM12	DOM15	GPIO141	GPIO131	GPIO121	DDI031	PCLK	GPIO271	FER1	FEDSR	USB_N	RTRXD	RTRTS	JRRXD	MMDAT
C1	C2	C3	C4	C5	C6	C7	C8	C9	C10	C11	C12	C13	C14	C15	C16
RDY	VSSN	DDI041	VSSQ	DDI081	VCCQ	DDI021	VSSQ	RITCLK	VCCQ	VSSQ	USB_P	VCCQ	VSSQ	JRTXD	VSS
D1	D2	D3	D4	D5	D6	D7	D8	D9	D10	D11	D12	D13	D14	D15	D16
SDCLK101	SDCLK101	RDWR	VCCN	DDI0101	DDI051	DDI011	CLK	GPIO251	nACRESET	SCI	PWM11	RTXD	MMCMD	VCCQ	GPIO1841
F1	F2	F3	F4	F5	F6	F7	F8	F9	F10	F11	F12	F13	F14	F15	F16
nSDBAS	VSSN	SDCKE11	SDCKE101	DDI061	DDI041	DDI0101	ECLK	GPIO241	SDATA_IN0	SYNC	PWM101	FETXD	VCCQ	GPIO1831	GPIO1821
F1	F2	F3	F4	F5	F6	F7	F8	F9	F10	F11	F12	F13	F14	F15	F16
nSDCS101	nSDCS131	nSDCAS	VCCN	SDCLK11	VSSQ	GPIO1101	FERTS	GPIO231	FEDTR	VCC	GPIO191	BOOT_SEL121	GPIO181	VSSQ	GPIO1811
G1	G2	G3	G4	G5	G6	G7	G8	G9	G10	G11	G12	G13	G14	G15	G16
MA101	VSSN	nSDCS121	nWE	nOE	nSDCS111	VCC	VSSQ	VCC	VSSQ	TESTCLK	TEST	BOOT_SEL111	VCCQ	GPIO171	BOOT_SEL101
H1	H2	H3	H4	H5	H6	H7	H8	H9	H10	H11	H12	H13	H14	H15	H16
MA121	MA111	MDI161	VCCN	MDI171	MA131	VSSQ	VSS	VSS	VCC	nTRST	TCK	TMS	GPIO161	TDL	TDO
I1	I2	I3	I4	I5	I6	I7	I8	I9	I10	I11	I12	I13	I14	I15	I16
MA171	VSSN	MA161	MDI181	MA151	MA141	VCC	VSS	VSS	VSSQ	GPIO151	GPIO141	nRESET	VSSQ	PI1_VCC	PI1_VSS
K1	K2	K3	K4	K5	K6	K7	K8	K9	K10	K11	K12	K13	K14	K15	K16
MA181	MA191	MDI191	VCCN	MA1101	MA1111	VSSQ	VCC	VSSQ	VCC	nRESET_OUT	nBATT_FAULT	nVDD_FAULT	GPIO131	PXTAL	PXTAL
L1	L2	L3	L4	L5	L6	L7	L8	L9	L10	L11	L12	L13	L14	L15	L16
MA1121	VSSN	MA1131	MDI201	MDI21	VCC	DOM131	MDI281	VCC	GPIO101	PWR_EN	GPIO111	GPIO121	VSSQ	TEXTAL	TX1AL
M1	M2	M3	M4	M5	M6	M7	M8	M9	M10	M11	M12	M13	M14	M15	M16
MA1141	MDI211	MA1151	VCCN	MDI11	MDI61	MDI71	DOM101	MDI81	MDI151	VCCQ	GPIO1221	nPBREG	VCCN	VSSN	nIOIS16
N1	N2	N3	N4	N5	N6	N7	N8	N9	N10	N11	N12	N13	N14	N15	N16
MDI221	VSSN	MA1161	MDI01	VCCN	MDI41	VCCN	nCS101	VCCN	MDI131	VCCN	GPIO1201	VCCN	DBEQ111	GPIO1211	nPWAIT
P1	P2	P3	P4	P5	P6	P7	P8	P9	P10	P11	P12	P13	P14	P15	P16
MA1171	MA1191	VCCN	MA1251	MA1231	MDI241	MDI261	MDI271	nCS121	MDI291	MDI121	MDI311	nPOF	nPCE111	VSSN	nPSKTSEL
R1	R2	R3	R4	R5	R6	R7	R8	R9	R10	R11	R12	R13	R14	R15	R16
MA1181	VSSN	MA1201	VSSN	MA1221	VSSN	MDI251	VSSN	MDI101	VSSN	MDI301	VSSN	nCS141	VSSN	nPIOW	nPCE121
T1	T2	T3	T4	T5	T6	T7	T8	T9	T10	T11	T12	T13	T14	T15	T16
VSS	VCCN	MDI231	MA1211	MA1241	MDI31	MDI51	nCS111	nCS131	MDI91	MDI111	MDI141	nCS151	nPWF	nPIOR	VCCN

Barramento de endereços	LCD	PCMCIA	0V	1.3V
Barramento de dados	Variados	GPIO	3.3V	NC

8.5 Anexo E - Tabelas de Restrições da Lab Circuits

UNITS: MILIMETERS *If you prefer the units in mils, [click here](#).*

FEATURES	CLASS 3	CLASS 4	CLASS 5	CLASS 6
Minimum plated hole	0,50 mm.	0,30 mm.	0,30 mm.	0,20 mm.
Minimum non plated hole	0,60 mm.	0,40 mm.	0,40	0,30 mm
Aspect/Ratio	5	5	6	8
Outer layer minimum conductor with/spacing. Cu foil.	17/35 μ 0,30 mm 70 μ 0,35 mm	17/35 μ 0,20 mm 70 μ 0,25 mm	17/35 μ 0,15 mm 70 μ 0,20 mm	17 μ 0,127 mm 35 μ 0,15 mm 70 μ 0,175 mm
Inner layer minimum conductor with/spacing. Cu foil.	17 μ 0,25 mm 35/70 μ 0,30 mm	17 μ 0,15 mm 35/70 μ 0,20 mm	17 μ 0,125 mm 35 μ 0,15 mm 70 μ 0,175 mm	17 μ 0,10 mm 35 μ 0,125 mm 70 μ 0,15 mm
Outer layer minimum annular ring	0,22 mm	0,17 mm	0,13 mm	0,10 mm
Signal inner layer minimum annular ring	0,25 mm	0,22 mm	0,19 mm	0,15 mm
Minimum annular spacing in ground plane	0,40 mm	0,40 mm	0,30 mm	0,25 mm

FEATURES	STANDARD	SPECIAL
Conductor width tolerance in outer layer Cu foil	70-35 μ $\pm$ 25% 17 μ $\pm$ 20%	70-35 μ $\pm$ 15% 17 μ $\pm$ 10%
Conductor width tolerance in inner layers Cu base	70 μ $\pm$ 25% 35 -17 μ $\pm$ 20%	70 μ $\pm$ 15% 35 -17 μ $\pm$ 10%
Plated hole diameter tolerance	+0,10/-0,05 mm (or equivalent)	+0,10/-0,0 mm (or equivalent)
Unplated hole diameter tolerance	+0,10/-0,0 mm (or equivalent)	$\pm$ 0,035 mm (or equivalent)

<u>Copper clearance for scoring</u>	Min. 1,0 mm.	Min. 0,75 mm.
<u>Scoring positional accuracy</u>	±0,10 mm	±0,075 mm.
<u>Scoring remaining thickness tolerance</u>	±0,10 mm	±0,05 mm
<u>Outers dimensions tolerance</u>	± 0,15 mm.	±0,10 mm.
<u>PCB thickness tolerance</u>	±10 %	±5 %
<u>Dielectric thickness tolerance</u>	±10 %	±5 %
<u>Plating thickness, copper, holes.</u>	Average: 25 µm Minim: 20 µm	Average: 35 µm Minim: 30 µm
<u>Plating thickness, copper, buried vias</u>	Average: 15 µm Minim: 13 µm	Average: 25 µm Minim: 20 µm
<u>Wall between neighbour plated holes</u>	0,40 mm.	0,35 mm.
<u>Wall between neighbour nonplated holes.</u>	0,25 mm.	0,20 mm.
<u>Minimum annular ring in nonplated holes</u>	0,25 mm	0,20 mm
<u>Conductor to non plated holes minimum spacing</u>	0,20 mm	0,15 mm
<u>Conductor to boardedge minimum spacing</u>	0,20 mm	0,15 mm.
<u>Drilling to outline misalignment</u>	Max. 0,15 mm.	Max. 0,10 mm.
<u>Drill to pad (outerlayer) misalignment</u>	Max. 0,10 mm.	Max. 0,075 mm.
<u>Drill to pad (innerlayer) misalignment</u>	Max. 0,15 mm.	Max. 0,12 mm.
<u>Layer to layer misalignment</u>	Max. 0,10 mm.	Max. 0,075 mm.
<u>Soldermask to pad misalignment</u>	Max. 0,15 mm.	Max. 0,075 mm.
<u>Soldermask minimum line (SMT)</u>	0,15 mm	0,12 mm

<u>Photoimageable soldermask clearance</u>	0,10 mm	0,075 mm
<u>Silkscreened soldermask clearance</u>	0,25 mm	0,15 mm
<u>Legend minimum line</u>	0,15 mm	0,125 mm
<u>Conductive ink (graphite) overlapping</u>	0,20 mm	0,125 mm
<u>Conductive ink (graphite) spacing</u>	0,5 mm	0,4 mm
<u>Conductive ink-pad spacing</u>	0,4 mm	0,3 mm
<u>Peel-off mask overlapping</u>	0,4 mm	0,25 mm
<u>Peel-off mask-pad spacing</u>	1 mm	0,8 mm
<u>Peel-off mask-board edge spacing</u>	1 mm	0,8 mm
<u>Maximum peel-off mask filled hole</u>	2 mm	2,5 mm
<u>Bow and twist</u>	Maxim 1%	Maxim 0,5 %
<u>Insulation resistance</u>	Minim 0,5 mega Ohm	Minim 2,0 mega Ohm
<u>Continuity</u>	Maxim 10 Ohms	0
<u>Electrical strenght</u>	750 V/mil (30 V/ μ m.) segons MIL-13949 H	0
<u>Ionic contamination</u>	Max. 1 μ g Eq. ClNa/cm ²	Max. 0,8 μ g Eq. ClNa/cm ²
<u>For other features</u>	See spec. IPC-A-600 Rev.E 8-95	0

Additional restrictions:

1- When using annular rings with class 6 parameters (in inner or outer layers) teardrops application is convenient up to 8 layers PCB's. From 10 layers and on, it is a must.

2- It is convenient the elimination of Non-Functional-Pads in all inner layers (when a multilayer board is concerned), due to its negative influence in the hole plating.

3- It is convenient that, in outer layers, the surface of the board is uniformly copper covered. If not, a non-regular plating is obtained, driving to bow and twist problems, and to hole reductions. The same problems can happen if the copper relative occupation is different between both outer layers. This difference should be smaller than 30 %.



8.6 Anexo F

Alguns custos de fabrico do Protótipo

- **Fabrico do PCB**

PROTOTYPE 'S CONFIRMATION

CURRENCY: EUR

Dears Sirs,
we confirm your orders as follows :

Our Conf.	Your Order	Your Part Number	Quant	Eur/Uni	Charges	Delivery
147475/01	ENF-06-04006	103052004	6	47,05	GRP 552,00	26/ 4/06

- **Montagem na HFA de 13 componentes**

Qty.	Designação	Preço Unitário
3 unid.	Montagem de componentes SMD placa F1_2 Lista anexo	97,50€

Custos fixos unitários, iniciais

- Programação Pick and Place: 100,00€
- Quadro metálico (Inox) para printer: 250,00€, ou a fornecer pela v/ empresa.
- Preparação de fotolitos: 0,00€

• **Custo de alguns Componentes**

REF. FABRIC	FABRICANTE	QTD	Farnell		Digi-key	
			referencia	preço	referencia	preço
T495X226K025ATE225	Kemet	2	1171889	1,040 €		
H1112	Pulse	1			553-1204-ND (+10-->1,97)	2,870 €
E28F128J3A150 TSOP56	Intel	2	(Lenodo Electronics Company (China)) ~10 €			
GDPXA255A0E400	Intel	1			85106-ND	43,310 €
SRR1206	bourns	5	4107846	0,610 €		
LM4863MT	National Semiconductor	1			LM4863MT-ND	2,620 €
MT48LC16M16A2TG- 75L	Micron	2			557-1062-1-ND	10,700 €
NC7SZ14P5X	Fairchild	2	4537294	0,730 €		
NC7SZ32P5	Fairchild	1			NC7SZ32P5XCT- ND	0,240 €
REF3012AIDBZT	Texas Instruments	1	7527937	1,285 €		
SL811HST-AC TQFP48	Cypress	1			428-1464-ND	7,080 €
SN74LVC14APW	Texas Instruments	1			296-1224-1-ND	0,410 €
UCB1400BE	Philips	1			568-1323-1-ND	4,570 €
SS22 SMB/DO-214AA	Fairchild	11	1020520	0,206 €		
90571-1401 without latch/Eject Levers	Molex	1				
LM397MF	National Semiconductor	2			LM397MF-ND	0,310 €
LT1513CR	Linear Technology	1	Não compensa comprar pois fica mais barato directamente do fabricante		5,45 €	
LT1765ES8	Linear Technology	3			5,53 €	
LTC1754ES6-3.3	Linear Technology	1			1,70 €	
LTC4412ES6	Linear Technology	2			1,88 €	

Total

**Custo dos Componentes por
Protótipo***

10,14 €

83,120

93,261 €

3 Protótipos*

30,42 €

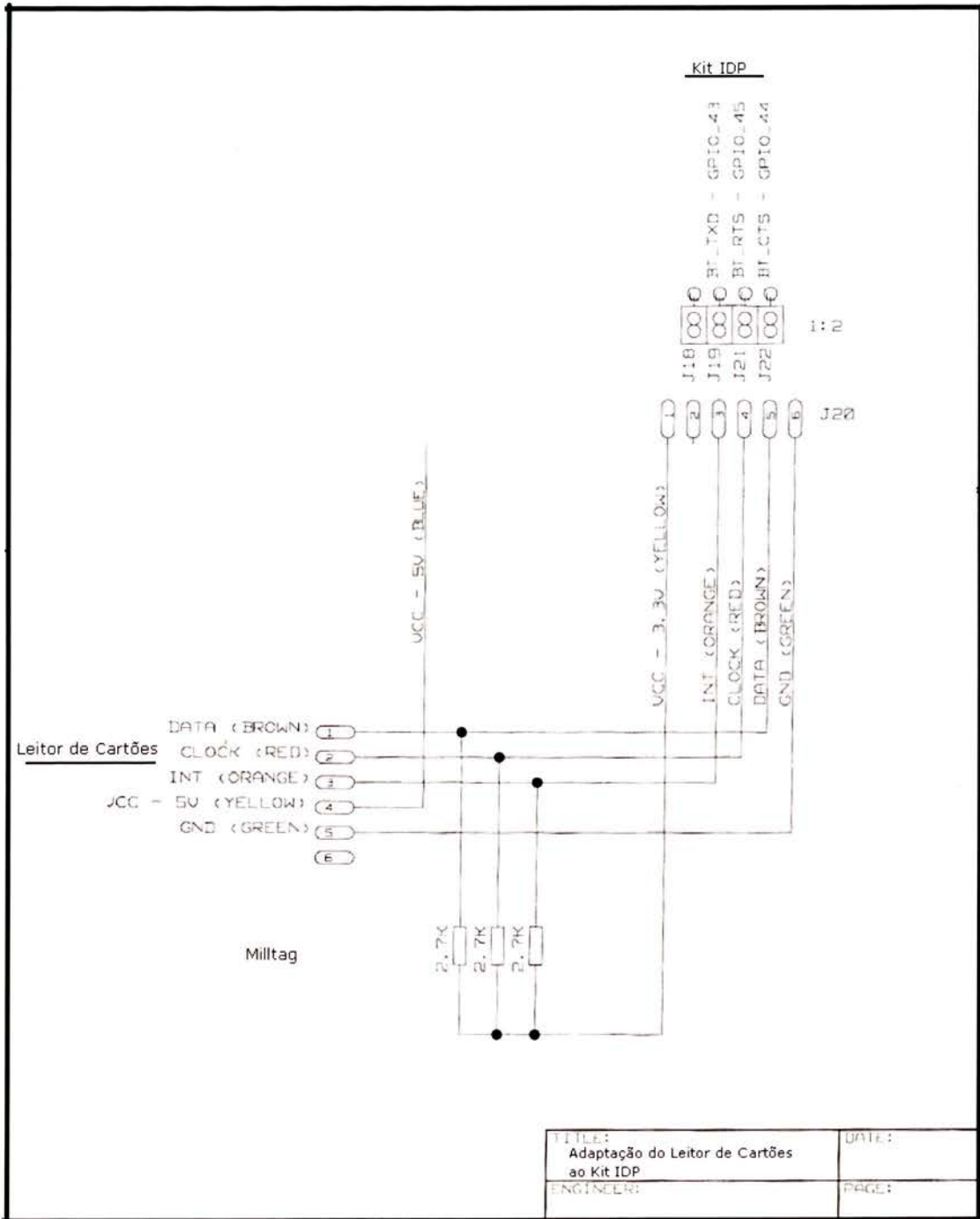
249,360

279,783 €

Custo total do fabrico de 1 protótipo com algumas amostras, material existente na Milénio3 e sem display ≈ **1200€ + portes de envio + taxas**

8.7 Anexo G

Esquema do leitor de Cartões Milltag



8.8 Anexo H

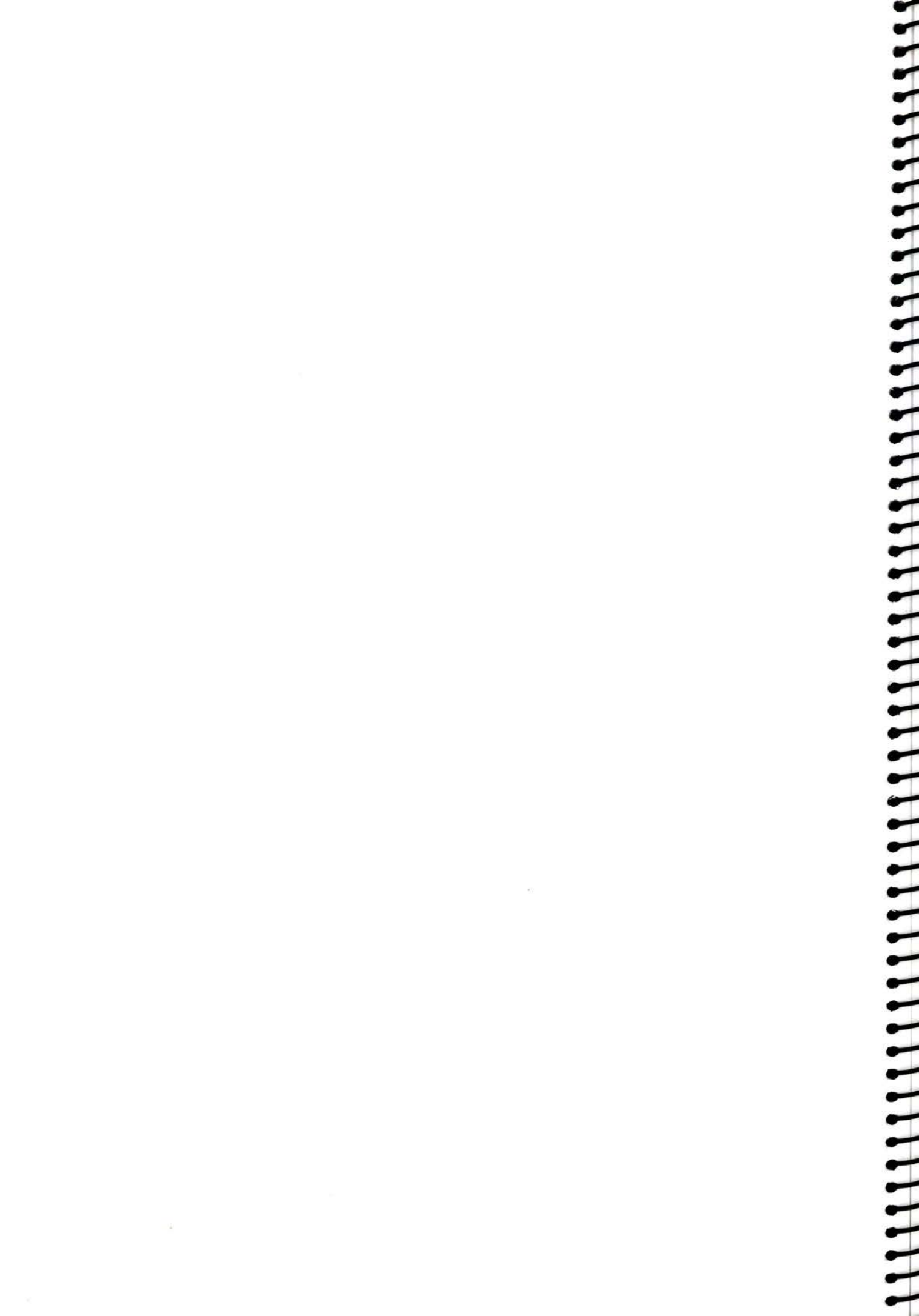
BOM (*Bill of Materials*) Lista de Material

Lista de material "F1_2 (Protótipo)"		08-05-2006
<u>PART NUMBER</u>	<u>COMP TOL</u>	<u>PACKAGE/QTD</u>
200020010	10/100BASE-TX_TRANSF_H1112 Count	1
100072000	15_PINOS_MACHO_2_FILAS_180GR_2_54 Count	3
100072003	2_PINOS_MACHO_1_FILA_180GR_2_54_GOLD-N Count	7
100072003	4_PINOS_MACHO_1_FILA_180GR_2_54_GOLD-N Count	1
100072003	6_PINOS_MACHO_1_FILA_180GR_2_54_GOLD-N Count	2
100058014	BOTAO PRESS SDTX-650-N BOURNS Count	3
200020033	C_QUARTZO_12.00Mhz_CSTCE12M0G55-R0 Count	1
100062002	C_QUARTZO_24.576Mhz Count	1
amostra	C_QUARTZO_25.000Mhz Count	1
amostra	C_QUARTZO_3.6864Mhz Count	1
200062015	C_QUARTZO_32.768Khz_90SMX Count	1
200010168	COND_CER_100NF_63V_X7R_0603 Count	37
200010011	COND_CER_10MF_10V_CHIP1206 Count	9
200010171	COND_CER_10NF_CHIP0603 Count	30
200010173	COND_CER_1NF_CHIP0603 Count	20
200010012	COND_CER_1UF_16V_CHIP1206 Count	5
200010161	COND_CER_22NF_CHIP0603 Count	4
200010006	COND_CER_22PF_50V_NP0_0603 Count	4
200010167	COND_CER_330NF_63V Count	4
200010162	COND_CER_4.7NF_CHIP0603 Count	3
100012029	COND_ELECT_VERT_100UF_63V Count	3
100012073	COND_ELECT_VERT_2200MF_25V_5,08_L.Z Count	1
100014142	COND_MKT-P_275V_E6_220nf Count	1
200016018	COND_TANTALO_22UF_10V Count	7
200016021	COND_TANTALO_22UF_25V_B45197A5225K40 Count	1
amostra	CONNECTOR_PCMCIA Count	1
200036050	DIODO_LED_LS_S260 Count	3
200036049	DIODO_LED_LS_S260_GREEN Count	2
200024016	DIODO_SCHOTTKY_SS22 Count	8
200020039	E28F128J3A-150 Count	2
100086032	FERRITE_4312_020_36762_Philips Count	2
amostra	FERRITE_BEAD_600OHM_0.2A_MU3261-601Y Count	2
100040073	FICHA_LEITOR_DE_CARTOES_90_GRAUS Count	1
100040107	FICHA_MACHO_SL_7.62/180/2_162503 Count	1
100040141	FICHA_RJ-45_HORIZONTAL Count	2
200003001	FUSIVEL_1206SFF100F/63-2 SMD Count	1
100000041	FUSIVEL_MF_R040 Count	1
200020036	GDPXA255A0C400 Count	1
amostra	HARTING_CONN_MACHO_20x2Pinos Count	1
200030029	IC_LM2936MP-5.0 Count	1
200026046	IC_MAX6363PUT44 Count	1
200020037	INDUCTOR_10uH_TYCO_3631B100ML Count	5
200028022	LAN91C111_NC Count	1
200024017	LM397MF Count	2
200028014	LM4863MT Count	1
200024018	LT1513CR Count	1
200024019	LT1765ES8 Count	3

200024020	LTC1754ES8-3.3 Count	1
200024021	LTC4412ES6 Count	2
amostra	MAX3221CPW Count	1
200020030	MOSFET_N_60V_0.28A_2N7002 Count	4
200028012	MOSFET_P_20V_7A_NDS8434A Count	5
200020038	MT48LC16M16A2TG_75 Count	2
200024003	NC7SZ14P5 Count	2
200024004	NC7SZ32P5 Count	1
100036201	PONTE_RECT_W08/10M Count	1
100009102	PTC_2322_662_52513 Count	1
200024005	REF3012AIDBZ Count	2
200008080	RES_0_OHM_5%_CHIP0603 Count	4
200004028	RES_1.5K_5% Count	1
200004008	RES_1_OHM_5%_CHIP0603 Count	2
amostra	RES_10_OHM_1%_CHIP0603 Count	1
amostra	RES_100_OHM_1%_CHIP0603 Count	6
amostra	RES_100K_1%_0603 Count	1
200004201	RES_100K_5%_CHIP0603 Count	2
200004118	RES_10K_5%_CHIP0603 Count	10
200008005	RES_10K_OHM_1%_CHIP0603 Count	2
200004120	RES_12K_1%_CHIP0603 Count	2
amostra	RES_130K_OHM_1%_CHIP0603 Count	1
200004119	RES_15K_5%_CHIP0603 Count	2
amostra	RES_18K_OHM_1%_CHIP0603 Count	1
amostra	RES_1K_OHM_1%_CHIP0603 Count	1
200008085	RES_1M_5%_CHIP0603 Count	2
200004038	RES_2.2K_5%_CHIP0603 Count	4
amostra	RES_22K_OHM_1%_CHIP0603 Count	6
amostra	RES_27_OHM_1%_CHIP0603 Count	5
amostra	RES_27K_1%_CHIP0603 Count	1
amostra	RES_300K_1%_CHIP0603 Count	1
200008078	RES_33_OHM_5%_CHIP0603 Count	3
200004002	RES_330_OHM_5%_CHIP0603 Count	12
200004131	RES_33K_5%_CHIP0603 (Res 39K) Count	49
200008073	RES_4.7K_1% Count	1
200008072	RES_4.7K_5%_CHIP0603 Count	3
200008081	RES_470K_5%_CHIP0603 Count	2
200004044	RES_5.6K_1%_CHIP0603 Count	1
amostra	RES_750K_1%_CHIP0603 Count	2
amostra	SCHURTER_4802-2330_AUDIO_JACK Count	1
200024006	SL811HST-AC Count	1
200024007	SN74LVC14APW Count	1
100076012	TRF_ERA_TIPO_EL42/18.8/5VA Count	1
200024008	UCB1400BE Count	1
amostra	USB_SINGLE_SERIEA_RECEPTACLE Count	1
100090002	VARISTOR_SERIE_595_275V Count	1
200028023	XCR3128XL-7VQ100C Count	1
	Contagem Global	354

8.9 Anexo I

Coordenadas de Montagem



Coordenadas Montagem Componentes "F1 2"

22-05-2006

PART NUMBER	REFDES	COMPONENTE	PACKAGE	SYM_X (	SYM_Y (	ROTATE (°)
	F*	Fitudial Ø = 40 Mils (1 mm)		232	402	0
	F*	Fitudial Ø = 40 Mils (1 mm)		7085	231	0
	F*	Fitudial Ø = 40 Mils (1 mm)		5694	1385	0
	F*	Fitudial Ø = 40 Mils (1 mm)		3500	3500	0
	F*	Fitudial Ø = 40 Mils (1 mm)		5743	3430	0
	F*	Fitudial Ø = 40 Mils (1 mm)		1363	5093	0
	F*	Fitudial Ø = 40 Mils (1 mm)		4607	4533	0
	F*	Fitudial Ø = 40 Mils (1 mm)		370	6942	0
	F*	Fitudial Ø = 40 Mils (1 mm)		5593	5813	0
	F*	Fitudial Ø = 40 Mils (1 mm)		7035	6923	0
200010168	C1	COND_CER_100NF_63V_X7R_0603	CHIP0603	6713	6121	90
200010171	C10	COND_CER_10NF_CHIP0603	CHIP0603	5605	3517	180
200010167	C100	COND_CER_330NF_63V	CHIP2220	3553	1245	270
200016021	C101	COND_TANTALO_22UF_25V_B45197A52	CHIP2812	3975	1350	180
200016018	C102	COND_TANTALO_22UF_10V	CHIP2212	4447	220	180
200016018	C103	COND_TANTALO_22UF_10V	CHIP2212	4450	500	180
200010167	C104	COND_CER_330NF_63V	CHIP2220	6409	243	90
200010168	C105	COND_CER_100NF_63V_X7R_0603	CHIP0603	6150	250	0
200010168	C106	COND_CER_100NF_63V_X7R_0603	CHIP0603	7150	1750	90
200010168	C107	COND_CER_100NF_63V_X7R_0603	CHIP0603	6150	350	0
200016018	C108	COND_TANTALO_22UF_10V	CHIP2212	7030	1007	90
200016018	C109	COND_TANTALO_22UF_10V	CHIP2212	5375	375	0
200010012	C11	COND_CER_1UF_16V_CHIP1206	CHIP1206	6217	3299	90
200010162	C110	COND_CER_4.7NF_CHIP0603	CHIP0603	6800	1650	90
200010162	C111	COND_CER_4.7NF_CHIP0603	CHIP0603	6113	707	0
200010168	C112	COND_CER_100NF_63V_X7R_0603	CHIP0603	7189	1068	90
200010168	C113	COND_CER_100NF_63V_X7R_0603	CHIP0603	5375	201	0
200010011	C114	COND_CER_10MF_10V_CHIP1206	CHIP1206	6600	809	90
200010011	C115	COND_CER_10MF_10V_CHIP1206	CHIP1206	5213	881	270
200010168	C116	COND_CER_100NF_63V_X7R_0603	CHIP0603	5925	1200	270
200010168	C117	COND_CER_100NF_63V_X7R_0603	CHIP0603	6927	2310	0
100012029	C118	COND_ELECT_VERT_100UF_63V	CAP200E	4683	1685	90
100012029	C119	COND_ELECT_VERT_100UF_63V	CAP200E	7079	1969	90
200010173	C12	COND_CER_1NF_CHIP0603	CHIP0603	6624	3767	0
100012029	C120	COND_ELECT_VERT_100UF_63V	CAP200E	6290	1804	0
200010173	C121	COND_CER_1NF_CHIP0603	CHIP0603	6301	4625	270
200010171	C122	COND_CER_10NF_CHIP0603	CHIP0603	6024	4536	90
200010171	C123	COND_CER_10NF_CHIP0603	CHIP0603	6156	4504	180
200010171	C124	COND_CER_10NF_CHIP0603	CHIP0603	5998	4721	270
200010171	C125	COND_CER_10NF_CHIP0603	CHIP0603	6074	4753	270
200010171	C126	COND_CER_10NF_CHIP0603	CHIP0603	6449	4928	0
200010171	C127	COND_CER_10NF_CHIP0603	CHIP0603	6575	5313	0
200010171	C128	COND_CER_10NF_CHIP0603	CHIP0603	6220	5780	90
200010171	C129	COND_CER_10NF_CHIP0603	CHIP0603	5878	5778	90
200010171	C13	COND_CER_10NF_CHIP0603	CHIP0603	5630	4091	180
200010173	C14	COND_CER_1NF_CHIP0603	CHIP0603	5604	3419	180
200010171	C15	COND_CER_10NF_CHIP0603	CHIP0603	6255	4342	90
200010173	C16	COND_CER_1NF_CHIP0603	CHIP0603	6623	3692	0
200010171	C17	COND_CER_10NF_CHIP0603	CHIP0603	6438	3340	270
200010173	C18	COND_CER_1NF_CHIP0603	CHIP0603	6777	3692	0
200010171	C19	COND_CER_10NF_CHIP0603	CHIP0603	5619	4529	180
200010168	C2	COND_CER_100NF_63V_X7R_0603	CHIP0603	6713	6271	90
200010173	C20	COND_CER_1NF_CHIP0603	CHIP0603	5375	2025	0
200010173	C21	COND_CER_1NF_CHIP0603	CHIP0603	5075	1750	180
200010168	C22	COND_CER_100NF_63V_X7R_0603	CHIP0603	6224	3144	180
200010011	C23	COND_CER_10MF_10V_CHIP1206	CHIP1206	5475	1425	0
200010171	C24	COND_CER_10NF_CHIP0603	CHIP0603	6224	3065	180
200010171	C25	COND_CER_10NF_CHIP0603	CHIP0603	6494	3172	0

200010168	C26	COND_CER_100NF_63V_X7R_0603	CHIP0603	5747	1931	0
200010012	C27	COND_CER_1UF_16V_CHIP1206	CHIP1206	6025	1400	0
200010011	C28	COND_CER_10MF_10V_CHIP1206	CHIP1206	6049	1964	270
200010011	C29	COND_CER_10MF_10V_CHIP1206	CHIP1206	3939	3222	0
200010168	C3	COND_CER_100NF_63V_X7R_0603	CHIP0603	6200	6124	90
200010173	C30	COND_CER_1NF_CHIP0603	CHIP0603	4486	3770	270
200010011	C31	COND_CER_10MF_10V_CHIP1206	CHIP1206	3976	4541	0
200010173	C32	COND_CER_1NF_CHIP0603	CHIP0603	4485	5065	0
200010171	C33	COND_CER_10NF_CHIP0603	CHIP0603	4544	3663	0
200010173	C34	COND_CER_1NF_CHIP0603	CHIP0603	4343	4341	0
200010173	C35	COND_CER_1NF_CHIP0603	CHIP0603	4272	4564	0
200010173	C36	COND_CER_1NF_CHIP0603	CHIP0603	4265	5585	180
200010171	C37	COND_CER_10NF_CHIP0603	CHIP0603	4346	3277	0
200010173	C38	COND_CER_1NF_CHIP0603	CHIP0603	3686	5034	90
200010173	C39	COND_CER_1NF_CHIP0603	CHIP0603	4984	4196	90
200010168	C4	COND_CER_100NF_63V_X7R_0603	CHIP0603	6876	6155	270
200010173	C40	COND_CER_1NF_CHIP0603	CHIP0603	3697	3617	90
200010171	C41	COND_CER_10NF_CHIP0603	CHIP0603	4454	3492	90
200010173	C42	COND_CER_1NF_CHIP0603	CHIP0603	3687	4854	90
200010173	C43	COND_CER_1NF_CHIP0603	CHIP0603	4483	4908	0
200010173	C44	COND_CER_1NF_CHIP0603	CHIP0603	3698	3793	90
200010168	C45	COND_CER_100NF_63V_X7R_0603	CHIP0603	5551	5103	180
200010168	C46	COND_CER_100NF_63V_X7R_0603	CHIP0603	5218	5669	0
200010168	C47	COND_CER_100NF_63V_X7R_0603	CHIP0603	5061	3146	0
200010168	C48	COND_CER_100NF_63V_X7R_0603	CHIP0603	5003	4583	270
200010168	C49	COND_CER_100NF_63V_X7R_0603	CHIP0603	4833	3103	180
200010168	C5	COND_CER_100NF_63V_X7R_0603	CHIP0603	6441	6380	180
200010168	C50	COND_CER_100NF_63V_X7R_0603	CHIP0603	4731	4617	180
200010006	C51	COND_CER_22PF_50V_NP0_0603	CHIP0603	6064	6587	270
200010006	C52	COND_CER_22PF_50V_NP0_0603	CHIP0603	6064	6262	90
200010171	C53	COND_CER_10NF_CHIP0603	CHIP0603	4930	6978	180
200010171	C54	COND_CER_10NF_CHIP0603	CHIP0603	5117	6978	0
200010171	C55	COND_CER_10NF_CHIP0603	CHIP0603	4840	6731	0
200010171	C56	COND_CER_10NF_CHIP0603	CHIP0603	4447	6430	90
200010171	C57	COND_CER_10NF_CHIP0603	CHIP0603	4335	6068	90
200010171	C58	COND_CER_10NF_CHIP0603	CHIP0603	4305	6207	180
200010171	C59	COND_CER_10NF_CHIP0603	CHIP0603	5665	6376	270
200010168	C6	COND_CER_100NF_63V_X7R_0603	CHIP0603	6515	6021	0
200010171	C60	COND_CER_10NF_CHIP0603	CHIP0603	5665	6226	270
200010171	C61	COND_CER_10NF_CHIP0603	CHIP0603	4409	6106	90
200010171	C62	COND_CER_10NF_CHIP0603	CHIP0603	5381	5704	270
200010171	C63	COND_CER_10NF_CHIP0603	CHIP0603	4464	5958	180
200010168	C64	COND_CER_100NF_63V_X7R_0603	CHIP0603	2841	5184	180
200010168	C65	COND_CER_100NF_63V_X7R_0603	CHIP0603	3466	5210	0
200010168	C66	COND_CER_100NF_63V_X7R_0603	CHIP0603	6114	521	180
200010011	C67	COND_CER_10MF_10V_CHIP1206	CHIP1206	6601	516	270
200010168	C68	COND_CER_100NF_63V_X7R_0603	CHIP0603	2597	5725	0
200010168	C69	COND_CER_100NF_63V_X7R_0603	CHIP0603	2309	6135	0
200010173	C7	COND_CER_1NF_CHIP0603	CHIP0603	5598	2025	0
200010168	C70	COND_CER_100NF_63V_X7R_0603	CHIP0603	1972	5973	90
200010168	C71	COND_CER_100NF_63V_X7R_0603	CHIP0603	902	4362	270
200010161	C72	COND_CER_22NF_CHIP0603	CHIP0603	1439	4606	0
200010168	C73	COND_CER_100NF_63V_X7R_0603	CHIP0603	1093	4318	270
200010161	C74	COND_CER_22NF_CHIP0603	CHIP0603	1438	4847	0
200010012	C75	COND_CER_1UF_16V_CHIP1206	CHIP1206	518	5668	0
200010161	C76	COND_CER_22NF_CHIP0603	CHIP0603	1439	4700	0
200010168	C77	COND_CER_100NF_63V_X7R_0603	CHIP0603	793	4893	90
200010161	C78	COND_CER_22NF_CHIP0603	CHIP0603	1439	4759	0
200010168	C79	COND_CER_100NF_63V_X7R_0603	CHIP0603	1018	5018	90
200010171	C8	COND_CER_10NF_CHIP0603	CHIP0603	6430	4342	90
200010006	C80	COND_CER_22PF_50V_NP0_0603	CHIP0603	802	4269	0

200010168	C81	COND_CER 100NF 63V_X7R_0603	CHIP0603	1268	4843	0
200010006	C82	COND_CER 22PF 50V_NP0_0603	CHIP0603	1260	4216	90
200010168	C83	COND_CER 100NF 63V_X7R_0603	CHIP0603	1143	5018	90
200010012	C84	COND_CER 1UF 16V_CHIP1206	CHIP1206	918	5268	90
200010012	C85	COND_CER 1UF 16V_CHIP1206	CHIP1206	793	5268	90
200016018	C86	COND_TANTALO 22UF 10V	CHIP2212	1593	4993	180
200010167	C87	COND_CER 330NF 63V	CHIP2220	1218	5568	0
200010168	C88	COND_CER 100NF 63V_X7R_0603	CHIP0603	1518	5143	0
200010167	C89	COND_CER 330NF 63V	CHIP2220	1318	6093	180
200010173	C9	COND_CER 1NF_CHIP0603	CHIP0603	6114	3340	270
200010168	C90	COND_CER 100NF 63V_X7R_0603	CHIP0603	1168	5768	0
200010011	C91	COND_CER 10MF 10V_CHIP1206	CHIP1206	518	5818	0
200016018	C92	COND_TANTALO 22UF 10V	CHIP2212	3670	1605	0
200010162	C93	COND_CER 4.7NF_CHIP0603	CHIP0603	4404	1967	0
100014142	C94	COND_MKT-P 275V_E6 220nf	CAP900	1207	230	0
200010168	C95	COND_CER 100NF 63V_X7R_0603	CHIP0603	3424	1780	270
200010011	C96	COND_CER 10MF 10V_CHIP1206	CHIP1206	4225	2250	180
100012073	C97	COND_ELECT_VERT 2200MF 25V_5	CAP300E	2392	460	90
200016018	C98	COND_TANTALO 22UF 10V	CHIP2212	2978	536	0
200010168	C99	COND_CER 100NF 63V_X7R_0603	CHIP0603	3746	307	270
200036050	D1	DIODO_LED_LS_S260	SOT23	6566	5797	0
200024016	D10	DIODO_SCHOTTKY_SS22	DO214AA	5725	250	90
200024016	D11	DIODO_SCHOTTKY_SS22	DO214AA	6752	993	90
200024016	D12	DIODO_SCHOTTKY_SS22	DO214AA	5375	600	0
200036049	D13	DIODO_LED_LS_S260_GREEN	SOT23	6631	4880	180
200036050	D14	DIODO_LED_LS_S260	SOT23	6803	4879	180
100036201	D15	PONTE_RECT_W08/10M	PONTE	2310	1227	270
200036050	D2	DIODO_LED_LS_S260	SOT23	4466	6850	0
200036049	D3	DIODO_LED_LS_S260_GREEN	SOT23	4273	6847	0
200024016	D4	DIODO_SCHOTTKY_SS22	DO214AA	3669	1831	180
200024016	D5	DIODO_SCHOTTKY_SS22	DO214AA	3675	2025	0
200024016	D7	DIODO_SCHOTTKY_SS22	DO214AA	3062	239	90
200024016	D8	DIODO_SCHOTTKY_SS22	DO214AA	4375	1100	270
200024016	D9	DIODO_SCHOTTKY_SS22	DO214AA	7125	1250	180
200003001	F1	FUSIVEL 1206SFF100F/63-2 SMD	CHIP1206	1519	555	90
100000041	F2	FUSIVEL_MF_R040	CAP200	2228	6486	270
amostra	FB1	FERRITE_BEAD 600OHM 0.2A_MU3261	CHIP3216M	6333	3335	90
amostra	FB2	FERRITE_BEAD 600OHM 0.2A_MU3261	CHIP3216M	643	5061	0
200024007	IC1	SN74LVC14APW	TSSOP14	5450	1850	0
200020039	IC10	E28F128J3A-150	TSOP56	4993	3666	270
200028022	IC11	LAN91C111_NC	QFP128_LAN	5056	6282	270
200024004	IC12	NC7SZ32P5	SC70-L5	2616	5385	0
200024003	IC13	NC7SZ14P5	SC70-L5	1343	5293	90
200024008	IC14	UCB1400BE	LQFP48	1043	4668	90
200024005	IC15	REF3012AIDBZ	SOT23_L3	1118	5293	0
200028014	IC16	LM4863MT	TSSOP20	843	5893	180
200024019	IC17	LT1765ES8	SO8	4125	1975	90
200024018	IC18	LT1513CR	TO263CA	3443	682	180
200024021	IC19	LTC4412ES6	SOT23_L6	4575	950	270
200024006	IC2	SL811HST-AC	TQFP48	2244	5809	270
200024005	IC20	REF3012AIDBZ	SOT23_L3	6619	179	270
200024017	IC21	LM397MF	SOT23_L5	7125	1475	270
200024017	IC22	LM397MF	SOT23_L5	5953	214	180
200024019	IC23	LT1765ES8	SO8	6800	1350	180
200024019	IC24	LT1765ES8	SO8	5800	550	90
200024021	IC25	LTC4412ES6	SOT23_L6	6225	1200	0
200028023	IC26	XCR3128XL-7VQ100C	VQFP100	6049	5253	0
200024003	IC27	NC7SZ14P5	SC70-L5	6314	4780	90
200030029	IC28	IC_LM2936MP-5.0	SOT223	6373	659	0
200020036	IC3	GDPXA255A0C400	BGA256	6098	3855	270
amostra	IC4	MAX3221CPW	TSSOP16	6438	6196	180

200026046	IC5	IC_MAX6363PUT44	SOT23_L6	5408	2179	0	
200024020	IC6	LTC1754ES8-3.3	SOT23_L6	6025	1625	180	
200020038	IC7	MT48LC16M16A2TG_75	TSOP54	4069	5066	180	
200020038	IC8	MT48LC16M16A2TG_75	TSOP54	4079	3821	180	
200020039	IC9	E28F128J3A-150	TSOP56	4993	5130	270	
100072003	J1	6_PINOS_MACHO_1_FILA_180GR_2_54	CO6L	6303	5963	270	
amostra	J10	USB_SINGLE_SERIEA_RECEPTACLE	USB_SINGLE	2350	6800	180	
amostra	J11	SCHURTER_4802-2330_AUDIO_JACK	AUDIO_JACK	1260	6668	180	
100072003	J12	2_PINOS_MACHO_1_FILA_180GR_2_54	JUMPER2	4478	2250	0	
100072003	J13	2_PINOS_MACHO_1_FILA_180GR_2_54	JUMPER2	2828	152	90	
100072003	J14	2_PINOS_MACHO_1_FILA_180GR_2_54	JUMPER2	4920	1352	270	
100072000	J15	15_PINOS_MACHO_2_FILAS_180GR_2_5	CO30	4252	2815	270	
100072000	J16	15_PINOS_MACHO_2_FILAS_180GR_2_5	CO30	5752	2815	270	
100072000	J17	15_PINOS_MACHO_2_FILAS_180GR_2_5	CO30	4352	2515	90	
amostra	J18	HARTING_CONN_MACHO_20x2Pinos	CONN20_2	7086	5353	0	
100072003	J19	2_PINOS_MACHO_1_FILA_180GR_2_54	JUMPER2	6400	950	180	
100072003	J2	4_PINOS_MACHO_1_FILA_180GR_2_54	CO4L	5574	1575	270	
100072003	J20	2_PINOS_MACHO_1_FILA_180GR_2_54	JUMPER2	5358	959	0	
100072003	J21	2_PINOS_MACHO_1_FILA_180GR_2_54	JUMPER2	6188	1538	0	
100040107	J3	FICHA_MACHO_SL_7.62/180/2_162503	CO2D3	328	710	180	
100072003	J4	2_PINOS_MACHO_1_FILA_180GR_2_54	JUMPER2	4375	725	0	
100072003	J5	6_PINOS_MACHO_1_FILA_180GR_2_54	CO6L	6582	2254	270	
100040073	J6	FICHA_LEITOR_DE_CARTOES_90_GRAU	CO5L	6829	2578	180	
100040141	J7	FICHA_RJ-45_HORIZONTAL	RJ45H	6613	6671	0	
100040141	J8	FICHA_RJ-45_HORIZONTAL	RJ45H	3317	6691	0	
amostra	J9	CONNECTOR_PCMCIA	PCMCIA	3291	6035	270	
100086032	L1	FERRITE_4312_020_36762_Philips	CHOCK	450	365	270	
100086032	L2	FERRITE_4312_020_36762_Philips	CHOCK	740	1171	0	
200020037	L3	INDUCTOR_10uH_TYCO_3631B100ML	TYCO3631	3075	1802	90	
200020037	L4	INDUCTOR_10uH_TYCO_3631B100ML	TYCO3631	3086	1130	0	
200020037	L5	INDUCTOR_10uH_TYCO_3631B100ML	TYCO3631	3998	884	270	
200020037	L6	INDUCTOR_10uH_TYCO_3631B100ML	TYCO3631	6967	590	180	
200020037	L7	INDUCTOR_10uH_TYCO_3631B100ML	TYCO3631	4900	402	90	
100076012	L8	TRF_ERA_TIPO_EL42/18.8/5VA	TRF_ERA_5VA	390	1751	0	
100009102	PTC1	PTC_2322_662_52513	PTC	685	205	0	
200020030	Q1	MOSFET_N_60V_0.28A_2N7002	SOT23_L3	6665	4229	180	
200020030	Q2	MOSFET_N_60V_0.28A_2N7002	SOT23_L3	6688	5631	0	
200028012	Q3	MOSFET_P_20V_7A_NDS8434A	SO8	4969	987	90	
200028012	Q4	MOSFET_P_20V_7A_NDS8434A	SO8	4618	1377	270	
200020030	Q5	MOSFET_N_60V_0.28A_2N7002	SOT23_L3	5872	977	180	
200020030	Q6	MOSFET_N_60V_0.28A_2N7002	SOT23_L3	6380	2072	0	
200028012	Q7	MOSFET_P_20V_7A_NDS8434A	SO8	6421	1232	0	
200028012	Q8	MOSFET_P_20V_7A_NDS8434A	SO8	5540	1198	270	
200028012	Q9	MOSFET_P_20V_7A_NDS8434A	SO8	6754	1987	0	
200004028	R1	RES_1.5K_5%	CHIP1206	6564	3441	270	
200004002	R10	RES_330_OHM_5%_CHIP0603	CHIP0603	6605	4367	90	
200004038	R100	RES_2.2K_5%_CHIP0603	CHIP0603	6675	1650	270	
200004038	R101	RES_2.2K_5%_CHIP0603	CHIP0603	6113	802	180	
200004044	R102	RES_5.6K_1%_CHIP0603	CHIP0603	6600	1029	90	
200004120	R103	RES_12K_1%_CHIP0603	CHIP0603	6600	1175	90	
200008005	R104	RES_10K_OHM_1%_CHIP0603	CHIP0603	6600	1400	90	
200008073	R105	RES_4.7K_1%	CHIP1206	5410	814	180	
amostra	R106	RES_27K_1%_CHIP0603	CHIP0603	5650	800	0	
200008005	R107	RES_10K_OHM_1%_CHIP0603	CHIP0603	5927	801	0	
200004201	R108	RES_100K_5%_CHIP0603	CHIP0603	5675	976	0	
200004201	R109	RES_100K_5%_CHIP0603	CHIP0603	6568	2149	180	
200004131	R11	RES_33K_5%_CHIP0603	CHIP0603	6883	5940	90	
200004118	R110	RES_10K_5%_CHIP0603	CHIP0603	5825	1200	90	
200004118	R111	RES_10K_5%_CHIP0603	CHIP0603	6569	2072	0	
200004002	R112	RES_330_OHM_5%_CHIP0603	CHIP0603	6599	5071	90	
200004002	R113	RES_330_OHM_5%_CHIP0603	CHIP0603	6730	5070	90	

200004131	R114	RES_33K_5%_CHIP0603	CHIP0603	6130	5779	270
200004131	R115	RES_33K_5%_CHIP0603	CHIP0603	6060	5780	270
200004131	R116	RES_33K_5%_CHIP0603	CHIP0603	5980	5779	270
200008085	R117	RES_1M_5%_CHIP0603	CHIP0603	6427	4772	90
200004118	R118	RES_10K_5%_CHIP0603	CHIP0603	5497	5327	0
200004118	R119	RES_10K_5%_CHIP0603	CHIP0603	6576	5234	180
200004131	R12	RES_33K_5%_CHIP0603	CHIP0603	6876	6480	270
200004118	R120	RES_10K_5%_CHIP0603	CHIP0603	5524	5498	0
200004118	R121	RES_10K_5%_CHIP0603	CHIP0603	6552	5450	180
200004118	R122	RES_10K_5%_CHIP0603	CHIP0603	5498	5256	0
amostra	R123	RES_27_OHM_1%_CHIP0603	CHIP0603	4821	6839	270
amostra	R124	RES_27_OHM_1%_CHIP0603	CHIP0603	5130	6838	270
amostra	R125	RES_27_OHM_1%_CHIP0603	CHIP0603	5054	6839	90
amostra	R126	RES_27_OHM_1%_CHIP0603	CHIP0603	4749	6977	180
amostra	R127	RES_27_OHM_1%_CHIP0603	CHIP0603	4012	6973	270
200008081	R128	RES_470K_5%_CHIP0603	CHIP0603	6499	4703	270
200004002	R13	RES_330_OHM_5%_CHIP0603	CHIP0603	6876	6305	270
200004131	R14	RES_33K_5%_CHIP0603	CHIP0603	5075	1950	180
200004131	R15	RES_33K_5%_CHIP0603	CHIP0603	5075	1851	0
200004131	R16	RES_33K_5%_CHIP0603	CHIP0603	5590	4742	180
200004131	R17	RES_33K_5%_CHIP0603	CHIP0603	5075	1651	0
200004131	R18	RES_33K_5%_CHIP0603	CHIP0603	6622	3618	180
200004038	R19	RES_2.2K_5%_CHIP0603	CHIP0603	5716	1819	270
200004131	R2	RES_33K_5%_CHIP0603	CHIP0603	6314	4340	270
200004131	R20	RES_33K_5%_CHIP0603	CHIP0603	5409	3869	0
200004131	R21	RES_33K_5%_CHIP0603	CHIP0603	4669	6840	270
200004131	R22	RES_33K_5%_CHIP0603	CHIP0603	4460	6649	0
200004131	R23	RES_33K_5%_CHIP0603	CHIP0603	4585	6839	270
200004131	R24	RES_33K_5%_CHIP0603	CHIP0603	4305	6351	0
200004131	R25	RES_33K_5%_CHIP0603	CHIP0603	4406	6549	0
200004131	R26	RES_33K_5%_CHIP0603	CHIP0603	4305	6428	0
amostra	R27	RES_22K_OHM_1%_CHIP0603	CHIP0603	5278	6838	270
amostra	R28	RES_22K_OHM_1%_CHIP0603	CHIP0603	5356	6837	270
200004002	R29	RES_330_OHM_5%_CHIP0603	CHIP0603	4896	6839	270
200004131	R3	RES_33K_5%_CHIP0603	CHIP0603	5605	3667	0
200004002	R30	RES_330_OHM_5%_CHIP0603	CHIP0603	5203	6838	270
200004002	R31	RES_330_OHM_5%_CHIP0603	CHIP0603	4984	6839	90
200004002	R32	RES_330_OHM_5%_CHIP0603	CHIP0603	4749	6839	90
amostra	R33	RES_100_OHM_1%_CHIP0603	CHIP0603	3933	6008	90
amostra	R34	RES_100_OHM_1%_CHIP0603	CHIP0603	3820	6008	90
amostra	R35	RES_100_OHM_1%_CHIP0603	CHIP0603	3643	6010	90
amostra	R36	RES_100_OHM_1%_CHIP0603	CHIP0603	3521	6010	90
amostra	R37	RES_100_OHM_1%_CHIP0603	CHIP0603	3850	6973	270
amostra	R38	RES_100_OHM_1%_CHIP0603	CHIP0603	3763	6973	270
200004002	R39	RES_330_OHM_5%_CHIP0603	CHIP0603	3932	6973	270
200004131	R4	RES_33K_5%_CHIP0603	CHIP0603	5605	3592	0
200004002	R40	RES_330_OHM_5%_CHIP0603	CHIP0603	4400	7007	0
200004002	R41	RES_330_OHM_5%_CHIP0603	CHIP0603	4237	7006	180
200008072	R42	RES_4.7K_5%_CHIP0603	CHIP0603	3466	5285	180
200008072	R43	RES_4.7K_5%_CHIP0603	CHIP0603	3452	4437	180
200004131	R44	RES_33K_5%_CHIP0603	CHIP0603	2841	5635	0
200004131	R45	RES_33K_5%_CHIP0603	CHIP0603	2756	5949	90
200004131	R46	RES_33K_5%_CHIP0603	CHIP0603	2841	4635	0
200004131	R47	RES_33K_5%_CHIP0603	CHIP0603	2666	4935	0
200008072	R48	RES_4.7K_5%_CHIP0603	CHIP0603	2666	4835	0
200004131	R49	RES_33K_5%_CHIP0603	CHIP0603	2752	4435	0
200004131	R5	RES_33K_5%_CHIP0603	CHIP0603	5605	3748	0
200004131	R50	RES_33K_5%_CHIP0603	CHIP0603	2666	4685	0
200004131	R51	RES_33K_5%_CHIP0603	CHIP0603	2841	4785	0
200004131	R52	RES_33K_5%_CHIP0603	CHIP0603	2594	5859	180
200008078	R53	RES_33_OHM_5%_CHIP0603	CHIP0603	2269	6209	0

200008078	R54	RES_33_OHM_5%_CHIP0603	CHIP0603	2088	6206	180
200004119	R55	RES_15K_5%_CHIP0603	CHIP0603	2088	6284	0
200004119	R56	RES_15K_5%_CHIP0603	CHIP0603	2269	6284	180
200008080	R57	RES_0_OHM_5%_CHIP0603 (Não coloca	CHIP0603	1643	5268	180
200008080	R58	RES_0_OHM_5%_CHIP0603	CHIP0603	1643	5418	180
200004131	R59	RES_33K_5%_CHIP0603	CHIP0603	1440	4292	0
200004131	R6	RES_33K_5%_CHIP0603	CHIP0603	5605	3822	0
200004131	R60	RES_33K_5%_CHIP0603	CHIP0603	1439	4390	0
200008080	R61	RES_0_OHM_5%_CHIP0603	CHIP0603	547	5247	270
200008080	R62	RES_0_OHM_5%_CHIP0603	CHIP0603	1247	5322	90
200004131	R63	RES_33K_5%_CHIP0603	CHIP0603	1439	4469	0
200004131	R64	RES_33K_5%_CHIP0603	CHIP0603	1439	4545	0
200004131	R65	RES_33K_5%_CHIP0603	CHIP0603	868	4893	90
200004131	R66	RES_33K_5%_CHIP0603	CHIP0603	668	4593	180
200004131	R67	RES_33K_5%_CHIP0603	CHIP0603	668	4893	180
200004131	R68	RES_33K_5%_CHIP0603	CHIP0603	668	4519	180
amostra	R69	RES_10_OHM_1%_CHIP0603	CHIP0603	1259	5018	90
200004131	R7	RES_33K_5%_CHIP0603	CHIP0603	5604	3898	0
200004131	R70	RES_33K_5%_CHIP0603	CHIP0603	668	4818	180
200004131	R71	RES_33K_5%_CHIP0603	CHIP0603	668	4443	180
200004131	R72	RES_33K_5%_CHIP0603	CHIP0603	668	4743	180
200004131	R73	RES_33K_5%_CHIP0603	CHIP0603	763	4408	270
200004131	R74	RES_33K_5%_CHIP0603	CHIP0603	668	4668	180
200004131	R75	RES_33K_5%_CHIP0603	CHIP0603	837	4434	270
amostra	R76	RES_22K_OHM_1%_CHIP0603	CHIP0603	918	5531	90
amostra	R77	RES_22K_OHM_1%_CHIP0603	CHIP0603	793	5531	90
amostra	R78	RES_22K_OHM_1%_CHIP0603	CHIP0603	560	5943	180
amostra	R79	RES_22K_OHM_1%_CHIP0603	CHIP0603	1350	5768	180
200004131	R8	RES_33K_5%_CHIP0603	CHIP0603	5934	3379	90
200004038	R80	RES_2.2K_5%_CHIP0603	CHIP0603	4405	2079	180
amostra	R81	RES_1K_OHM_1%_CHIP0603	CHIP0603	3678	2250	0
200004120	R82	RES_12K_1%_CHIP0603	CHIP0603	3975	2250	180
200004002	R83	RES_330_OHM_5%_CHIP0603	CHIP0603	3746	473	270
200008081	R84	RES_470K_5%_CHIP0603	CHIP0603	4775	776	0
200008078	R85	RES_33_OHM_5%_CHIP0603	CHIP0603	3528	936	0
200008085	R86	RES_1M_5%_CHIP0603	CHIP0603	4975	775	180
200004008	R87	RES_1_OHM_5%_CHIP0603	CHIP0603	4100	400	270
200004008	R88	RES_1_OHM_5%_CHIP0603	CHIP0603	4000	400	270
amostra	R89	RES_100K_1%_0603	CHIP0603	4051	220	180
200004131	R9	RES_33K_5%_CHIP0603	CHIP0603	6780	4229	90
amostra	R90	RES_18K_OHM_1%_CHIP0603	CHIP0603	3887	225	270
200004118	R91	RES_10K_5%_CHIP0603	CHIP0603	6636	2580	0
200004118	R92	RES_10K_5%_CHIP0603	CHIP0603	6636	2678	0
200004118	R93	RES_10K_5%_CHIP0603	CHIP0603	6636	2774	0
amostra	R94	RES_750K_1%_CHIP0603	CHIP0603	7051	1750	270
amostra	R95	RES_300K_1%_CHIP0603	CHIP0603	7250	1750	90
amostra	R96	RES_750K_1%_CHIP0603	CHIP0603	6150	150	180
amostra	R97	RES_130K_OHM_1%_CHIP0603	CHIP0603	5971	349	180
200004131	R98	RES_33K_5%_CHIP0603	CHIP0603	6925	1650	90
200004131	R99	RES_33K_5%_CHIP0603	CHIP0603	6113	612	180
100058014	SW1	BOTAO PRESS SDTX-650-N BOURNS	BOTAO4	7013	6562	90
100058014	SW2	BOTAO PRESS SDTX-650-N BOURNS	BOTAO4	7013	6150	90
100058014	SW3	BOTAO PRESS SDTX-650-N BOURNS	BOTAO4	4896	2258	90
200020010	TR2	10/100BASE-TX_TRANSF_H1112	H326	3889	6511	90
100090002	VR1	VARISTOR_SERIE_595_275V	VARISTOR	863	817	270
200062015	X1	C_QUARTZO_32.768Khz_90SMX	90SMX	5692	3128	180
amostra	X2	C_QUARTZO_3.6864Mhz	HC49	6175	2851	0
amostra	X3	C_QUARTZO_25.000Mhz	HC49	5851	6446	90
200020033	X4	C_QUARTZO_12.00Mhz_CSTCE12M0G55	CSTCE_SMD	1873	5845	270
100062002	X5	C_QUARTZO_24.576Mhz	XTRC450_12	865	4148	0

8.9 Anexo I

Coordenadas de Montagem



"Querendo faz-se..." António Nogueira

F I M



FACULDADE DE ENGENHARIA
UNIVERSIDADE DO PORTO

BIBLIOTECA



0000104921