

FACULDADE DE ENGENHARIA DA UNIVERSIDADE DO PORTO



FEUP

Filtro Notch para aplicações em EEGs e ECGs, com recurso a técnicas de F&H em CMOS

Amílcar Gilberto Garcia Correia

Mestrado Integrado em Engenharia Electrotécnica e de Computadores

Orientador: Prof. Dr. Pedro Guedes de Oliveira (PhD)

Co-orientador: Prof. Dr. Vítor Grade Tavares (PhD)

Junho de 2010

A Dissertação intitulada

**“FILTRO NOTCH PARA APLICAÇÕES EM EEGs ECGs, COM RECURSO A TÉCNICAS
DE F&H EM CMOS”**

foi aprovada em provas realizadas em 21/Julho/2010

o júri



Presidente Professor Doutor José Alberto Peixoto Machado da Silva
Professor Associado do Departamento de Engenharia Electrotécnica e de
Computadores da Faculdade de Engenharia da Universidade do Porto



Professor Doutor Rui Manuel Escadas Ramos Martins
Professor Auxiliar do Departamento de Electrónica, Telecomunicações e Informática
da Universidade de Aveiro



Professor Doutor Pedro Henrique Henriques Guedes de Oliveira
Professor Catedrático do Departamento de Engenharia Electrotécnica e de
Computadores da Faculdade de Engenharia da Universidade do Porto (Orientador).



Professor Doutor Vítor Manuel Grade Tavares
Professor Auxiliar do Departamento de Engenharia Electrotécnica e de
Computadores da Faculdade de Engenharia da Universidade do Porto (Co-
Orientador).

O autor declara que a presente dissertação (ou relatório de projecto) é da sua
exclusiva autoria e foi escrita sem qualquer apoio externo não explicitamente
autorizado. Os resultados, ideias, parágrafos, ou outros extractos tomados de ou
inspirados em trabalhos de outros autores, e demais referências bibliográficas
usadas, são correctamente citados.



Autor - Amílcar Gilberto Garcia Correia

Faculdade de Engenharia da Universidade do Porto

Resumo

O processo de aquisição de sinais de electrocardiograma (ECG) e electroencefalograma (EEG) tem sido um desafio no que respeita a questões de minimização de potência consumida e área de circuito, sem causar um impacto na degradação do desempenho. A cadeia de aquisição é constituída por diversos blocos, nomeadamente um pré-amplificador concebido para amplificar os baixos níveis de sinal dos eléctrodos, o bloco de filtragem para limitação do ruído e um amplificador final que eleva o sinal EEG/ECG limpo à saída para o fim de escala de um eventual ADC.

Apesar da reconhecida flexibilidade que as técnicas digitais permitem, a utilização de técnicas analógicas tem como principal objectivo a diminuição do consumo, o que se revela importante especialmente em questões de portabilidade, e a redução do peso dos elementos computacionais, libertando-o para outras tarefas.

Os sinais de EEG (ou ECG) estão em geral sujeitos a ruído de 50 Hz proveniente do sistema de distribuição de energia eléctrica. O nível de ruído pode, nalguns casos, ser assinalável, o que consequentemente resulta numa limitação de ganho para o pré-amplificador. A opção é pré-amplificar e remover o referido ruído de seguida para posteriormente voltar a amplificar. A remoção do ruído de 50 Hz faz-se recorrendo ao desenho de um filtro Notch em torno dos 50 Hz. No entanto, para esta gama de frequências, a maior parte das técnicas revelam-se pouco eficientes, em termos de área de circuito devido à elevada capacidade associada.

Nesta dissertação descreve-se a implementação de um filtro Notch de segunda ordem com recurso a técnica *filter-and-hold* (F&H), que permite por intermédio de um processo de comutação multiplicar as constantes de tempo por um factor inversamente proporcional ao *duty-cycle* do relógio de referência, de modo a tornar o sistema completamente integrável.

O sistema é constituído por quatro blocos G_m de diferentes transcondutâncias e quatro capacidades de igual valor. O circuito é idêntico para cada um dos OTAs e os diferentes valores de transcondutância são obtidos através da característica de *tuning* que o modelo proporciona. A baixa transcondutância é obtida pela aplicação de transístores *bulk-driven* à entrada.

A implementação do sistema proposto resultou numa redução do valor de capacidade de 4.5 nF para 18 pF, com alguma perda de atenuação do Notch. Os resultados das simulações apresentam o Notch a 50 Hz com uma atenuação de -41.7 dB, -31.52 dB e -22.71 dB respectivamente para as capacidades de 2.25 nF, 45 pF e 18 pF, comparativamente com -50.07 dB do caso contínuo. Os dois últimos resultados já permitem uma integração em chip sendo a atenuação nestes dois casos aceitável.

Abstract

The signal acquisition of an electrocardiogram (ECG) and electroencephalogram (EEG) has been a challenge with regard to issues of minimizing power consumption and circuit area, without impact on the performance. The chain of acquisition consists of different blocks, namely a pre-amplifier designed to amplify the low signal levels of the electrodes, the filtering block to limit the noise, and an amplifier that raises the clean EEG/ECG signal to the ADC input full scale.

Despite the recognized flexibility that digital techniques allow, the use of analogue techniques has as a main objective: the low power consumption, which is particularly important in portable systems, and to reduce the weight on the computational resources, releasing it for other tasks.

The EEG (or ECG) signals are generally subject to the 50 Hz noise from the power line system. The noise level may, in some cases, be remarkable, which limits the gain of the preamplifier. The option is to pre-amplify and remove the noise then amplify it back later. The 50 Hz noise removal is made by designing a Notch filter around 50 Hz. However, for this frequency range, most techniques are inefficient in terms of circuit area due to the high associated capacitors.

This dissertation describes the implementation of a second-order Notch filter using the filter-and-hold F&H technique, which allows, through a process of switching, the time constants to be multiplied by a factor inversely proportional to the duty-cycle of a reference clock, facilitating the full integration of the system.

The system consists in four different G_m transconductance blocks and four capacitors of equal value. The circuit of all G_m blocks are identical except the transconductance values which are obtained by the tuning feature that the circuit provides. The low transconductance is achieved with the use of bulk-driven transistors as the input.

Results of the proposed system showed a reduction of the value for capacitors from 4.5 nF to 18 pF, with some attenuation loss in the Notch frequency. The simulation results show the Notch at 50 Hz with an attenuation of -41.7 dB, -31.52 dB and -22.71 dB respectively for the 2.25 nF, 45 pF and 18 pF capacitors, compared with -50.07 dB of the continuous system. The last two results allow an on-chip integration and the attenuation in these two cases are acceptable.

Agradecimentos

Tive a felicidade em conseguir a primeira opção na escolha do tema de dissertação e esta foi feita tanto pelo tema como pela orientação. Deste modo gostaria de aproveitar esta oportunidade para agradecer especialmente aos meus orientadores de projecto, Professor Pedro Guedes de Oliveira e ao Professor Vítor Grade Tavares pelo esforço, encorajamento e toda a disponibilidade que demonstraram ao longo deste projecto, muitas vezes usando recursos como o *skype*, sem o vosso apoio a realização deste trabalho seria impossível.

Uma palavra de agradecimento aos meus amigos e colegas mestrandos, Américo Dias e Luís Malheiro, pela amizade, companhia nas longas horas de trabalho e pelo apoio no uso das ferramentas. Desejo-vos as maiores felicidades na vida e em particular na carreira profissional. Aos amigos e colegas do núcleo de microelectrónica da FEUP (μSG), em especial aos Mestres engenheiros Daniel Oliveira e Miguel Pina pelo apoio nas ferramentas e auxílio na preparação da defesa.

A Liliana Alves e irmã, Gorrette Alves pelo apoio e compreensão.

Por último e não menos importante gostaria de agradecer aos meus pais e irmãos que apesar de estarem longe, terem sempre transmitido apoio moral e questionado se já não era tempo de concluir e regressar.

O Autor

”Dedico a realização desta tese aos meus pais, irmãos e sobrinhos”

"Determination today leads to success tomorrow"

Tommy Lasorda

Conteúdo

1	Introdução	1
1.1	Motivação	1
1.2	Solução proposta	2
1.3	Estrutura da dissertação	3
2	Blocos genéricos de baixa potência e baixa tensão	5
2.1	Introdução	5
2.2	OTA - Amplificador Operacional de transcondutância	5
2.2.1	Arquitecturas de OTA	6
2.2.2	O Transcondutor pseudo-diferencial	7
2.2.3	<i>Common Mode Feedforward</i> (CMFF)	8
2.2.4	<i>Common Mode Feedback</i> (CMFB)	8
2.2.5	Linearização de transcondutâncias	10
2.3	Filtragem a baixas Frequências	11
2.4	Técnicas de design de filtros de baixa frequências em <i>CMOS</i>	12
2.4.1	<i>Source-Degeneration</i>	12
2.4.2	<i>Floating Gate</i>	15
2.4.3	<i>Current Division</i>	17
2.4.4	<i>Current Cancelation</i>	18
2.4.5	<i>Bulk-Driven</i>	18
2.4.6	Espelho de corrente para baixa potência e tensão	22
2.5	Filtros	23
2.5.1	Filtros de primeira ordem	23
2.5.2	Filtros de segunda ordem	24
2.6	Conclusão	27
3	Estado da arte	29
3.1	Trabalho relacionado	29
3.1.1	Filtro Notch passa-baixo para sistemas EEG	29
3.1.2	Aproximação comparativa para implementação de baixa transcondutância	30
3.1.3	<i>Fully-differential</i> (FD) OTA com <i>tuning</i>	33
3.1.4	<i>Pseudo-differential</i> (PD) OTA com entrada de sinal pelo substrato	34
3.2	<i>Filter-and-Hold</i> (F&H)	35
3.2.1	Definição	35
3.2.2	Princípio de Funcionamento	36
3.2.3	Implementação à sistemas de ordem N	37
3.2.4	Vantagens	37
3.3	Conclusão	38

4	Implementação da solução proposta	39
4.1	Projecto do Amplificador Operacional de transcondutância	39
4.1.1	Descrição do circuito	40
4.1.2	Estabilidade em modo-comum	41
4.1.3	Espelho de corrente	45
4.1.4	Sinal de entrada e intervalos de <i>tuning</i>	46
4.1.5	Transcondutância e impedância de saída	47
4.1.6	Amplificador de <i>tuning</i>	48
4.1.7	Resposta em frequência	48
4.2	Filtro Notch Passa-baixo de 2 ^a ordem	51
4.2.1	Características	51
4.2.2	Determinação das características do circuito	51
4.2.3	Ganho do filtro	54
4.3	<i>Filter-and-Hold</i> (F&H)	55
4.3.1	F&H aplicado a circuito de 1 ^a Ordem	55
4.4	Integração do F&H com o filtro Notch passa-baixo de 2 ^a ordem	57
4.4.1	Simulação do filtro contínuo, (i.e. sem uso de <i>switch</i>)	58
4.4.2	Simulação do filtro com $k = 0.5$	58
4.4.3	Simulação com $k = 0.01$	58
4.4.4	Simulação do filtro com $k = 0.004$	59
4.5	Conclusão	60
5	Conclusões e Trabalho Futuro	63
5.1	Principais resultados	63
5.2	Satisfação dos Objectivos	63
5.3	Trabalho Futuro	65
A	Anexos	67
	Referências	75

Lista de Figuras

1.1	Sistema geral de aquisição de sinais biomédicos	3
2.1	Integrador <i>single-ended</i>	6
2.2	Integrador <i>fully-differential</i>	6
2.3	Equivalente <i>single-ended</i>	6
2.4	Equivalente <i>fully-differential</i>	6
2.5	Transcondutor <i>fully-differential</i>	7
2.6	Transcondutor <i>pseudo-differential</i>	7
2.7	Diagrama de fluxo do CMFB	8
2.8	Arquitectura geral do circuito CMFB	9
2.9	Multiplicadores com constante V_A	11
2.10	<i>Single-quadrant</i>	11
2.11	G_m baseado em multiplicadores e V_A	11
2.12	G_m baseado em <i>Single-quadrant</i>	11
2.13	<i>Source-degeneration</i> com resistência	13
2.14	<i>Source-degeneration</i> com transístor <i>MOS</i>	14
2.15	<i>Source-degeneration</i> adaptivo	15
2.16	<i>Gate</i> flutuante	15
2.17	FG de quatro entradas	16
2.18	Divisão de correntes	17
2.19	Cancelamento de correntes.	18
2.20	<i>Gate-driven</i>	19
2.21	<i>Bulk-driven</i>	19
2.22	Variações da transcondutância e correntes do par diferencial	21
2.23	<i>BD</i> associado ao <i>BJT</i> parasita.	22
2.24	Cascode convencional	23
2.25	<i>Regulated cascode</i>	23
2.26	Entrada activa	23
2.27	<i>Wide swing current mirror</i>	23
2.28	Diagrama geral do filtro de 1 ^a ordem	24
2.29	Integrador $G_m - C$	24
2.30	Diagrama de blocos geral para filtros de segunda ordem	25
2.31	Funções de transferência de sistemas de 2 ^a ordem	26
3.1	OTA com transístores em inversão fraca	30
3.2	<i>SD</i> with <i>CD</i>	31
3.3	<i>FG</i> with <i>CD</i>	32
3.4	<i>BD</i> com <i>CD</i>	33

3.5	<i>FD OTA com V_{tune}</i>	34
3.6	<i>LV high linear body-driven OTA</i>	35
3.7	Filtro RC passa-baixo 1 ^a ordem	36
3.8	Sinais de relógio ϕ_1 e ϕ_2	36
4.1	Diagrama proposto para realização do filtro Notch	39
4.2	Arquitetura do OTA proposto	40
4.3	Circuito <i>level-shift</i>	41
4.4	Controlo da componente de modo-comum	42
4.5	Esquemático do bloco CMFB	43
4.6	Diagrama do fluxo do CMFB	43
4.7	Modelo para pequenos sinais do bloco CMFB	44
4.8	<i>Wide swing current mirror</i>	45
4.9	Geração de V_b	46
4.10	Esquemático do amplificador de <i>tuning</i>	49
4.11	Resposta em frequência com $V_{ref} = 2$ e $2.8V$	49
4.12	Resposta transitória com $V_{ref} = 2$ e $2.8V$	50
4.13	Variação da fase e magnitude com V_{ref} entre 2 e $2.6 V$	50
4.14	Diagrama de blocos resultante da FT do filtro Notch passa-baixo de 2 ^a ordem	51
4.15	Arquitetura do Filtro Notch proposto	53
4.16	Análise AC dos blocos g_{m1} , g_{m2} , g_{m3} e g_{m4}	53
4.17	Circuito de implementação do <i>switch</i> e fases do sinal de relógio	55
4.18	Filtro passa-baixo <i>fully-differential</i>	55
4.19	Filtro passa-baixo com F&H	55
4.20	Resposta transiente para $k = 0.5$ e $f_{in} = 50 Hz$	56
4.21	<i>Zoom</i> do gráfico anterior	56
4.22	Resposta transiente para $k = 0.5$ e $f_{in} = 200 Hz$	57
4.23	<i>Periodic AC analysis</i> para os casos contínuo e com F&H	57
4.24	Filtro Notch passa-baixo de 2 ^a ordem com F&H	58
4.25	Variação do Notch consoante aumento do <i>duty-cycle</i>	59
4.26	Variação da transitória aos 50 Hz consoante o <i>duty-cycle</i>	60
4.27	Gráfico da fase para diferentes valores de k	60
5.1	Variação do <i>duty-cycle</i>	64
A.1	Gráfico de módulo e fase do filtro Notch contínuo	67
A.2	Análise transitória do filtro Notch contínuo	67
A.3	Comparação da magnitude do filtro com F&H e $k = 0.5$	68
A.4	Análise transitória do filtro com F&H e $k = 0.5$	68
A.5	Gráfico da magnitude e fase do filtro com F&H e $k = 0.01$	69
A.6	Análise transitória do filtro com F&H e $k = 0.01$	69
A.7	Gráfico da magnitude e fase do filtro com F&H e $k = 0.004$	70
A.8	Análise transitória do filtro com F&H e $k = 0.4\%$	70
A.9	Esquemático do filtro Notch implementado	71
A.10	Esquemático do OTA com CMFB	72
A.11	Esquemático do amplificador de <i>tuning</i>	73
A.12	Esquemático do <i>switch</i> usado para F&H	74

Lista de Tabelas

1.1	Gama de frequência dos sinais versus interferências	2
3.1	Sumário dos resultados	30
3.2	Sumário dos resultados	33
3.3	Sumário dos resultados	33
3.4	Características do filtro implementado em [1]	34
3.5	Características do filtro implementado em [2]	35
4.1	Dimensões do OTA	41
4.2	Dimensões do CMFB	45
4.3	Dimensionamento do amplificador	49
4.4	Parâmetros calculados para implementação do filtro	53
4.5	Simulação do filtro Notch para diferentes <i>duty-cycles</i>	61
5.1	Desempenho do filtro Notch	64

Abreviaturas e Símbolos

ADC	Analog Digital Converter
BD	Bulk-Driven
BJT	Bipolar Junction Transistor
CMFB	Common Mode Feedback
CMFF	Common Mode Feedforward
CMRR	Common Mode Rejection Ratio
dB	Decibel
DVCCS	Differential Voltage-controlled Current Source
ECG	Electrocardiogram
EEG	Electroencephalogram
EEPROM	Electrically Erasable Programmable Read-Only Memory
EPROM	Erasable Programmable Read-Only Memory
FD	Fully Differential
FG	Floating Gate
F&H	Filter and Hold
FT	Transfer Function
GD	Gate-Driven
HD	Harmonic Distortion
LP	Low-Pass
LV	Low Voltage
OTA	Operational Transconductance Amplifier
PD	Pseudo Differential
SD	Source Degeneration
S&H	Sample and Hold
THD	Total Harmonic Distortion
VLSI	Very Large Scale Integration

Capítulo 1

Introdução

1.1 Motivação

A motivação deste trabalho advém da tentativa de se criar um sistema fiável de filtragem do ruído à frequência de 50 Hz proveniente do sistema de distribuição eléctrica e que afecta em particular os sinais de EEG e ECG, de modo a que este seja completamente integrado.

O sistema de filtragem destes sinais, que são muito fracos em termos de amplitude, é constituído inicialmente por um pré-amplificador de muito baixo ruído e baixo *offset*, um coeficiente de rejeição de modo-comum (CMRR) muito elevado, que amplifica razoavelmente o sinal de tal modo a não amplificar em demasia a componente de 50 Hz, pois esta possui valores de amplitude razoáveis, podendo levar o amplificador a saturação. Seguidamente é aplicado um filtro de muito baixa potência e baixa frequência de corte que limita a banda do ruído, tipicamente acima dos 250 Hz e remove a interferência dos sinais. O sinal limpo EEG/ECG é recuperado à saída do filtro [1]. O trabalho aqui desenvolvido concentra-se no desenvolvimento do bloco do filtro, como exemplifica a figura 1.1.

A questão da redução de área que se traduz em portabilidade e a redução do consumo de potência são de grande importância em certas aplicações electrónicas. Actualmente existem limitações na determinação de constantes de tempo elevadas tornando a integração de certos circuitos muito difícil.

A interferência proveniente da rede eléctrica está sempre presente no processo de medição de sinais bio-eléctricos, mesmo que por vezes com magnitudes extremamente baixas tornando-se quase imperceptível. Em situações especiais, este tipo de interferência pode ser negligenciado, mas não é uma regra geral. Em experiências laboratoriais e análises clínicas, torna-se difícil e caro isolar dispositivos de medição dos campos eléctricos produzidos pela rede energia eléctrica. No registo destes sinais, é uma prática comum a aplicação de um filtro Notch à frequência 50/60 Hz de modo a reduzir este tipo de interferência. Em tais casos, a distorção observada no registo do sinal não é considerável pois o filtro Notch consegue remove-la [3].

O electrocardiograma (ECG) e o electroencefalograma (EEG), são métodos de aquisição da actividade eléctrica, respectivamente do coração e do cérebro. O ECG tem sido amplamente usado na detecção de doenças do coração, registando os sinais eléctricos gerados pelos músculos do coração.

Os sinais provenientes de um EEG compreendem quatro regiões de frequência: gama (γ) correspondente às frequências de 1 – 4 Hz, teta (θ) de 4 – 8 Hz, alfa (α) de 8 – 13 Hz e beta (β) de 13 – 40 Hz. Estes sinais que aparecem em forma de oscilações, são muito fracos em termos de potência, com tensões na ordem de $2 \mu V$ a $200 \mu V$ [4]. Quando se monitoriza o sinal, o cabo de ligação entre o paciente e o equipamento está susceptível a interferência dos 50/60 Hz, que são muito próximas da componente de alta frequência do sinal ECG, aumentando a dificuldade de filtragem [5].

	ECG	EEG	<i>Flicker Noise</i>	Eléctrodo	Linhas de transmissão
Frequência (Hz)	$< 10^2$	$< 10^2$	$< 10^3$	$< 10^0$	50/60
Amplitude (μV)	$< 10^4$	$< 10^2$	$10^{-1} - 10^1$	$10^{-1} - 10^4$	$10^3 - 10^4$

Tabela 1.1: Gama de frequência dos sinais versus interferências [6]

Remover a interferência provocada pela rede eléctrica tem sido uma área importante de pesquisa e vários métodos têm sido propostos nas últimas décadas.

Estes métodos podem ser classificados em métodos adaptativos e não-adaptativos. O processo de filtragem adaptativa consiste na implementação de filtros puramente digitais. O método não perturba o espectro de frequências ECG, mas requer um sinal de referência. Os coeficientes do filtro podem ser actualizados de forma adaptativa seguindo as características da estatística do sinal de referência. A selecção do sinal de referência é importante pois este controla o desempenho do filtro adaptativo [5].

O método de filtragem não-adaptativo consiste no uso de um filtro Notch que é um filtro rejeita-banda com uma banda rejeição muito estreita. Este tipo de filtro deixa passar todas as frequências, excepto a que se encontra na banda de rejeição, a frequência central, neste caso 50/60 Hz. O método é de fácil implementação e baixo custo. O desempenho depende também da estabilidade de frequência da linha de alimentação [5].

1.2 Solução proposta

Para a resolução do problema de filtragem da interferência de 50 Hz, a solução aqui proposta consiste no projecto em CMOS de um filtro Notch a 50 Hz, completamente integrado, tendo como métodos, o uso de amplificadores operacionais de transcondutância OTA pseudo-diferenciais para o design do filtro e em particular a técnica F&H que permitirá a redução da capacidade associada.

O filtro será implementado em ambiente analógico por ser bastante mais eficiente do que o ambiente digital em termos de consumo de área e energia, favorecendo assim a questão da portabilidade. A técnica de F&H permite, segundo um processo de comutação, multiplicar as

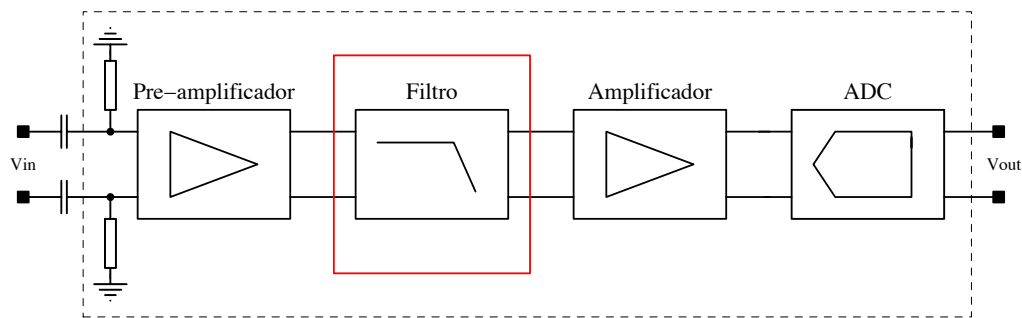


Figura 1.1: Sistema geral de aquisição de sinais biomédicos [7]

constantes de tempo por um factor inversamente proporcional ao *duty-cycle* do sinal de relógio de referência.

Para tal será necessário desenvolver um processo de comutação que permita ajustar as constantes de tempo a partir do controlo do *duty-cycle* do relógio e também o desenho de amplificadores com valores baixos de transcondutância, resultante do facto das frequências envolvidas nas aplicações biomédicas serem muito baixas, em especial em ECG e EEG.

1.3 Estrutura da dissertação

O presente trabalho concentra-se no desenvolvimento de um sistema de filtragem da componente de frequência de 50 Hz proveniente da rede eléctrica, para aplicação em EEGs, em tecnologia CMOS de $0.35 \mu\text{m}$. O circuito é simulado usando como ferramenta o *Cadence Spectre*.

A dissertação encontra-se dividida em 6 capítulos organizados pela seguinte ordem:

- O capítulo 2 apresenta um resumo sobre blocos genéricos de redução da transcondutância, essencial para a realização de filtros de muito baixas frequências e formas de implementação de filtros Notch do tipo $G_m - C$.
- No capítulo 3 aborda-se na generalidade a problemática da filtragem de sinais EEGs e ECGs, da influência dos 50 Hz na leitura destes sinais e os métodos que têm sido usados para a sua eliminação. Fala-se também da técnica *filter-and-hold* F&H como uma inovação na realização de capacidades elevadas por um processo de comutação.
- O quarto capítulo aborda a metodologia utilizada para a execução do projecto, isto é, a arquitectura completa do amplificador operacional de transcondutância de baixo G_m , os blocos constituintes do filtro Notch implementado com a auxílio da técnica F&H e os resultados obtidos em cada secção.
- Por último, o capítulo das conclusões, que com os dados obtidos faz-se uma análise aos resultados, o balanço da satisfação dos objectivos propostos e do trabalho futuro.

Capítulo 2

Blocos genéricos de baixa potência e baixa tensão

2.1 Introdução

Várias estratégias de design e diferentes tecnologias em *CMOS* têm sido utilizadas para a implementação de dispositivos *low-voltage/low-power*. Estas técnicas podem ser divididas em várias categorias que incluem *i*) considerações da tecnologia, *ii*) a execução de técnicas *low-voltage* (LV) e *iii*) blocos básicos apropriados a LV. Cada uma destas estratégias têm as suas vantagens e desvantagens.

Neste capítulo apresentam-se algumas técnicas apropriadas ao projecto de circuitos integrados *low-power* entre as quais, algumas necessárias no apoio e implementação do projecto proposto.

Quando se fala em filtros de muito baixas frequências, a questão principal divide-se em duas partes:

- Uma envolve o projecto de amplificadores OTA de muito baixa transcondutância, na ordem de alguns nA/V e com boa linearidade.
- A outra parte do problema consiste na realização de capacidades elevadas, tipicamente na ordem de alguns nF , em chip [8].

Existem no entanto diferentes técnicas para cada um destes objectivos, e neste capítulo dá-se uma maior ênfase nas técnicas de redução da transcondutância em amplificadores operacionais de transcondutância.

2.2 OTA - Amplificador Operacional de transcondutância

O amplificador operacional de transcondutância é uma fonte de corrente diferencial controlada por tensão (DVCCS). A transcondutância G_m representa a razão entre a corrente de saída e a tensão de entrada. A transcondutância é usada como parâmetro de design da mesma forma que as

resistências são usadas em filtros activos convencionais, ajustáveis por várias décadas conforme o ajuste da corrente no OTA, o que permite grande margem de *tuning* de funcionamento. Isto é particularmente importante em circuitos integrados, pois satisfaz uma vasta gama de especificações de circuitos [9].

2.2.1 Arquitecturas de OTA

As figuras 2.3 e 2.4 mostram a estrutura básica de um integrador $G_m - C$ em versões *single-ended* e *fully-differential* [10].

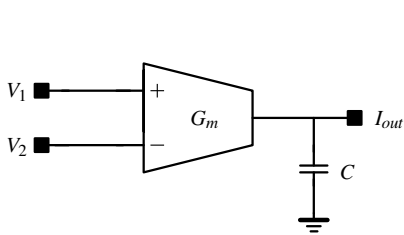


Figura 2.1: Integrador *single-ended*

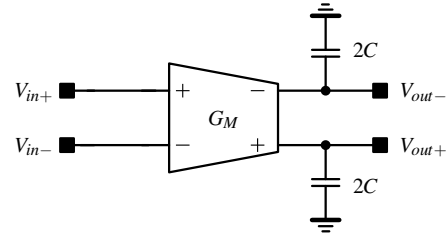


Figura 2.2: Integrador *fully-differential*

Na versão *single-ended*, em que ω_{ti} representa a frequência de ganho unitário do integrador, a relação dos sinais é dada por:

$$V_o = \frac{I_o}{sC} = \frac{G_m V_i}{sC} \quad (2.1)$$

$$V_o = \left(\frac{\omega_{ti}}{sC} \right) = \left(\frac{G_m}{sC} \right) V_i \equiv \left(\frac{\omega_{ti}}{s} \right) V_i \quad (2.2)$$

Para o integrador *fully-differential*, a tensão de saída é igual a $V_o = V_{o+} - V_{o-}$ e $I_o = G_m V_i$.

As saídas diferenciais são dadas por:

$$V_{o+} = I_o/s(2C), V_{o-} = -I_o/s(2C) \quad (2.3)$$

$$V_o = \frac{2I_o}{s(2C)} = \left(\frac{G_m}{sC} \right) V_i \quad (2.4)$$

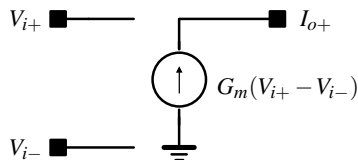


Figura 2.3: Equivalente *single-ended*

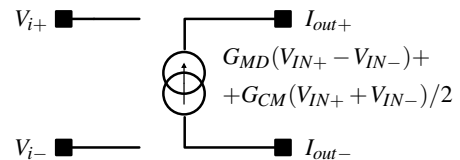


Figura 2.4: Equivalente *fully-differential*

O circuito *fully-differential* apresenta uma maior imunidade ao ruído, mas requer a utilização de realimentação em modo comum CMFB.

Uma vez que o ganho de transcondutância de um *OTA* é proporcional a corrente de polarização, o controle externo dos parâmetros do filtro pode ser efectuado através da corrente de polarização. A maioria dos trabalhos existentes sobre utilização de *OTAs* no design de filtros, concentram-se na modificação de estruturas já existentes de amplificadores com a inclusão de alguns componentes adicionais passivos.

2.2.2 O Transcondutor pseudo-diferencial

A figura 2.4 apresenta a configuração *fully-differential*. A topologia *fully-differential* é baseada no par diferencial com fonte de corrente a polarizar e a pseudo-diferencial é baseada em dois inversores independentes sem fonte de corrente como mostra a figura 2.6.

Em configurações *fully-differential* a rejeição de sinais de modo comum é feita pela alta impedância de saída da fonte de corrente que polariza o par diferencial. Na configuração completamente diferencial, os harmónicos de distorção pares são bastante atenuados.

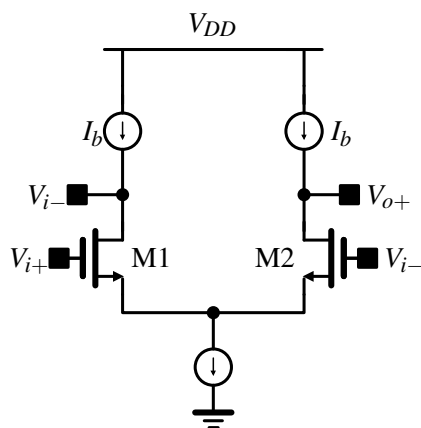


Figura 2.5: Transcondutor *fully-differential*

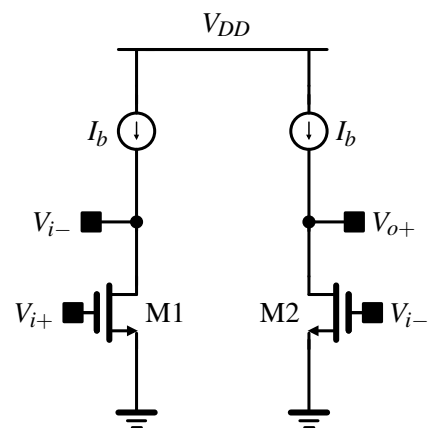


Figura 2.6: Transcondutor *pseudo-differential*

De facto, através de uma análise de distorção, pode concluir-se que o terceiro harmónico (HD3) é expresso por [11]:

$$HD3 = \frac{V_i^2}{32(V_{OV} - V_{tn})^2} \quad (2.5)$$

A tensão V_{OV} é a chamada tensão de *overdrive* na *gate*, geralmente $V_{OV} = V_{GS} - V_T$, das entradas dos transístores M_1 e M_2 , da figura 2.5.

A linearidade neste circuito pode ser melhorada com o aumento da tensão de *overdrive* na *gate* dos transístores de entrada. A forma de se ajustar o valor de g_m passa pelo ajuste da corrente no transcondutor.

Contudo, para um factor de ajuste igual a α , seria necessário aumentar o valor da corrente a uma razão α^2 dada pela equação de saturação. Deste modo conclui-se que apenas um ajuste limitado é possível em prática.

Em comparação, o transcondutor pseudo-diferencial pode ser usado para baixas tensões de alimentação porque evita a queda de tensão na fonte de corrente de polarização. Removendo a fonte de corrente de polarização resulta num valor alto para o ganho de modo-comum (A_{CM}). Numa estrutura *fully-differential* o ganho de modo comum pode ser reduzido pelo aumento da resistência de saída da fonte de corrente.

A estrutura pseudo-diferencial permite maior excursão do sinal, mas adiciona termos de distorção proveniente do sinal de modo comum. Estes termos podem aparecer como uma estrutura perfeitamente equilibrada, devido ao produto de sinais diferenciais e sinais de modo-comum. Além disso, a transcondutância do sinal de entrada em modo comum é igual à do sinal diferencial de entrada, necessitando portanto, de um controlo mais cuidado da componente modo-comum de entrada. Deste modo, são necessários circuitos adicionais para o controlo da componente de modo-comum.

O ganho em modo-comum A_{CM} é igual ao ganho em modo diferencial A_{DM} , isto é, o *common mode rejection ratio*, $CMRR = 1$. O valor elevado do ganho modo-comum na topologia pseudo-diferencial, pode originar instabilidade quando utilizado num determinado circuito com realimentação, a menos que se utilizem mecanismos de atenuação deste ganho, como as técnicas de *Common Mode Feedforward*(CMFF)[12].

2.2.3 Common Mode Feedforward (CMFF)

A utilização de técnicas CMFF faz-se normalmente em associação com outras, porque apesar de contribuir bastante para a redução dos sinais de modo-comum na saída, não é suficiente para a estabilização do ponto de funcionamento DC.

A figura seguinte representa o esquema conceptual do CMFF.

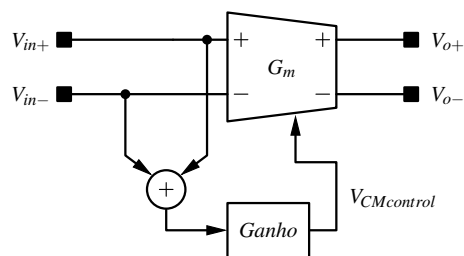


Figura 2.7: Diagrama de fluxo do CMFF

2.2.4 Common Mode Feedback (CMFB)

A técnica do CMFB tem sido aplicada em circuitos para o controlo da componente de modo comum à saída. Em tecnologias mais recentes a fonte de alimentação é limitada, mas continua a ser necessário uma boa gama dinâmica do sinal à saída. Uma das soluções consiste no uso de amplificadores *fully-differential*. Como nem todas as técnicas convencionais são válidas para circuitos de baixa tensão, têm havido a necessidade de se recorrer a conjugação das técnicas CMFF e CMFB [13].

Circuitos *low-power* com apenas uma saída têm um fraco desempenho. Para se melhorar a gama dinâmica, utilizam-se circuitos *fully-differential* (FD). O uso do CMFB advém da necessidade de se controlar a tensão de modo comum nos diferentes nós não estabilizáveis pela realimentação diferencial negativa. A tensão de referência é escolhida de modo a permitir um ganho diferencial máximo e/ou a maximização do sinal à saída. O CMFB serve também para eliminar as componentes de modo comum que tendem a saturar nos diferentes andares, pela aplicação da realimentação negativa de modo comum [14].

O uso do CMFB tem assim como objectivo, cancelar o sinal de modo comum à saída e manter o ponto de operação DC de modo a maximizar o ganho, podendo também proporcionar uma redução do ruído. A ideia básica consiste em primeiro monitorizar o sinal de modo comum, que consiste na soma dos dois sinais de saída, e a seguir comparar o sinal de modo comum com a tensão de referência, cuja diferença é realimentada para um ponto do circuito, fechando o *loop* [13].

A figura 2.8 ilustra o princípio de funcionamento do circuito CMFB.

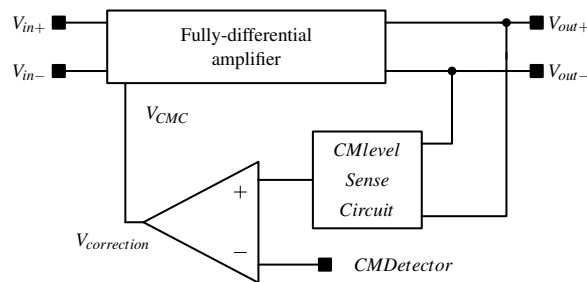


Figura 2.8: Arquitectura geral do circuito CMFB

Descrição básica do funcionamento do circuito:

- Percepção do nível do modo comum à saída, ou seja [14]:

$$\frac{V_{o+} + V_{o-}}{2} = V_{o,cm} \quad (2.6)$$

- Compara-se com a tensão de referência.

$$V_{o,cm} - V_{ref} \quad (2.7)$$

- Introduzir o factor de correcção de erro ao circuito de polarização do amplificador;
- Evitar a introdução de sinais modo-comum nos nós do amplificador que não corrigem $V_{o,cm}$;

2.2.5 Linearização de transcondutâncias

As estruturas de OTA anteriormente descritas apresentam não linearidades, o que significa que estão limitados em termos do sinal de entrada.

A solução para este problema requer técnicas de linearização do transcondutor. Existem três técnicas de linearização nomeadamente, *a*) atenuação, *b*) cancelamento dos termos não-lineares e *c*) *source-degeneration* [15]. O sinal de saída ideal de um transcondutor diferencial é dado por [15]:

$$i_o(v_1, v_2) = (v_1 - v_2)g_m. \quad (2.8)$$

As tensões v_1 e v_2 representam as entradas positiva e negativa do transcondutor. As entradas de um transcondutor são feitas com recurso a transístores *MOS*, que são por si dispositivos não-lineares. Assumindo a corrente de saída dada por [15]:

$$i_o(v_1, v_2) = \sum_{i=1}^{\infty} a_i v_1^i + \sum_{i=1}^{\infty} b_i v_2^i + \sum_{i=1}^{\infty} \sum_{j=1}^{\infty} c_{ij} v_1^i v_2^j + I_{OS} \quad (2.9)$$

Analisando a expressão, infere-se que um dos modos de se linearizar a transcondutância é fazer com que o sinal de entrada seja pequeno, de tal modo que i_o passa a ser [15]:

$$i_o(kv_1, kv_2) = I_{OS} + \sum_{i=1}^{\infty} k^i a_i v_1^i + \sum_{i=1}^{\infty} k^i b_i v_2^i + \sum_{i=1}^{\infty} \sum_{j=1}^{\infty} k^{i+j} c_{ij} v_1^i v_2^j. \quad (2.10)$$

A ideia básica passa por atenuar o sinal de entrada por um factor k . Esta atenuação conduz a aproximação linear expressa por [15]:

$$i_o(v_1, v_2) \cong kg_m(v_1 - v_2). \quad (2.11)$$

A referência [15] fala de algumas formas práticas de implementação do factor de atenuação k .

Existem no entanto técnicas mais elegantes de linearizar um transcondutor por optimização de aproximações algébricas da soma dos termos não-lineares [15].

As figuras em 2.9 e 2.10 apresentam o esquema conceptual destas técnicas de linearização, a primeira com multiplicadores por uma tensão constante V_A e a figura seguinte com $V_1 = -V_2$.

Este sistema pode ser implementado na prática pela interligação de várias transcondutâncias que por sua vez cancelarão todas as não-linearidades, passando a haver apenas uma relação linear entre as tensões de entrada e correntes de saídas. A implementação prática das figuras 2.9 e 2.10 são apresentadas em 2.11 e 2.12.

Na figura 2.11, os transístores da parte inferior do circuito devem operar na região linear e os outros na saturação. Para um bom funcionamento deve-se ter em conta uma polarização DC adequada. A variação no transcondutor pode ser obtida pela aplicação do sinal de entrada pelos transístores de baixo, com uma tensão DC adequada à *gate* em todos os transístores de modo a mantê-los na região de funcionamento adequada.

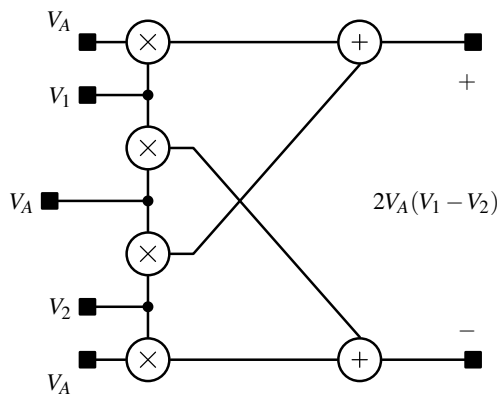


Figura 2.9: Multiplicadores com constante V_A

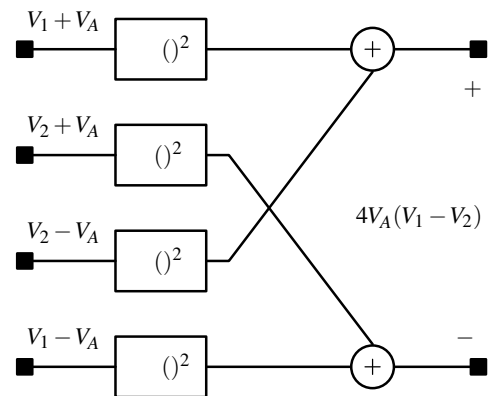


Figura 2.10: *Single-quadrant*

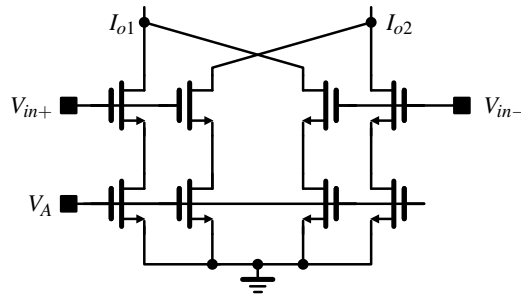


Figura 2.11: G_m baseado em multiplicadores e V_A

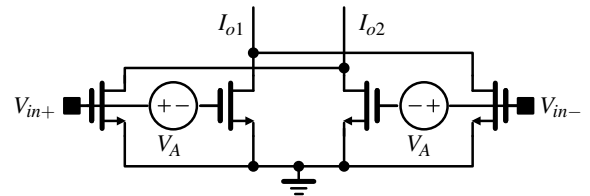


Figura 2.12: G_m baseado em *Single-quadrant*

2.3 Filtragem a baixas Frequências

A implementação de filtros de muito baixa frequência em *CMOS* não é trivial devido às elevadas constantes de tempo associadas aos circuitos. Por exemplo, para uma constante de tempo $RC = 0.001 \text{ s}$, 1 ms , se a capacidade C for igual a $C = 10 \text{ pF}$, o valor de resistência necessária seria da ordem dos $100 \text{ M}\Omega$. Para um filtro a 1 Hz e uma transcondutância de 2 nA/V , seria realizável com uma resistência de $C = 1000 \text{ pF}$ e $R = 6.28 \text{ G}\Omega$, valores impraticáveis em tecnologia *CMOS* [16].

Por esta razão, existe a necessidade de se encontrar alternativas de circuitos que sejam integráveis para estas baixas frequências. Os filtros de baixa frequência têm uma particular importância em sistemas biomédicos, onde os sinais possuem amplitudes muito baixas, na ordem de $1 \mu\text{V}$ - 100 mV e onde as frequências são geralmente abaixo de 100 Hz [17].

Uma aproximação mais comum consiste na implementação em tempo contínuo de filtros *OTA - C* ou $G_m - C$ especialmente em circuitos integrados onde valores de constante de tempo elevadas são necessárias. A implementação para estas frequências requer transcondutâncias na ordem dos nA/V e capacidades na ordem das centenas de pF o que limitam o circuito em termos de área [17].

Analisam-se aqui entre outras técnicas, alguns casos descritos em [16].

2.4 Técnicas de design de filtros de baixa frequências em CMOS

O notável crescimento na electrónica de consumo força a uma maior pesquisa na área de baixa tensão e baixa potência de forma a tornar os dispositivos cada vez mais leves e com uma duração longa de bateria.

A forma mais comum utilizada para a redução do consumo de potência em circuitos analógicos CMOS consiste na diminuição da tensão de alimentação, apesar de não ser a melhor opção visto que existe uma degradação do desempenho do circuito a baixas tensões. Deste modo existe actualmente um grande desafio em se pegar nas estruturas de circuitos já existentes e modifica-las de modo a se adaptar para a aplicação a baixas tensões [18]. O desafio em circuitos analógicos está na preservação ou mesmo no melhoramento do desempenho a baixas tensões.

A maioria das restrições do design em baixa tensão deve-se a tensão de *threshold* do transístor e ao nível de ruído [19]. A tecnologia não tem tido uma evolução que acompanhe linearmente o decréscimo de V_{TH} com a redução da tensão de alimentação nem a diminuição dos tamanhos nas diferentes tecnologias [20].

Em seguida apresentam-se algumas técnicas usadas no projecto de circuitos *low-power*.

2.4.1 Source-Degeneration

Devido a sua simplicidade, estes circuitos são frequentemente usados em filtros de tempo-contínuo e multiplicadores [18]. Existem três formas possíveis de linearização do circuito. A primeira consiste no par diferencial usando a técnica *source-degeneration* associada a uma resistência. A segunda forma associa-se a técnica com o uso de transístores MOS e a terceira faz o uso de uma fonte adaptiva de corrente de polarização para cancelar a não-linearidade do par diferencial MOS.

A figura 2.13 mostra o circuito associado a uma resistência. Nesta topologia, o sinal de entrada é aplicado, através do seguidor de fonte, na resistência linear R_s que faz a conversão de tensão para corrente.

Contudo a relação quadrática existente entre a V_{GS} e a corrente no dreno na região de saturação introduz alguma não-linearidade ao transconductor pelas entradas diferenciais.

A linearidade pode ser melhorada se houver uma queda de tensão das entradas diferenciais para a resistência, desde que a limitação de linearidade seja imposta pelo ganho do circuito seguidor de fonte afectado por R_s .

Considerando uma característica quadrática $i - v$ perfeita do transístor MOS na região de saturação, e para simplificação desprezar o efeito de modulação do canal, a corrente do dreno é dada por [18]:

$$I_D = \frac{\beta}{2}(V_{GS} - V_T)^2. \quad (2.12)$$

O factor β é o parâmetro de transcondutância.

Usando esta expressão, o par diferencial da figura 2.13 tem a seguinte característica [18]:

$$i_o = \sqrt{2\beta I_0} v_i \sqrt{1 - \frac{\beta v_i^2}{8I_0}} = \sqrt{2\beta I_0} v_i \sqrt{1 - \frac{v_i^2}{4(V_{GS} - V_T)^2}} \quad (2.13)$$

Contudo, deve ser evitado um alto valor para R_s (que significa baixar o G_m), e uma transcondutância elevada (que equivale a um consumo elevado), tornando possível o controlo do ganho do transconductor [18].

É possível conseguir-se uma melhor linearidade para valores elevados de V_{GS} efectivo, $V_{OV} = V_{GS} - V_T$. Isto constitui a maior desvantagem para circuitos de baixa-tensão.

Esta configuração tem assim a desvantagem de se precisar altos valores de R_s para maior excursão linear à entrada. Como $G_m \approx 1/R$, a transcondutância obtida está limitada a pequenos valores.

Outra desvantagem consiste na eliminação da capacidade de ajuste da transcondutância, pois esta é directamente controlada pelo valor da resistência.

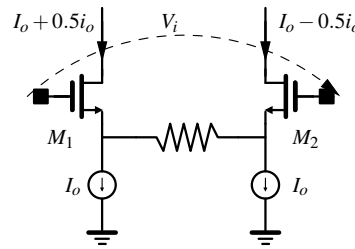


Figura 2.13: *Source-degeneration* com resistência [18]

Substituindo a resistência por dois transístores a operar na região de saturação, obtém-se uma forma de implementar um comportamento resistivo com elementos activos [18].

Na figura 2.14, desprezando o efeito de modulação de canal e considerando os transístores M_1 - M_2 , M_3 - M_4 iguais, a característica de transferência é dada por [18]:

$$i_o = \frac{\sqrt{2\beta_1 I_0}}{a} v_i \sqrt{1 - \frac{\beta_1 v_i^2}{a^2 I_0}}, \quad (2.14)$$

onde

$$a = 1 + \frac{\beta_1}{4\beta_3}. \quad (2.15)$$

O termo não linear que corresponde ao factor presente na raiz quadrada, pode ser menor que a unidade o que melhora a linearidade e aumenta o alcance dinâmico. Contudo aumentar a linearidade significa baixar a transcondutância. A largura de banda e o ruído equivalente é comparável com o par diferencial simples.

Quando a tensão de entrada aumenta até um certo valor, um dos dois transístores de degeneração entra em saturação, respectivamente M_4 para $V_i > 0$ e M_3 para $V_i < 0$.

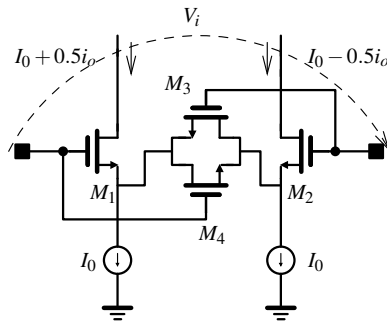


Figura 2.14: *Source-degeneration* com transístor *MOS* [18]

$$|V_i| > \sqrt{\frac{4I_0}{\beta_1}} \frac{a}{\sqrt{1-2a+2a^2}} \quad (2.16)$$

A corrente diferencial à saída é dada por [18]:

$$i_o = \left(\frac{v_i \sqrt{\beta_1(4a-2)} + \sqrt{(8a-2)I_0 - \beta_1 v_i^2}}{4a-1} \right) \quad (2.17)$$

Pela análise feita em [21] através da análise às equações 2.13 - 2.17, é feita uma análise da transcondutância para diferentes valores do parâmetro a . Nota-se que é possível aumentar a DR de entrada pelo ajuste do parâmetro a entre os valores 2.5 e 2.75.

Contudo o erro não linear pode ir até 1% para uma razão $i_o/I_0 < 80\%$. Certas aplicações para filtros têm como requisitos uma melhor linearidade e um THD igual ou menor a $-60dB$.

Outra topologia com o objectivo de se conseguir uma transcondutância linear à altas frequências tem como ponto de partida o uso da fonte de corrente de polarização de um par diferencial contendo uma componente quadrática dependente da entrada, para cancelar o termo-não linear presente na equação 2.13.

Deste modo se a corrente for:

$$I_0 = I'_0 + \frac{\beta v_i^2}{8}, \quad (2.18)$$

a característica de transferência torna-se linear.

$$i_o = \sqrt{2\beta I'_0} v_i \quad (2.19)$$

A corrente necessária para a polarização pode ser facilmente obtida com mais dois transístores *MOS* M_5 e M_6 com transcondutâncias idênticas à dos transístores que formam o par diferencial M_1 e M_2 e dois espelhos de corrente com ganho unitário M_7 e M_8 e M_9 e M_{10} , conforme a figura 2.15.

A *gate* de um transistor *FG* flutua com a carga eléctrica. Esta carga pode manter-se constante por um longo período de tempo devido ao bom isolamento entre a *gate* flutuante e os outros nós. A tensão é controlada pelas capacidades de acoplamento. O nível de tensão de entrada de modo comum pode ser determinado arbitrariamente, desde que exista um acoplamento *AC* através da capacidade. A corrente do dreno versus a tensão V_{GS} de um dispositivo *FG* é similar a de um transistor regular.

Para um transistor *FGMOS* de entrada múltipla, cada entrada possui uma capacidade de acoplamento efectiva, C_i , à *gate* flutuante. O sinal de entrada é atenuado por um factor $k_i = C_i/C_T$, onde C_T é a capacidade de carga total vista da *gate*. O factor k_i é chamado de factor de divisão capacitiva para a entrada i [24].

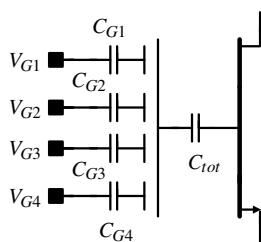


Figura 2.17: FG de quatro entradas [24]

A primeira camada de poli-silício origina a *gate* flutuante sobre o canal enquanto as múltiplas entradas encontram-se na segunda camada.

As correntes de um transistor *FG* de m -entradas são dadas por [24]:

$$I_{ds(nMOS)} = I_{bec} \prod_{i=1}^m \exp \left\{ \frac{1}{nU_t} (V_i - V_{dd}/2) k_i \right\} \quad (2.20)$$

$$I_{ds(pMOS)} = I_{bec} \prod_{i=1}^m \exp \left\{ \frac{1}{nU_t} (V_{dd}/2 - V_i) k_i \right\}, \quad (2.21)$$

em que I_{bec} é a corrente de equilíbrio programada.

Para um transistor *FG* de duas entradas, a tensão de polarização *DC* é aplicada na *gate* mais abaixo enquanto o sinal de entrada aplicado ao nível mais acima. A tensão de *threshold*, tendo em consideração o sinal de entrada pela *gate*, está relacionada com a tensão de V_T em *FG*, $V_{T(FG)}$, como mostra a expressão:

$$V_T = \frac{V_{T(FG)} - V_{G2} k_1}{k_2}, \quad (2.22)$$

com $k_1 = C_{G1}/C_{tot}$ e $k_2 = C_{G2}/C_{tot}$. C_{G1} e C_{G2} são as capacidades entre a *gate* de controlo e as *gates* flutuantes. C_{tot} refere-se a soma das capacidades flutuantes e de controlo, as capacidades entre as *gates* flutuantes e o dreno, a fonte e o substrato.

V_T pode ser programada de modo a ser inferior a $V_{T(FG)}$ e para isto basta uma selecção apropriada dos valores de V_{G2} , k_1 e k_2 . Deste modo é possível obter um valor de V_T modificado e menor do que $V_{T(FG)}$.

A relação entre as transcondutâncias é a seguinte:

$$g_{m(eff)} = k_2 g_{m(FG)} \quad (2.23)$$

A transcondutância $g_{m(eff)}$ das duas entradas flutuantes é menor do que $g_{m(FG)}$ por um factor igual a k_2 .

A impedância de saída é menor do que no caso do *MOSFET* convencional, nas mesmas condições de polarização, devido ao ponto de funcionamento *DC* e a realimentação *AC* do dreno para a *gate* flutuante [23].

Como desvantagens desta técnica, destaca-se o facto de não ser apropriada para projectos de amplificadores com andares de ganho elevado, e na generalidade o processo de fabrico ser mais caro do que um transístor *CMOS* convencional.

2.4.3 Current Division

Nesta técnica, a corrente gerada pela única saída do *OTA* é reduzida através do uso de espelhos de corrente com um factor de divisão B elevado, o que resulta num novo valor de transcondutância, dado por [25]:

$$G_{mT} = \frac{g_{m1,2}}{B}. \quad (2.24)$$

Este tipo de estrutura consiste essencialmente na alteração da compensação de carga do *OTA* que actua como uma resistência de valor igual a B . Quando a saída é realimentada pela entrada invertida, torna-se proporcional a diferença de tensão entre a entrada e a saída. O maior transístor consiste na associação em série de transístores com *gate* comum de modo a que o factor de divisão de corrente seja determinado pelo número de transístores e não pela razão W/L .

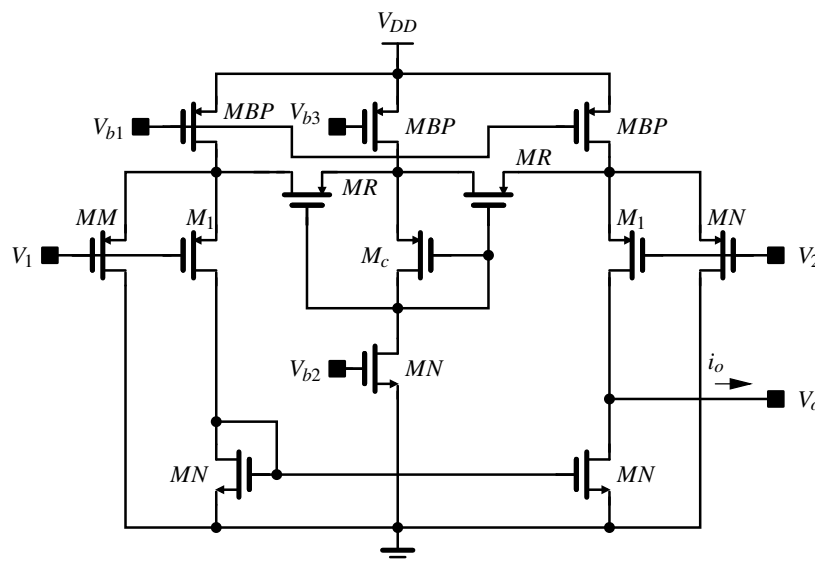


Figura 2.18: Divisão de correntes [25]

Para transístores de dimensões razoáveis, a transcondutância num par diferencial é da ordem dos 10^{-7} a 10^{-8} A/V. Usando divisores de corrente torna possível obter transdutores para filtros com frequência na ordem de poucos Hz. O principal inconveniente prende-se com o custo necessário em área do circuito. A tensão de *offset* aumenta com o uso do factor de divisão [25] [26].

2.4.4 Current Cancellation

Outra forma popular de redução da transcondutância consiste em fazer um cruzamento entre os transístores (*cross-coupling*) do par diferencial. Esta topologia faz uso parcial da realimentação positiva. Conseguem-se particularmente um baixo g_m quando se faz o cruzamento entre os drenos do par diferencial para se baixar equilibradamente a corrente de saída.

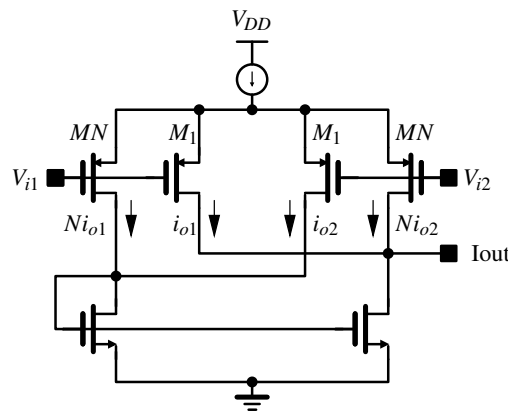


Figura 2.19: Cancelamento de correntes.

O factor de redução N , é determinado pela proporção n dos transístores cruzados tal que $N = (n + 1)/(n - 1)$, com o máximo cancelamento a se verificar quando $n \approx 1$.

A transcondutância total do *OTA* é dada por:

$$G_{mT} = \frac{g_{m1,2}}{N} = \frac{(n + 1)}{(n - 1)} g_{m1,2}. \quad (2.25)$$

N corresponde a razão entre as transcondutâncias MN e $M1$. Porém a sensibilidade aumenta bastante quando se faz o *matching* entre os transístores. Isto limita o factor N que varia no intervalo de 0.5 - 0.9 [25] [26].

2.4.5 Bulk-Driven

O principal objectivo desta técnica é baixar o nível de tensão de alimentação em circuitos. Com a aplicação desta técnica em circuitos *low-power*, aparecem associados outros benefícios tais como melhorias em termos de ruído, aumento de ganho em malha aberta, baixo valor para corrente e baixo consumo [27]. Quando pela primeira vez se utilizou a técnica, o objectivo era conseguir um baixo valor de transcondutância e melhorar a linearidade [28].

O facto de se poder usar o substrato em transístores *CMOS* oferece duas possibilidades de exploração:

- O sinal de entrada pode ser aplicado pelo substrato, e a *gate* ser usada para polarizar o transístor, ou
- Quando se aplica o sinal de entrada pela *gate*, poder-se usar o substrato para controlar a polarização.

2.4.5.1 Bulk-driven versus Gate-driven

Bulk-driven diferencia-se de *gate-driven* pela forma em como a corrente do canal é controlada. Em transístores onde o sinal é aplicado pela *gate*, a tensão V_{GS} controla a corrente no canal. No caso do *bulk-driven*, existe uma segunda opção de controlo. Normalmente o que acontece em circuitos é que o substrato é ligado a tensão mais positiva ou a mais negativa da fonte de alimentação, de modo a anular(inverter) a corrente de polarização do díodo formado pelo dreno/fonte e o substrato em todos os transístores do circuito [29].

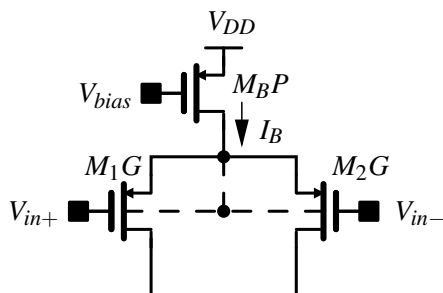


Figura 2.20: *Gate-driven*

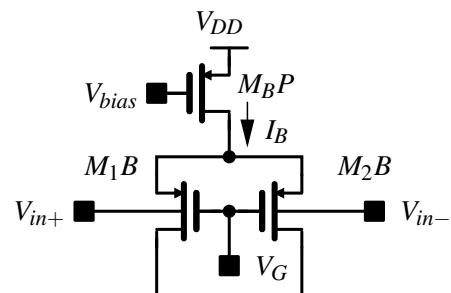


Figura 2.21: *Bulk-driven*

Uma vantagem do uso de transístores *bulk-driven* traduz-se num aumento ou redução da tensão de *threshold*, V_{TH} do transístor consoante o valor da tensão V_{SB} ser directa ou inversamente polarizada pelo díodo formado entre a fonte e o substrato. A tensão V_{BS} pode afectar I_D e normalmente é considerada como um efeito parasita que introduz a transcondutância indesejada g_{mb} e degradar o sinal. Mas se se manter a tensão V_{GS} constante como tensão de polarização e aplicar o sinal pelo *bulk*, pode-se obter um *JFET* como indicado na figura em 2.23.

A dificuldade quando se pretende projectar um circuito a operar a baixas tensões de alimentação prende-se com a tensão de *threshold*, que limita o processo. Contudo este problema pode ser contornado, com a opção *bulk-driven*, pela forma em como consegue eficazmente controlar o V_{TH} . Esta técnica tem sido usada em aplicações digitais para o ajuste da tensão V_{TH} , resultando num desempenho mais eficiente em termos do processo e da temperatura. Tipicamente para a tecnologia de $0.18\mu m$, usa-se uma tensão de polarização de $0.25V$, o que resulta na redução da tensão de *threshold* em cerca de $50 mV$ [30].

A seguinte expressão relaciona as tensões V_{TH} e V_{SB} [30]:

$$V_T = V_{T0} \pm \gamma \left(\sqrt{2|\phi_F| - V_{SB}} - \sqrt{2|\phi_F|} \right) \quad (2.26)$$

A corrente do dreno vem alterada conforme a expressão [30]:

$$I_D = \frac{\beta}{2} \left(V_{SG} - V_{T0} + \gamma \left(\sqrt{2|\phi_F| - V_{SB}} - \sqrt{2|\phi_F|} \right) \right)^2 (1 + \lambda V_{SD}) \quad (2.27)$$

Aqui a tensão V_{SB} deve ser sempre menor do que a tensão de corte do díodo que ronda normalmente entre os 0.6 a 0.7 Volts de modo a evitar o fenómeno de *latch-up*.

Uma desvantagem em comparação com transístores *gate-driven*, é a frequência de corte ser bastante inferior no caso *bulk-driven*. A relação entre as duas técnicas está presente nesta expressão [30]:

$$f_T(\text{bulk-driven}) \approx \frac{\eta}{3.8} f_T(\text{gate-driven}) \quad (2.28)$$

onde η é a razão entre g_{mb} e g_m que tipicamente varia entre 0.2 e 0.4. As transcondutâncias para ambas as técnicas são dadas por [30]:

$$f_T(\text{gate-driven}) = \frac{g_m}{2} \pi C_{gs} \quad (2.29)$$

$$f_T(\text{bulk-driven}) = \frac{g_{mb}}{2\pi(C_{bs} + C_{bsub})} \quad (2.30)$$

As correntes de fuga podem constituir um problema importante em circuitos de baixa potência. No estudo efectuado em [30], concluiu-se que os transístores *bulk-driven* são adequados ao projecto de circuitos que operam com correntes baixas.

2.4.5.2 Amplificadores & Bulk-driven

Em amplificadores operacionais, quando o objectivo principal é conseguir baixas tensões de operação, a parte mais crítica do projecto é o andar de entrada [31]. Existe uma limitação do *ICMR* (*input Common Mode Range*) em amplificadores convencionais conforme o tipo de transístor usado, *N* ou *P*. Esta limitação é devida à tensão de *threshold* e por isso, um dos métodos utilizados é a técnica *bulk-driven*.

Em amplificadores operacionais que usam esta técnica, fixa-se a tensão V_{GS} de forma a activar o transístor. A tensão de entrada é então aplicada ao substrato do transístor, de modo a induzir a corrente que flui no transístor. Deste modo deixa de haver limitações de V_{TH} e V_{BS} pode tomar valores tanto positivos como negativos. Isto é importante para aplicações de baixa tensão onde a gama dinâmica de sinais deve ser maximizada e melhorando assim o desempenho.

Para circuitos a operar com tensões menores ou iguais a 5V, o risco de acontecer *latch-up* é baixo, e os sinais podem ser ligados aos nós do substrato sem restrições. Para uma entrada em modo comum a $V_{DD}/2$ (0.25V), é introduzida uma pequena corrente de polarização pela junção substrato-fonte. Isto faz aumentar o valor de V_{TH} e aumenta a área de operação em que o nível

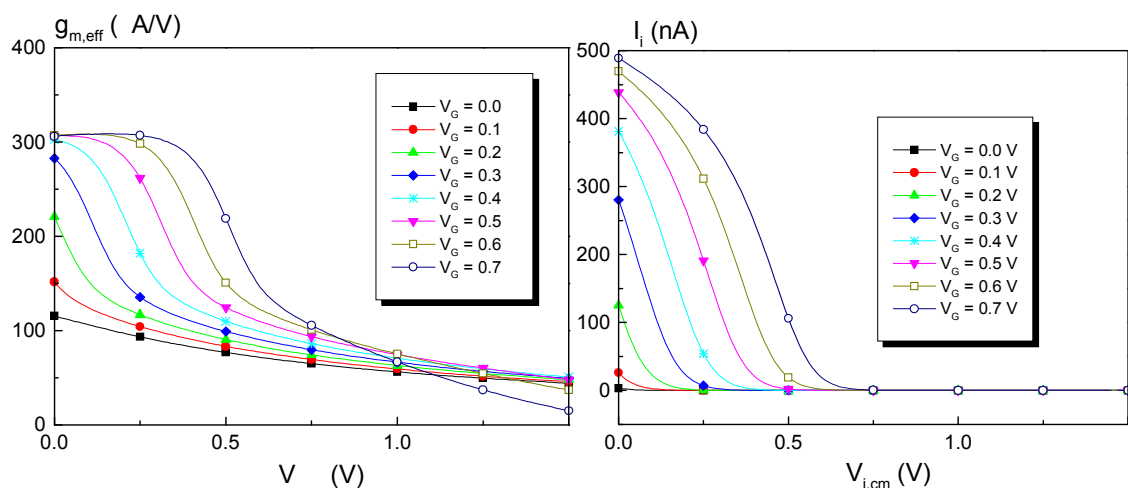


Figura 2.22: Variações da transcondutância e correntes do par diferencial [32]

de inversão próximo da inversão fraca/moderada é preferível de modo a se atingir um valor de transcondutância razoável [31].

2.4.5.3 Vantagens

A característica de depleção do *bulk-driven* permite ter tensões de polarização negativas, iguais a zero ou mesmo positivas para se conseguir o valor *DC* desejado de corrente. Isto pode conduzir a valores elevados de *ICMR* e a uma excursão de sinais que de outro modo seriam impossíveis com baixas tensões de alimentação [10].

2.4.5.4 Inconvenientes

O valor de transcondutância quando se usa o *bulk-driven* é substancialmente reduzido comparado com um transístor usando *gate-driven*. Isto resulta na redução do produto ganho largura de banda e pior resposta em frequência, mas com melhor linearidade e menores requisitos de alimentação [10].

A aplicação do *bulk-driven* a transístores *MOSFET* está limitada pela tecnologia. Para um processo com a *well* tipo *P*, apenas se pode utilizar transístores de canal *N* e para processo tipo *N* apenas transístores de canal *P* [30]. Deste modo é impossível utilizar esta técnica em configurações que requerem ambos modelos de transístores [10], excepto se a tecnologia permitir *P-well* e *N-wells* isoladas.

A polarização de transístores em *bulk-driven* está intimamente relacionada com a tecnologia. Ao contrário dos transístores *MOS* que podem ser implementados na mesma *well* de modo a melhor emparelhamento, transístores *bulk-driven* têm que ser dispostos em *wells* separadas, impossibilitando uma melhor combinação entre transístores. Deste modo torna-se difícil a utilização de algumas técnicas de layout como a técnica interdigitada ou o *common centroid* [10].

A técnica *bulk-driven* está sujeita a criar transistores bipolares de junção parasitas e deste modo existe o risco de problemas de *latch-up*. A forma de evitar este problema é manter o valor da tensão V_{BS} abaixo de 0.6 V [33].

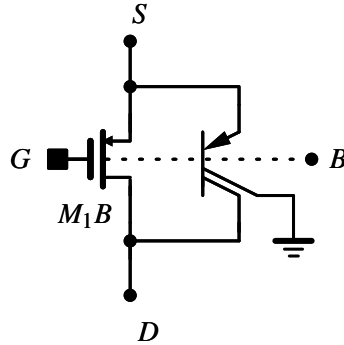


Figura 2.23: *BD* associado ao *BJT* parasita.

O ruído equivalente para um amplificador usando esta técnica é maior do que a de um transistor *gate-driven* convencional.

2.4.6 Espelho de corrente para baixa potência e tensão

Devido a diminuição da tensão de funcionamento em circuitos *CMOS*, a diminuição do comprimento de canal o baixo ganho de tensão, que impõem constrangimentos no desempenho dos circuitos, existe a necessidade de adaptação dos espelhos de corrente.

As características desejadas em espelhos de corrente de baixa-tensão, são as seguintes:

- *i)* - baixa resistência de entrada equivalente em *AC*, r_{in} e baixa queda de tensão *DC* no nó de entrada,
- *ii)* - alta impedância de saída para que a corrente à saída seja independente da tensão,
- *iii)* - boa resposta em frequência à altas frequências,
- *iv)* - razão de transferência de correntes linear.

Os modelos seguintes têm como objectivo implementar tais características.

As configurações *cascode* e *regulated-cascode* são viáveis para o aumento da impedância de saída. A primeira pode ser melhorada com o aumento do número de níveis, com o custo do aumento daquilo que se chama tensão de complacência, (*compliance voltage*). Esta tensão é definida como a queda de tensão mínima *DC* à saída para a qual os transistores do espelho de corrente se encontram no limite da saturação, mantendo ainda uma alta impedância de saída. A configuração *regulated-cascode* tem um melhor desempenho no aumento da impedância de saída, à custo de um amplificador, pois não degrada a excursão do sinal à saída. O modelo do amplificador usado pode ser um operacional ou andares de ganho *common-source* [29]. Existem várias outras implementações usando circuitos *cascode* que permitem determinar com maior exactidão a razão de transferência da corrente, dependendo do emparelhamento dos transistores.

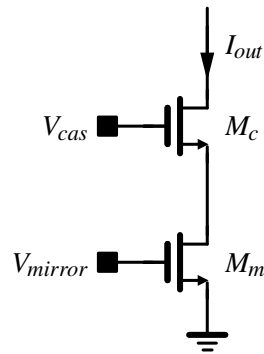


Figura 2.24: Cascode convencional

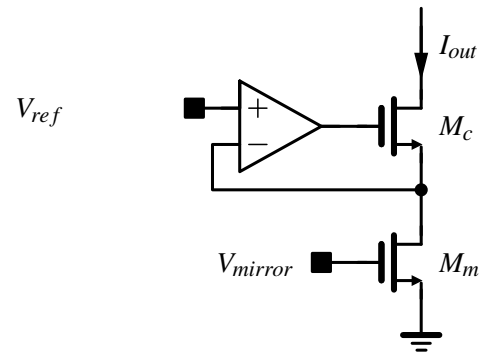


Figura 2.25: Regulated cascode

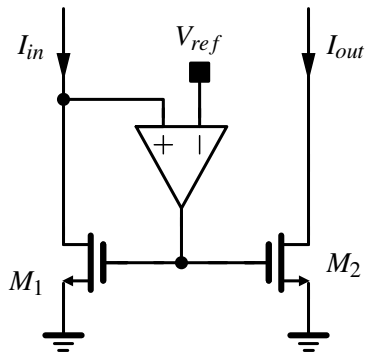


Figura 2.26: Entrada activa

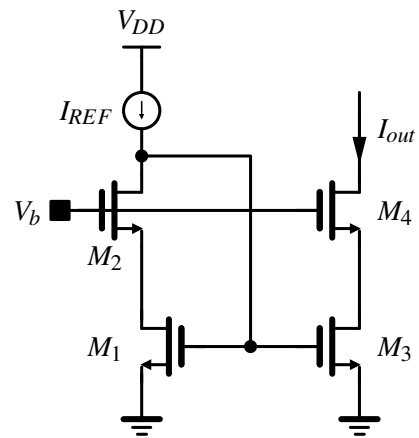


Figura 2.27: Wide swing current mirror

O circuito com entrada activa pode baixar consideravelmente a impedância de entrada, com uso do controlo da tensão de entrada. Este circuito pode ser usado em aplicações de alta precisão, com algum cuidado para se garantir a estabilidade da realimentação [29].

2.5 Filtros

Existem várias categorias de filtros entre os quais, filtros $G_m - C$, filtros activos RC ou filtros de condensadores comutados. Estas topologias distinguem-se entre si pela máxima margem de calibre/ajuste, ruído de entrada e alcance dinâmico [34].

Como os filtros utilizados no sistema são $G_m - C$ resumiu-se aqui o estudo a este modelo.

2.5.1 Filtros de primeira ordem

O diagrama de blocos geral para a construção de filtros de primeira ordem 2.28 permite-nos retirar a função de transferência dada pela expressão:

$$H(s) = \frac{V_o(s)}{V_i(s)} = \frac{k_1s + k_0}{s + \omega_0} \quad (2.31)$$

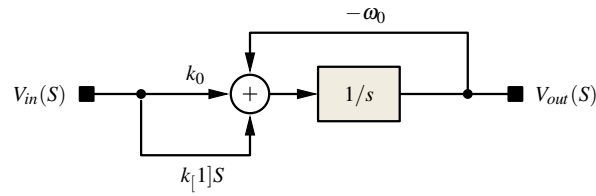


Figura 2.28: Diagrama geral do filtro de 1ª ordem

O esquemático presente em baixo realiza a função de primeira ordem do filtro.

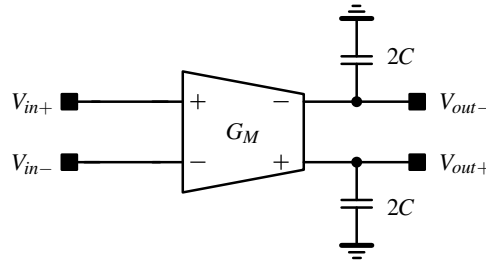


Figura 2.29: Integrador $G_m - C$

A função de transferência escreve-se com a observação do sinal à saída:

$$G_{m1}V_{in}(s) + sC_X [V_{in}(s) - V_{out}(s)] - sC_A V_{out}(s) - G_{m2}V_{out}(s) = 0 \quad (2.32)$$

Reescrevendo a expressão da função de transferência, obtém-se a seguinte expressão:

$$\frac{V_{out}(s)}{V_{in}(s)} = \frac{sC_X + G_{m1}}{s(C_A + C_X) + G_{m2}} = \frac{s \left(\frac{C_X}{C_A + C_X} \right) + \left(\frac{G_{m1}}{C_A + C_X} \right)}{s + \left(\frac{G_{m2}}{C_A + C_X} \right)} \quad (2.33)$$

Desta expressão, retiram-se as relações existentes entre as variáveis.

$$C_X = \left(\frac{K_1}{1 - K_1} \right) C_A \quad (2.34)$$

$$G_{m1} = K_0(C_A + C_X) \quad (2.35)$$

$$G_{m2} = \omega_0(C_A + C_X) \quad (2.36)$$

2.5.2 Filtros de segunda ordem

Na literatura, não existem muitos exemplos de arquitecturas dedicadas que realizem apenas filtros *Notch* baseados em transcondutância. O que normalmente se encontra são configurações que realizam em simultâneo filtros passa-baixo, passa-alto, passa-banda, notch, notch passa-baixo e notch passa-alto, dependendo da configuração das tensões em cada nó [35].

O esquema em baixo apresenta o diagrama de blocos geral de um filtro de segunda ordem em tempo contínuo.

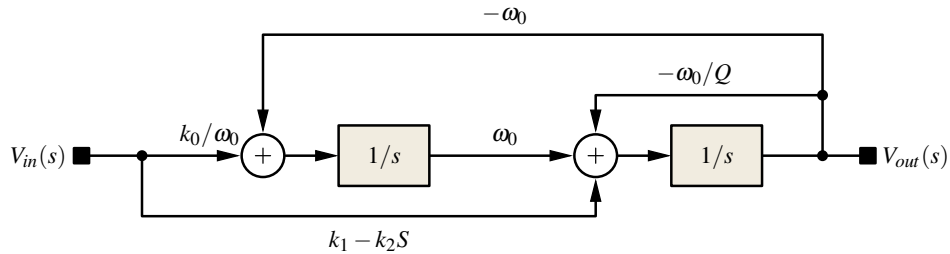


Figura 2.30: Diagrama de blocos geral para filtros de segunda ordem

Partindo da função de transferência geral de um filtro de segunda ordem é possível determinar o tipo de filtro que se pretende.

$$H(s) \equiv \frac{V_{out}(s)}{V_{in}(s)} = \frac{k_2 s^2 + k_1 s + k_0}{s^2 + \left(\frac{\omega_0}{Q}\right)s + \omega_0^2} \quad (2.37)$$

A referência [10] apresenta a adaptação da equação para circuitos *fully-differential* que poderá ser útil para o caso aqui tratado, uma vez que trata-se de um filtro pseudo-diferencial. De acordo com a referência, a nova expressão de $H(s)$ é dada por [10]:

$$H(s) \equiv \frac{V_{out}(s)}{V_{in}(s)} = \frac{s^2 \left(\frac{C_X}{C_X + C_B}\right) + s \left(\frac{G_{m5}}{C_X + C_B}\right) + \left(\frac{G_{m2} G_{m4}}{C_A (C_X + C_B)}\right)}{s^2 + s \left(\frac{G_{m3}}{C_X + C_b}\right) + \left(\frac{G_{m1} G_{m2}}{C_A (C_X + C_B)}\right)} \quad (2.38)$$

Relacionando as equações 2.37 e 2.38 é possível calcular os coeficientes a partir das seguintes expressões [10]:

$$k_2 = \frac{C_X}{C_X + C_B} \quad (2.39)$$

$$k_1 = \frac{G_{m5}}{C_X + C_B} \quad (2.40)$$

$$k_0 = \frac{G_{m2} G_{m4}}{C_A (C_X + C_B)} \quad (2.41)$$

O valor de ω_0 pode ser calculado por,

$$\omega_0^2 = \frac{G_{m1}G_{m2}}{C_A(C_X + C_B)} \tag{2.42}$$

e o factor de qualidade do filtro por:

$$Q = \sqrt{\left(\frac{G_{m1}G_{m2}}{G_{m3}^2}\right) \left(\frac{C_X + C_B}{C_A}\right)} \tag{2.43}$$

Os gráficos em 2.31 apresentam a função de transferência para os diversos modelos de filtros bem como a localização dos zeros e pólos.

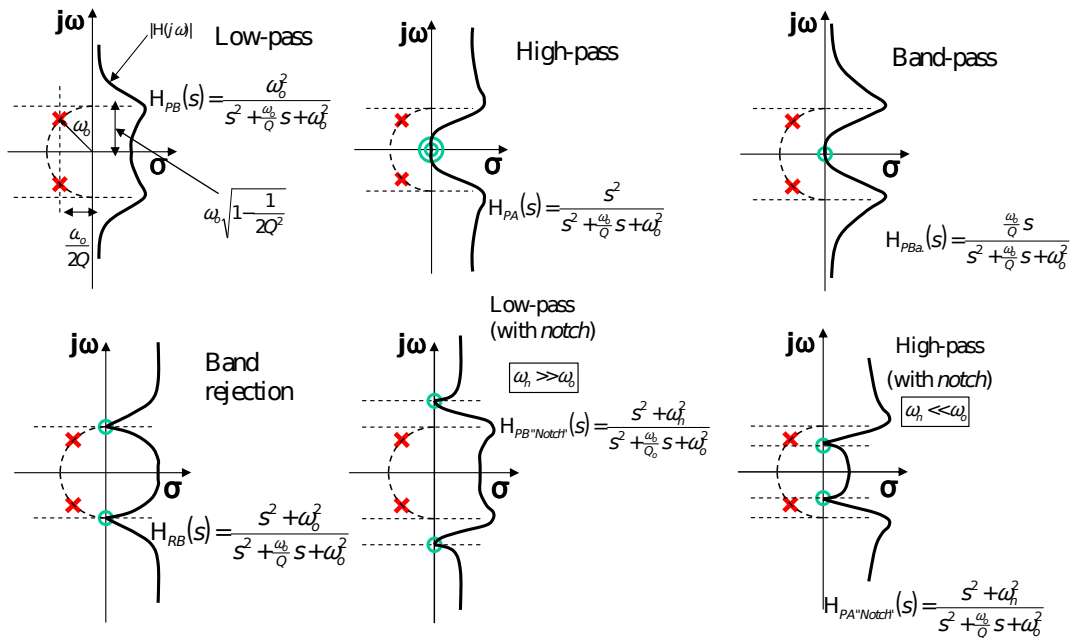


Figura 2.31: Funções de transferência de sistemas de 2ª ordem [36]

2.6 Conclusão

A revisão bibliográfica feita neste capítulo tem como objectivo auxiliar o desenvolvimento do circuito proposto. Foram analisadas várias técnicas que têm sido usada na implementação de transcondutâncias de baixo valor com realce para as vantagens e inconvenientes de cada uma. Em muitas aplicações utiliza-se a associação de múltiplas técnicas para melhorar o circuito em termos de desempenho geral.

Capítulo 3

Estado da arte

Neste capítulo apresentar-se-á a descrição de algumas técnicas aplicadas na eliminação das interferências em sinais *EEG* e *ECG*, focando a atenção nos pormenores mais pragmáticos.

Basicamente existem dois ambientes de filtragem, a digital e analógica. O ambiente de filtragem digital por sua vez está dividida em filtros *FIR* e *IIR*. No caso analógico na literatura encontram-se modelos de filtros *RC*, $G_m - C$, *MOSFET - C* entre outros. Os modelos de amplificadores variam desde os *OTA - C* aos amplificadores de instrumentação.

Para objecto de comparação nos capítulos finais, dá-se mais ênfase aos filtros do tipo $G_m - C$ de modo a se obter uma melhor aproximação dos resultados obtidos.

3.1 Trabalho relacionado

A pesquisa sobre sistemas de filtragem da componente de 50 Hz, revela que as arquiteturas concentram-se no design de amplificadores de baixa transcondutância com correntes muito baixas, na ordem dos nano-amperes.

3.1.1 Filtro Notch passa-baixo para sistemas EEG

O modelo de OTA implementado em [4] foi desenhado em tecnologia de $0.35 \mu m$ e opera na região de inversão fraca permitindo a implementação de uma transcondutância de $3 nA/V$. Este facto por si só já possibilita o uso de uma capacidade baixa.

Este OTA tem como característica de concepção de baixa transcondutância o uso de divisão 2.4.3 e cancelamento de correntes 2.4.4.

Para o design do filtro Notch passa-baixo usou-se um protótipo do filtro elíptico *LC-ladder* de 5ª ordem, proporcionando uma banda de transição muito estreita, que só seria possível num filtro passa-baixo comum de ordem muito elevada.

Outra característica do sistema é a existência da capacidade de *tuning* possibilitando o ajuste do filtro para várias frequências ou corrigir erros de sintonização de frequências.

A tabela 3.1 resume os aspectos mais relevantes do filtro implementado em [4].

Parâmetros	Valores
Atenuação na banda de rejeição (dB)	36
Atenuação na banda de passagem (dB)	0.1
Largura de banda (Hz)	37
Notch @ 50 Hz (dB)	-66
HD3@ V_{in} of 8 Hz e 50 mV_{pp} (dB)	-61.5
THD (%)	0.326
Alcance dinâmico (dB)	57
Fonte de alimentação (V)	± 1.5
Potência consumida (μW)	11

Tabela 3.1: Sumário dos resultados

No esquemático da figura 3.1 apresenta-se o circuito implementado, onde se observa os transístores que implementam a divisão e cancelamento de correntes.

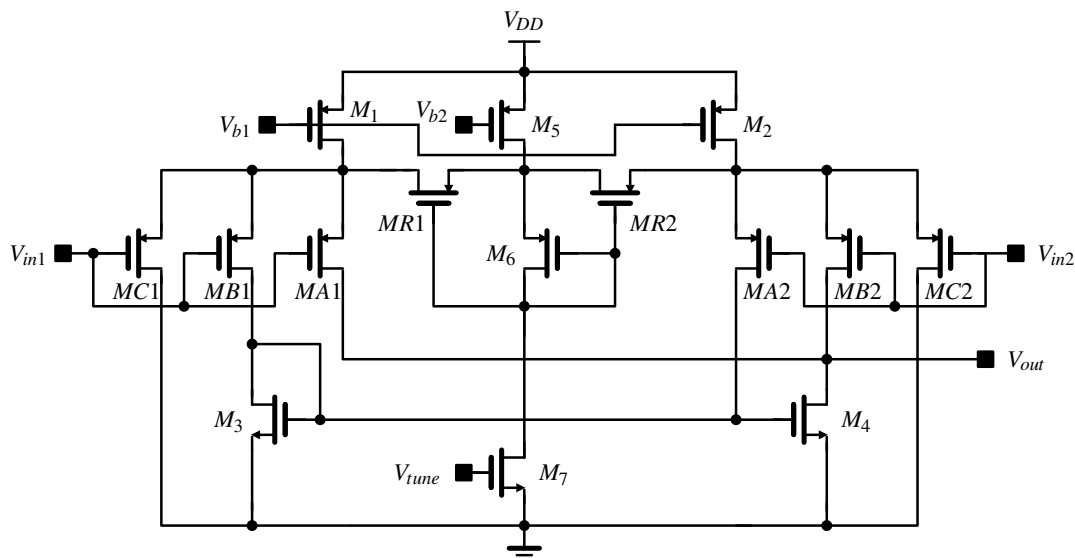


Figura 3.1: OTA com transístores em inversão fraca [4]

3.1.2 Aproximação comparativa para implementação de baixa transcondutância

Na referência [8] faz-se um estudo comparativo e a implementação em chip de configurações usando algumas das técnicas descritas no capítulo da revisão bibliográfica, nomeadamente um sistema *a)* com *Source degeneration*, *b)* com *Floating gate* e *c)* com *Bulk-driven* ambos associados com a técnica de divisão de correntes e partindo de uma configuração base. Os circuitos foram desenhados e testados usando a tecnologia *AMI NWell* de 1.2 μ com os modelos da livreria *BSIM3* disponíveis pela *MOSIS*.

- *Current-division and Source-degeneration*

O esquemático usado para o primeiro circuito consiste na combinação de divisão de correntes e *source-degeneration*.

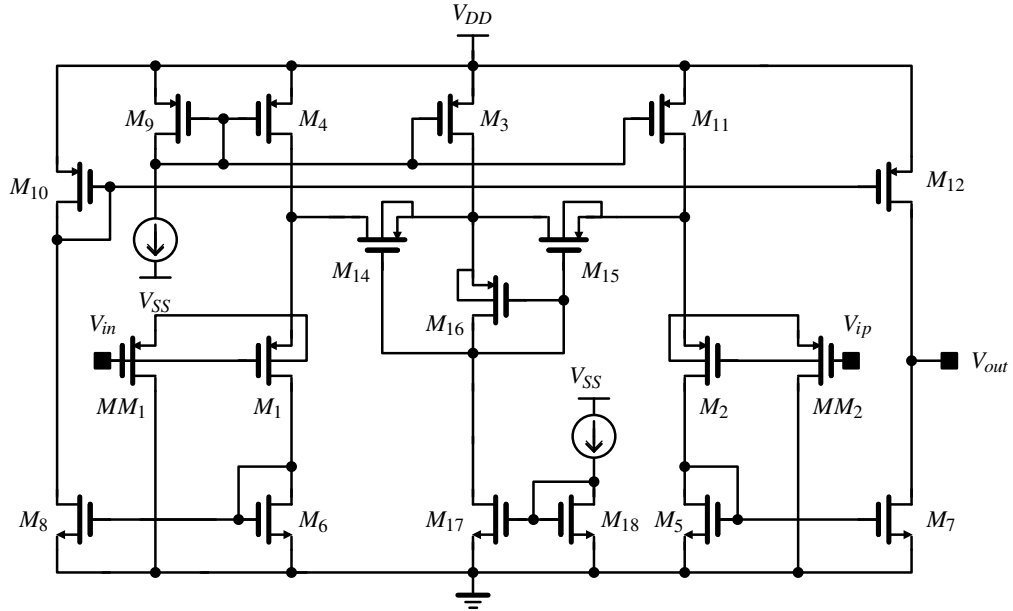


Figura 3.2: *SD with CD*

A partir da análise para pequenos sinais consegue-se obter o valor de g_m , que é dado por [8]:

$$g_m = \left(\frac{g_{m1,2}}{1 + \frac{(M+1)g_{m1,2}}{g_{01,4}}} \right) \quad (3.1)$$

$$M = \frac{g_{mMM1}}{g_{mM1}} \quad (3.2)$$

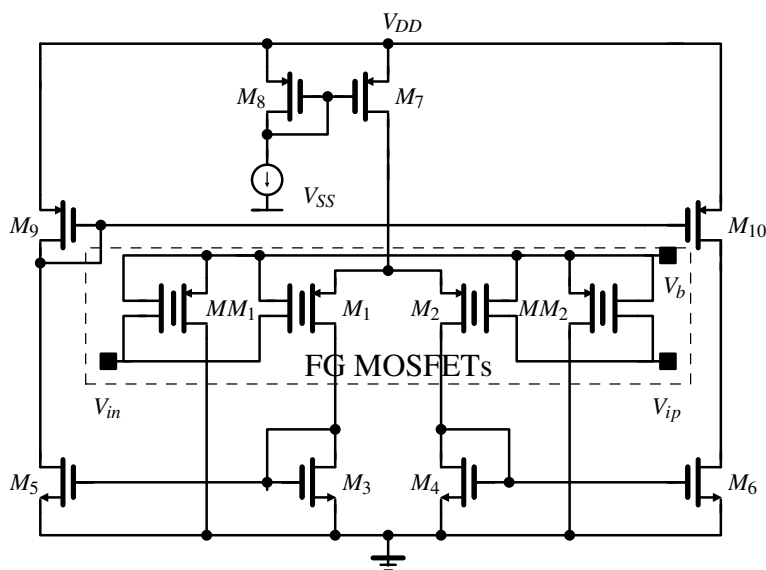
$$g_{0M14} = n\mu C_{ox} \frac{W_{M14}}{L_{M14}} \sqrt{\frac{2I_{SS}}{n\mu C_{ox}} \frac{L_{16}}{W_{16}}} \quad (3.3)$$

G_m e g_0 são respectivamente a transcondutância do OTA e a transcondutância à saída do transistor *MOS*. O valor de transcondutância pode ser modificada com a alteração de g_0 .

Neste circuito para se manter um valor baixo de transcondutância é usado a divisão de correntes que permite aumentar o nível de corrente.

- *Floating-gate with Current-division*

Neste circuito os transístores de entrada são *FG* de duas entradas, uma delas para polarização. A técnica de *FG* possui uma atenuação natural devido a divisão de tensões nas capacidades de entrada.

Figura 3.3: *FG with CD*

Assim a transcondutância neste circuito é dada por [8]:

$$G_m = \left(\frac{C_A}{C_A + C_B} \right) g_{m,FG1} \quad (3.4)$$

$$G_m = \left(\frac{C_A}{C_A + C_B} \right) \left(\frac{I_{SS}}{\phi_t n (1 + \sqrt{1 + i_{f,M1}})} \right) \left(\frac{1}{M + 1} \right) \quad (3.5)$$

onde C_A e C_B correspondem respectivamente as capacidades de acoplamento entre as entradas A e B ao *FG* e $g_{m,FG1}$ a transcondutância do transistor *FG*, $M1$.

- *Bulk-driven with Current-division*

As entradas do OTA são feitas pelo substratos dos transístores, enquanto a *gate* é polarizada. A transcondutância g_{mb} é 0.2 à 0.4 vezes menor do que g_m , mas muito dependente do processo.

A transcondutância para este caso é dada por [8]:

$$G_m = \left(\frac{\gamma_0}{2\sqrt{2\phi_{FB} + |V_{BS}|}} \right) g_{m,M1} \quad (3.6)$$

$$G_m = \left(\frac{\gamma_0}{2\sqrt{2\phi_{FB} + |V_{BS}|}} \right) \left(\frac{I_{SS}}{\phi_t n (1 + \sqrt{1 + i_{f,M1}})} \right) \left(\frac{1}{M + 1} \right) \quad (3.7)$$

onde γ_0 corresponde ao parâmetro de efeito de corpo, (típicamente $0.7 V^{1/2}$), ϕ_{FB} o potencial de *Fermi* no substrato (típicamente 0.35 V) e $g_{m,M1}$ a transcondutância da *gate*.

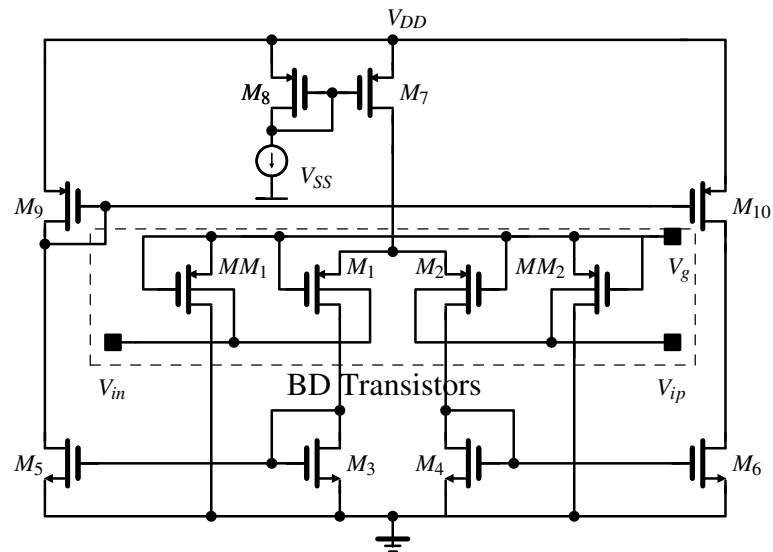
Figura 3.4: *BD com CD*

Tabela 3.2: Sumário dos resultados

Parâmetro	<i>OTA</i> de Referência	<i>SD + CD</i>	<i>FG + CD</i>	<i>BD + CD</i>
G_{M0} (nA/V)	11.6	11.55	11.51	11.24
Linearidade @ 1 % HD3 1 Hz (mV_{pp})	162	240	330	900
Ruído de entrada (μV_{rms})	12.04	17.29	26.03	70.3
Relação sinal-ruído <i>SNR</i> (dB)	73.5	73.9	73.0	73.1
Max. V_{CM} à entrada (V)	0.18	0.2	1.5	1.6
Corrente de polarização (nA)	2	100	200	500
Fonte de alimentação (V)	± 1.35	1.35	1.35	1.35
Potência consumida (μW)	0.0162	1.35	1.62	4.05
Área total (mm^2)	1.44	0.21	4.65	0.22

Tabela 3.3: Sumário dos resultados

3.1.3 Fully-differential (FD) OTA com tuning

Um dos trabalhos mais recentes com a data de Fevereiro de 2009, trata-se da implementação de um filtro $G_m - C$ para a detecção da actividade do coração [1]. O filtro não tem como objectivo suprimir a interferência de 50 Hz, mas sim para reduzir a influência do coeficiente de sensibilidade e manter o sinal sem distorção. Para tal é desenvolvido um filtro passa-baixo de 5ª ordem do tipo *ladder*. O OTA é projectado para operação na região *subthreshold* para se conseguir uma tensão de alimentação de 1 V.

Para a linearização do OTA e tornar a operacionalidade a baixas tensões as técnicas usadas foram a conjugação de *current-division* e *current-cancellation* e um transistor a funciona como *source-degeneration*.

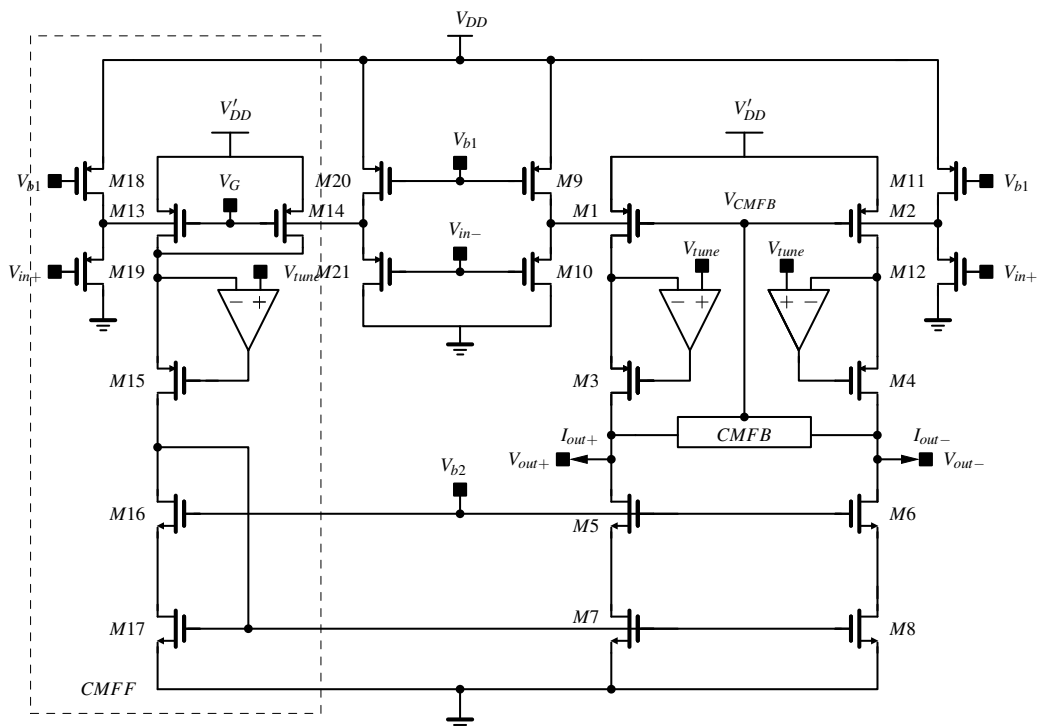


Figura 3.6: LV high linear body-driven OTA

Parâmetro	Valor medido	Parâmetro	Valor medido
Frequência de corte	1.05 MHz	Tuning	462 KHz - 2.61 MHz
Variação de V_{cm}	7 mV	Max. excursão de sinal	0.8 Vpp
THD	-45 dB @ 800 mVpp	Alcance dinâmico	45 dB
Área	0.159 mm ²	Potência consumida	4.07 mW

Tabela 3.5: Características do filtro implementado em [2]

A escolha deste OTA para a implementação do filtro proposto deve-se ao design propício para sistemas *low-power*, a questão da linearidade o que permitirá um maior intervalo de *tuning*, robustez do circuito de modo-comum, a estrutura pseudo-diferencial entre outras qualidades que este modelo oferece.

3.2 Filter-and-Hold (F&H)

3.2.1 Definição

Filter-and-Hold é uma técnica em tempo contínuo que usa integração por comutação para obter simulares constantes de tempo elevadas em reduzida área de circuito e se necessário com baixa potência [37].

Esta técnica permite integrar capacidades em micro-circuitos em vez de se utilizar chips *VLSI*

com componentes discretos externos, revelando-se útil em circuitos destinados a aplicações biomédicas. A técnica é aplicável tanto a filtros activos como passivos.

O princípio de funcionamento é baseado na obtenção de tempo através de um factor multiplicativo que produz uma extensão das constantes de tempo. O que se observa na prática é idêntica a multiplicação de capacidades isto porque em filtros activos as constantes de tempo aparecem associadas as capacidades do circuito. A multiplicação é conseguida através da retenção temporária e controlada da tensão do condensador ou interrupção no processo de integração por um período de carga/descarga. Filtros do tipo $G_m - C$ em *VLSI* em tempo contínuo possuem frequências de corte muito baixas na ordem de dezenas de *kHz*, claramente insuficientes para aplicações que requerem gama de frequências de ordem de dezenas a centenas de *Hz*, tornando esta técnica propícia a estas aplicações [37].

A ideia base consiste em permitir que a capacidade integre a corrente durante τ segundos e reter em $T - \tau$ segundos. O processo é repetido a cada T segundos. A constante de tempo é então multiplicada pelo *duty-cycle* (k) definido pela razão entre o τ e o período de amostragem T . A grande vantagem que isso vem proporcionar é a realização de constantes de tempo elevadas sem a diminuição da frequência de amostragem ou recorrer a capacidades elevadas, permitindo a integração dos componentes.

3.2.2 Princípio de Funcionamento

Para ilustrar a ideia do princípio de funcionamento, da-se aqui o exemplo com um filtro passa-alto de primeira ordem. O resultado da simulação pode ser visto no capítulo 4.

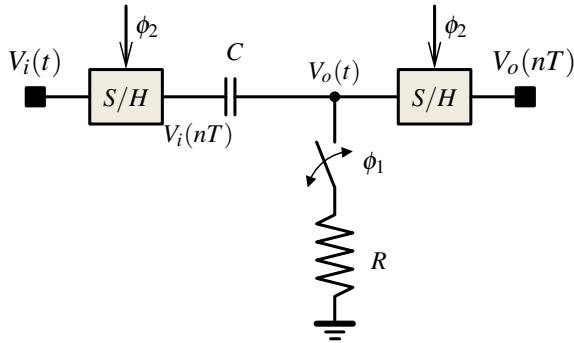


Figura 3.7: Filtro RC passa-baixo 1ª ordem

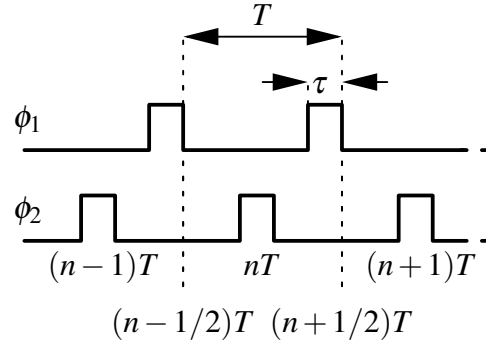


Figura 3.8: Sinais de relógio ϕ_1 e ϕ_2

Partindo do esquemático em cima é possível determinar a função de transferência [37].

$$\theta_1 = 1 \Rightarrow t = \left(n - \frac{1}{2}\right) T - \tau \quad (3.8)$$

$$V_i = [(n - 1) T] \quad (3.9)$$

$$V_0 = V_i + V_C \quad (3.10)$$

$$V_0(nT) = (V_0[(n-1)T] + \{ V_i[(n-2)T] - V_i[(n-2)T] \}) e^{-\frac{\tau}{RC}} \quad (3.11)$$

$$\frac{V_0(z)}{V_i(z)} = \frac{1 - z^{-1}}{1 - e^{-\frac{\tau}{RC}} z^{-1}} z^{-1} e^{-\frac{\tau}{RC}} \quad (3.12)$$

$$k = \frac{\tau}{T} \Rightarrow \frac{V_0(z)}{V_i(z)} = \frac{1 - z^{-1}}{1 - e^{-\frac{kT}{RC}} z^{-1}} z^{-1} e^{-\frac{kT}{RC}} \quad (3.13)$$

3.2.3 Implementação à sistemas de ordem N

A generalidade da aplicação do *filter-and-hold* para sistemas de ordem N foi demonstrada matematicamente em [37]. Partindo do mesmo princípio de funcionamento e com a equação da carga de um condensador:

$$V(t) = \frac{dv(t)}{dt} = \frac{1}{C} i(t), \quad (3.14)$$

em que C e $i(t)$ representam respectivamente a capacidade do condensador e a corrente. Se o único elemento dinâmico no sistema físico for a capacidade, $x(t)$ representa a derivada do vector tensão enquanto os elementos da parte direita da equação 3.16 representa o fluxo de corrente às capacidades.

Aplicou-se o procedimento à equação de espaço de estados, em que A representa a matriz de *feedback*, B a matriz de entrada que é escalada pelo factor k que faz variar o valor da capacidade por um factor de $1/k$, ($k < 1$). Em termos físicos a corrente na capacidade é k vezes menor [37].

$$z : \mathfrak{K} \rightarrow \mathfrak{K}^n; o : \mathfrak{K}^n \rightarrow \mathfrak{K} \quad (3.15)$$

$$z(t) = k \cdot A \cdot z(t) + k \cdot B \cdot u_s(t); o(t) = C \cdot z(t) + D \cdot u_s(t) \quad (3.16)$$

O resultado é a representação genérica em tempo discreto definida como:

$$\frac{Y(z)}{U(z)} = \left(C \cdot [I - z^{-1} \cdot e^{AkT}]^{-1} \cdot z^{-1} \cdot [e^{AkT} - I] \cdot A^{-1} \cdot B + D \right) \quad (3.17)$$

$$k = \frac{\tau}{T} \quad (3.18)$$

A demonstração matemática com que se chegou a estes resultados prova que o *filter-and-hold* em tempo discreto é aplicável a filtros de qualquer ordem [37].

3.2.4 Vantagens

- Permite integração com circuitos *VLSI*, proporcionando uma vantagem competitiva para sistemas que não podem ser actualmente integrados.

- Consome muito baixa potência comparado com os actuais modelos, oferecendo economias de custo significativas.
- Oferece grande eficiência em área, resultando numa combinação sem precedentes de alto desempenho e compacidade.
- Proporciona maiores constantes de tempo do que a tecnologia actual, preservando a convencional abordagem de circuitos RC .

3.3 Conclusão

Neste capítulo foram apresentadas algumas arquitecturas de filtros Notch passa-baixo, com realce na descrição da característica usada para implementação da baixa trancondutância requerida na aplicação de filtros para sinais biomédicos. Apresentou-se também o conceito *filter-and-hold* (F&H) como método de redução de capacidades num circuito pela multiplicação de um factor k inversamente proporcional ao *duty-cycle* do relógio de referência.

baixa frequência com capacidades possíveis de se integrar. O OTA escolhido possui duas características descritas no capítulo da bibliografia, nomeadamente a aplicação da topologia pseudo-diferencial e o uso da técnica *bulk-driven*. Deste modo, a configuração escolhida permitirá conseguir uma grande linearidade através do ajuste ou sintonização da tensão de referência V_{tune} fornecida pelas entradas dos amplificadores embutidos no OTA.

4.1.1 Descrição do circuito

O circuito da figura 4.2 apresenta a configuração do OTA implementado. Este circuito é baseado na implementação descrita em [2] e o esquemático pode ser visto na figura 3.6, com algumas alterações, uma vez que o circuito inicial possuía duas tensões de alimentação V_{DD} e V'_{DD} , o que faria com que existissem duas *pads* para tensões de alimentação. Outra alteração prende-se com o modelo do amplificador de regulação (*tuning*).

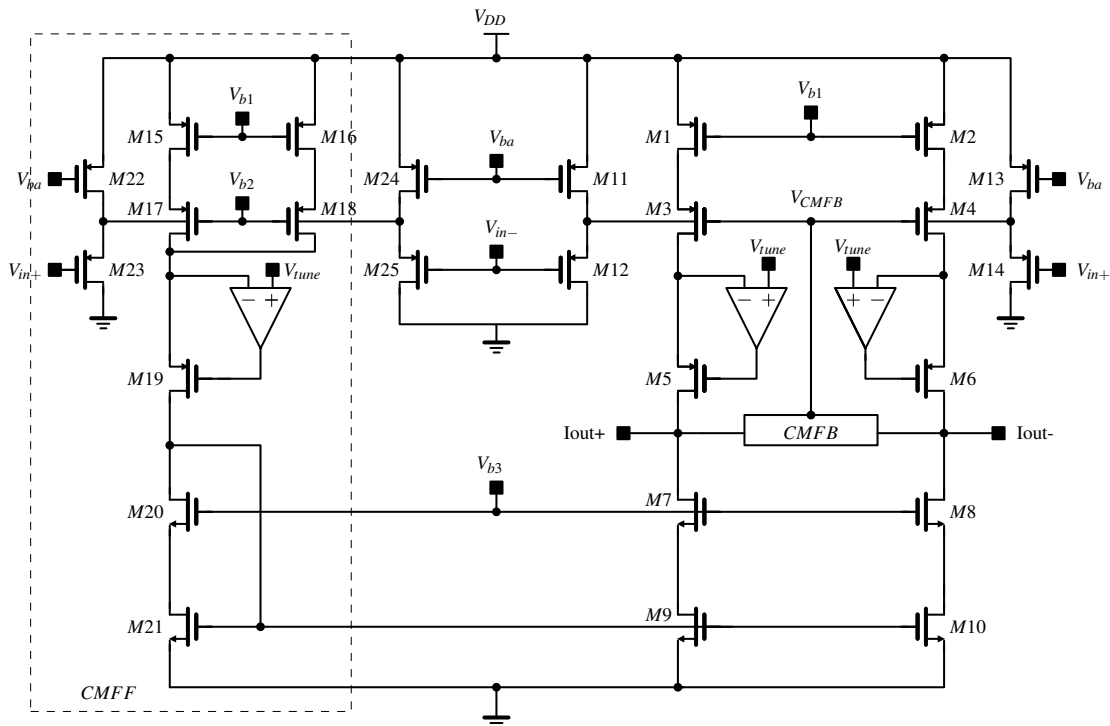


Figura 4.2: Arquitectura do OTA proposto

Assim, foram acrescentados os transístores M_1 e M_2 , que em conjunto com M_3 e M_4 funcionam na região do trípodo, criando a tensão intermédia V_m , de aproximadamente $2.3V$, de modo a manter uma margem de $0.5V$ para a tensão V_{SB} . Os transístores M_1 a M_{10} em conjunto com os amplificadores do circuito constituem o núcleo deste OTA diferencial.

Neste circuito, a transcondutância é gerida pelo controlo da tensão V_{SD} nos transístores M_3 e M_4 que criam um ciclo de realimentação negativa com os amplificadores operacionais ligados a *gate* dos transístores M_5 e M_6 . Para além de criar a capacidade de calibre da transcondutância, esta

realimentação aumenta a impedância de saída, impulsionando o ganho DC à saída.

A necessidade do uso do circuito CMFF foi retratada no capítulo da revisão bibliográfica 2.2.3 e é aqui usado no ajuste da polarização do OTA. O circuito que o representa encontra-se a traçado no esquemático principal 4.2. Quando aplicada uma tensão às entradas diferenciais do circuito CMFF, a corrente induzida pela tensão de modo comum V_{CM} é cancelada à saída do OTA.

A utilização de circuitos *level-shifters* são necessários para elevar o valor de tensão de modo-comum nas entradas para o valor necessário no substrato dos transístors.

No OTA proposto, os circuitos *level-shifters* amplificam as tensões de $V_{in+} = V_{in-} = 1.65V$ para os $2.8V$ à entrada do substrato dos transístores M_3 e M_4 .

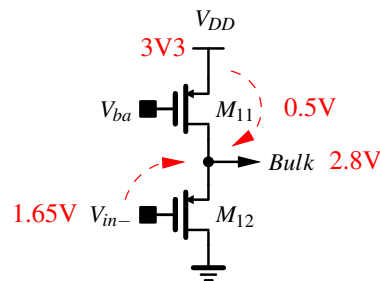


Figura 4.3: Circuito *level-shift*

Sempre que se faz um ajuste do valor da transcondutância, é necessário ajustar da tensão de polarização V_{bias} do circuito CMFB de modo a manter a saída em $1.65V$. Internamente existem no circuito tensões de polarização que proporcionam os ajustes necessários ao funcionamento eficaz do OTA.

Transístor	W/L $\mu m/\mu m$	Operação	Transístor	W/L $\mu m/\mu m$	Operação
M_1, M_2	2.4/1.4	Tríodo	M_3, M_4	3.2/1.4	Tríodo
M_5, M_6, M_{19}	49.5/1.4	Sat.	M_7, M_8, M_{20}	18.3/1.4	Sat.
M_9, M_{10}, M_{21}	164.6/1.4	Sat.	M_{15}, M_{16}	1.2/1.4	Tríodo
M_{17}, M_{18}	1.6/1.4	Tríodo	$M_{11}, M_{13}, M_{22}, M_{24}$	2.4/1.4	Sat.
$M_{12}, M_{14}, M_{25}, M_{26}$	2.4/1.4	Sat.			

Tabela 4.1: Dimensões do OTA

4.1.2 Estabilidade em modo-comum

4.1.2.1 CMFF

O OTA em si não suprime sinais de modo-comum. O ganho é igual tanto em modo diferencial como em modo-comum. De modo a eliminar os sinais de modo-comum, é necessário o uso do circuito CMFF que vem suprimir estes sinais e ajustar a polarização do circuito. Os transístores do

circuito CMFF possuem o mesmo tamanho que o núcleo do OTA, excepto os transístores M_{15} - M_{18} que têm metade dos tamanhos dos transístores simétricos correspondentes.

O circuito de detecção do *common-mode feedforward* encontra-se integrado no próprio amplificador, como representado na figura 4.2 a tracejado, e o fluxo de sinais pode ser observado na figura abaixo [13].

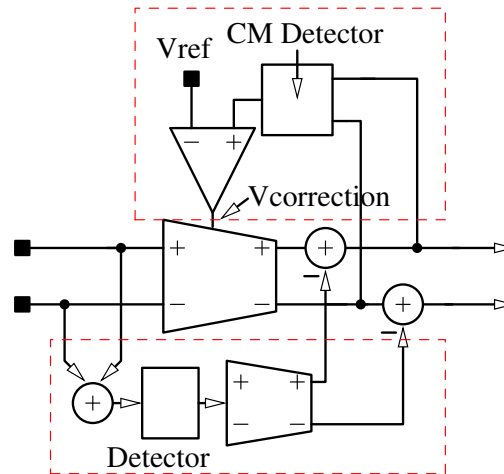


Figura 4.4: Controlo da componente de modo-comum

4.1.2.2 Arquitectura do CMFB

Configurações do tipo *fully-differential* necessitam de CMFB para estabilizar o sinal de modo comum a saída. Em aplicações de baixa-tensão é importante que o circuito do CMFB maximize a razão sinal-ruído de modo a que a excursão do sinal à saída não seja atenuada [13].

A topologia escolhida 4.2 possui quatro dos oito transístores a operarem na região do tríodo ($M_{26} - M_{29}$).

4.1.2.3 Princípio de funcionamento

A topologia escolhida para circuito CMFB possui quatro transístores que operam na região do tríodo ($M_{26} - M_{29}$). No circuito, os transístores M_{28} e M_{29} são sensíveis em relação a tensão de modo comum à saída. Qualquer variação que aconteça à saída é reflectida no nó V_x .

V_x corresponde a tensão de *gate* dos transístores M_{30} e M_{31} . O transístor M_{31} , (que é degenerado pelos transístores M_{26} e M_{27} , e controlado por M_{32}), amplifica a tensão V_x que produz V_{CMFB} .

V_{CMFB} , alimentada pela *gate* de M_3 , M_4 é convertida em corrente e o reajuste da saída de modo comum é efectuado para o valor de referência.

A figura 4.6, simplificada para a análise de uma das saídas, ajuda a compreender o funcionamento do circuito CMFB. Nesta figura, $G_{cm} = g_{mb1}$ refere-se a transcondutância do OTA, $G'_{cm} = g'_{mb1}$ a transcondutância do bloco CMFF e Z_{out} a impedância de saída do OTA.

Observando a figura, o ganho em modo-comum pode ser calculado por [2]:

$$CMRR = \frac{A_{DM}}{A_{CM}} \approx \frac{g_{mb1}}{(-g_{mb1} + g'_{mb1})} \frac{A_{CML,DC}}{2} \quad (4.4)$$

Tendo em conta que a topologia do CMFF cancela o sinal de modo-comum à entrada em condições ideais, ou seja quando $G'_{CM} = G_{CM}$, é conseguido um alto valor de CMRR, fazendo com que o valor de $A_{CML,DC}$ não seja preocupante. Isto torna-se numa vantagem óbvia em relação a outros circuitos que necessitam de ganhos elevados para impedir a propagação de sinais de modo-comum.

Além disso, salienta-se que, tirando partido do quarto terminal não utilizado (*gate*) dos transístores *Bulk-driven*, o bloco do CMFB é facilmente incluído no OTA proposto, sem a adição de dispositivos extras [2]. Portanto, o consumo de energia, bem como o tamanho do chip é reduzido. Comparativamente com o modelo *gate-driven* referido em [2], onde existe a necessidade do uso de um OTA extra para a implementação do bloco CMFB.

A figura seguinte representa a análise para pequenos sinais do circuito CMFB, para se avaliar a resposta de frequência. G_{CMFB} refere-se a transcondutância do bloco *CMFB*, g_1 e C_1 são equivalentes a transcondutância e capacidades parasitas no nó de saída do bloco CMFB, ou seja, o nó V_{CMFB} no esquemático.

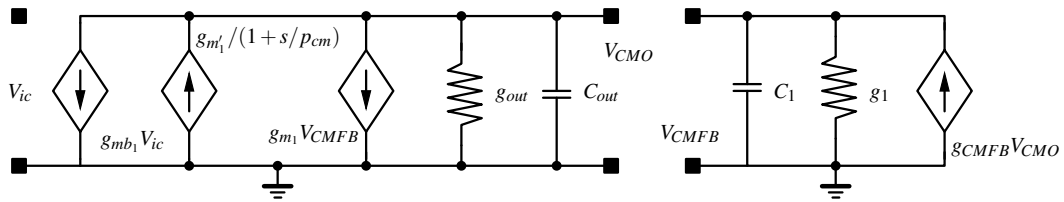


Figura 4.7: Modelo para pequenos sinais do bloco CMFB [2]

p_{CM} refere-se ao pólo associado ao circuito *cascode* do espelho de corrente no bloco do CMFF. Partindo das expressões [2],

$$A_{CML}(s) = \left(\frac{g_{CMFB}}{g_1} + sC_1 \right) \frac{g_{m1}}{g_{out}} + sC_{out}, \quad (4.5)$$

$$g_{CMFB} = \left\{ \frac{g_{m30}}{1 + g_{m30}} (2g_{DS26}) \right\} \left\{ \frac{g_{m28}}{g_{DS28}} \right\}, \quad (4.6)$$

$$g_3 = g_{m32}, g_{up} = 1/r_{up} \quad (4.7)$$

$$C_1 \approx 2C_{GS3} + C_{GS32}, \quad (4.8)$$

$$g_{out} = 1/r_{out} = g_{up} + g_{down} \quad (4.9)$$

a função de transferência é expressa então por:

$$\frac{V_{CMO}}{V_{ic}} = \frac{\frac{-g_{mb3} + g'_{mb3}}{\frac{s+1}{PCM}}}{g_{out} + sC_{out}} \frac{1}{1 + ACML(s)} \quad (4.10)$$

Nesta expressão g_{down} é a transcondutância vista do dreno de M_7 ou seja $G_{down} = G_{DS7}G_{DS9}/g_{m7}$.

Os pólos em malha fechada são complexos e a frequência central ω_0 e o factor de qualidade Q , são dados por [2]:

$$\omega_0 \approx \sqrt{\frac{g_{CMFB}g_{m3}}{C_1C_{out}}} \quad (4.11)$$

$$Q = \frac{\sqrt{ACML,DCp_1p_2}}{(p_1 + p_2)}, \quad (4.12)$$

onde $p_1 = g_{out}/C_{out}$ é o pólo dominante e $p_2 = g_3/C_3$, o pólo não-dominante.

Transístor	Razão W/L	Região de operação
$M_{26}, M_{27}, M_{28}, M_{29}$	$1.55\mu m/1.4\mu m$	Tríodo
M_{30}, M_{31}	$35\mu m/1.4\mu m$	Saturação
M_{32}, M_{33}	$1.55\mu m/1.4\mu m$	Saturação

Tabela 4.2: Dimensões do CMFB

4.1.3 Espelho de corrente

O modelo de espelho de corrente integrado no OTA é apropriado para aplicações de baixa tensão e consiste numa derivação do espelho de corrente de topologia *cascode*, com a saída ligada a entrada, cujo objectivo é o de reduzir a impedância de entrada e aumentar a impedância de saída, mantendo a tensão de operação [38, 29].

A figura 4.8 apresenta o modelo do espelho de corrente.

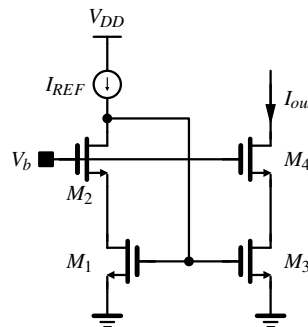


Figura 4.8: Wide swing current mirror

Neste circuito, $V_{GS_2} = V_{GS_4}$ e se $V_b = V_{GS_2} + (V_{GS_1} - V_{TH_1}) = V_{GS_4} + (V_{GS_3} - V_{TH_3})$, e assim o cascode formado por $M_3 - M_4$ consome o mínimo enquanto M_1 e M_3 mantêm igual valor para as tensões V_{DS} , permitindo uma cópia exacta de I_{REF} . O transístor M_2 é dimensionado de modo a que a tensão de *overdrive* mantém-se inferior a V_{TH} .

A tensão V_b é escolhida de modo a que os transístores M_1 e M_2 funcionem na saturação. A condição de saturação para os transístores M_2 e M_1 são dada respectivamente por [38],

$$V_b - V_{TH_2} \leq V_{GS_1} \quad (4.13)$$

$$V_{GS_1} - V_{TH_1} \leq V_b - V_{GS_2} \quad (4.14)$$

resultando a junção das duas, na seguinte expressão:

$$V_{GS_2} + (V_{GS_1} - V_{TH_1}) \leq V_b \leq V_{GS_1} - V_{TH_2} \quad (4.15)$$

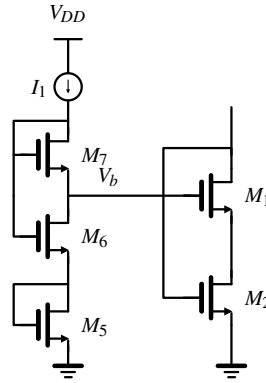


Figura 4.9: Geração de V_b

Para um consumo mínimo, $V_A = V_{GS_1} - V_{TH_1}$ e conseqüentemente V_b tem que ser igual ou ligeiramente maior do que $V_{GS_2} + (V_{GS_1} - V_{TH_1})$.

Na figura 4.1.3, o díodo formado pelo transístor M_7 tem uma razão W/L elevada de modo que $V_{GS_7} \approx V_{TH_7}$, isto é $V_{GS_6} \approx V_{GS_6} - V_{TH}$ e conseqüentemente $V_b = V_{GS_5} + V_{GS_6} - V_{TH_7}$.

4.1.4 Sinal de entrada e intervalos de *tuning*

Considerando a tensão de entrada diferencial igual a $V_{CM} \pm V_{in}/2$, o máximo intervalo de *tuning* é expresso por [2]:

$$V_{SD,max,bulk} = V_m - V_{b2} - (|V_{T0}| + \gamma \sqrt{2|\phi_F|} - \left(V_m - V_{CM} - V_{sh} - \frac{1}{2}V_{in} \right) - \gamma \sqrt{2|\phi_F|}) \quad (4.16)$$

Nesta expressão a tensão V_m refere-se a tensão intermédia entre os transístores M_1 e M_3 , V_{sh} a tensão do circuito *level-shift* e ϕ_F o potencial de *Fermi*.

Enquanto no caso do *OTA gate-driven* em que existe a limitação de *tuning*, devido a relação entre $V_{SD,max,gate}$ e V_{in} ser maior, conforme se verifica quando se faz uma análise às duas expressões, o circuito para *bulk-driven* permite-nos uma maior margem de *tuning* e menos limitada pela variação da tensão de entrada, V_{in} [2].

$$V_{SD,max,gate} = V_{DD} - V_{CM} - \frac{1}{2}V_{in} - |V_T| \quad (4.17)$$

Os gráficos da análise AC da figura 4.11, apresentam o intervalo de ajuste (máximo e mínimo) permitido pelo circuito, ou seja, intervalos em que os transístores constituintes do sistema ainda se encontram na região definida de funcionamento.

4.1.5 Transcondutância e impedância de saída

Pela aproximação a um sistema de primeira ordem efectuada em [2], o comportamento de um MOSFET canal *p* na região do tríodo e descrito pela equação:

$$I_{SD} = \mu C_{ox} \frac{W}{L} \left(V_{SG} - |V_{T0}| - \gamma \sqrt{2|\phi_F| - V_{SB}} + \sqrt{2|\phi_F|} - \frac{n}{2}V_{SD} \right) V_{SD}, \quad (4.18)$$

em que ϕ_F representa o potencial de Fermi cujo valor típico é de 0.35V, V_{T0} a tensão de *threshold* quando a tensão de polarização é zero, e n o factor de declive.

Para os transístores *bulk-driven* M_3 e M_4 , a tensão entre a fonte e o substrato é dada por:

$$V_{SB} = V_m - (V_{sh} + V_{CM} \pm \frac{V_{in}}{2}), \quad (4.19)$$

em que V_m representa a tensão média entre os transístores M_1 e M_3 e V_{sh} refere-se a tensão no circuito *level-shift*.

Baseando-se no facto de que $V_{in}/2 \ll 2|\phi_F| - V_m + (V_{sh} + V_{CM} \pm V_{in}/2)$, a expansão da série de Taylor dada pela expressão em 4.18 pode ser simplificada para [2]:

$$I_{SD} = \mu C_{ox} \frac{W}{L} \left(V_0 \pm K \frac{V_{in}}{2} - \frac{n}{2}V_{SD} \right) V_{SD}, \quad (4.20)$$

e V_0 refere-se a tensão de saturação expressa por:

$$V_0 = V_{SG} - |V_{T0}| - \gamma \sqrt{2|\phi_F| - V_{SB0}} + \gamma \sqrt{2|\phi_F|} \quad (4.21)$$

onde $V_{SB0} = V_m - (V_{sh} + V_{CM})$ denota a tensão entre a fonte e o substrato de M_3 e M_4 em DC. O factor K é definido como $K = \gamma/2\sqrt{2|\phi_F| - V_{SB0}}$.

Se a corrente de modo comum for dada por $I_{CM} = \mu C_{ox} W/L (V_0 - (n/2)V_{SD}) V_{SD}$, as correntes à saída são obtidas por:

$$I_{out+} = I_{out-} = I_{1,2} - I_{CM} = \pm \mu C_{ox} \frac{W}{L} K V_{SD} \frac{V_{in}}{2} \quad (4.22)$$

Como se verifica na equação 4.22, as correntes à saída estão relacionadas linearmente com a tensão de entrada, obtendo-se assim a transcondutância em 4.23 que depende linearmente da tensão de V_{SD} .

$$g_m = \mu C_{ox} \frac{W}{L} K V_{SD_{3,4}} \quad (4.23)$$

Considerando A como o ganho DC do amplificador de ajuste, a impedância vista do dreno de $M_{5,6}$ e expressa aproximadamente por [2]:

$$r_{up} = A \frac{g_{m_5}}{g_{DS_3} g_{DS_5}} \quad (4.24)$$

4.1.6 Amplificador de *tuning*

Os amplificadores incluídos na arquitectura do OTA têm como objectivo melhorar o ganho DC e aumentar a impedância de saída do circuito. Esta técnica permite o aumento da impedância de saída sem o recurso a mais circuitos cascode [23].

A ideia básica consiste em usar um amplificador com realimentação negativa de modo a forçar as fontes dos transístores M_5 e M_6 (dreno de M_3 e M_4) a ter a mesma tensão de polarização V_{REF} na entrada do amplificador de realimentação.

Como resultado, a tensão V_{DS} do transístor M_3 e M_4 é menos afectada pela variação da tensão de saída V_{out} , desde que a realimentação negativa do amplificador regule a tensão e mantenha estável $V_{DS_{3,4}}$.

Sem o uso destes amplificadores, o ganho DC do circuito seria dado por:

$$A_{DC} = \frac{g_{mb1}}{g_{out}} \quad (4.25)$$

Como g_{mb1} é relativamente menor que g_m a utilização destes amplificadores é desejada e assim aumentar o ganho DC .

Das topologias propostas em [2], a escolha recai sobre a topologia *folded-cascode* em detrimento da configuração telescópica, devido ao ruído extra adicionado pelos circuitos *level-shifters* presentes para a polarização dos transístores tipo p .

A tabela 4.3 apresenta o dimensionamento dos transístores do amplificador.

4.1.7 Resposta em frequência

O gráfico da figura 4.11 apresenta a análise AC do OTA para uma capacidade de 100 pF . O sinal de entrada é sinusoidal de frequência 50 Hz e amplitude 200 mV . Verifica-se também a característica de ajuste da transcondutância, consoante a variação da tensão V_{ref} , de 2 a 2.8 V.

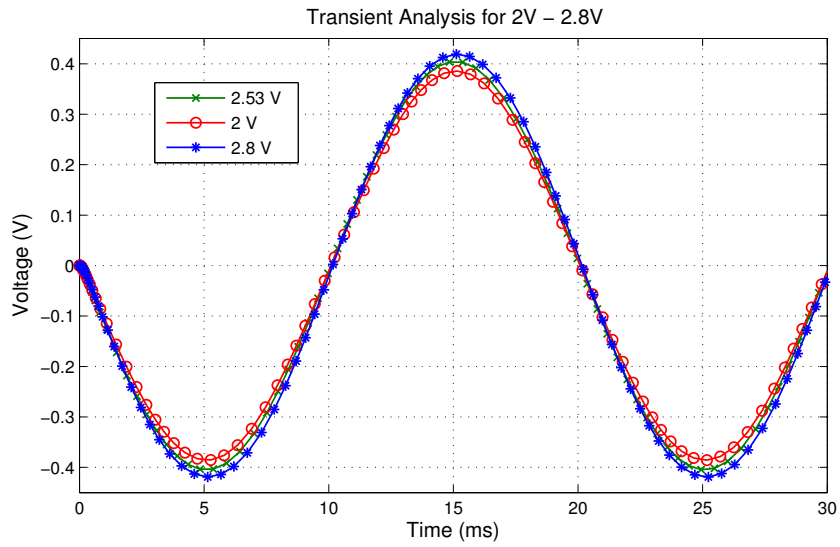


Figura 4.12: Resposta transitória com $V_{ref} = 2$ e 2.8V

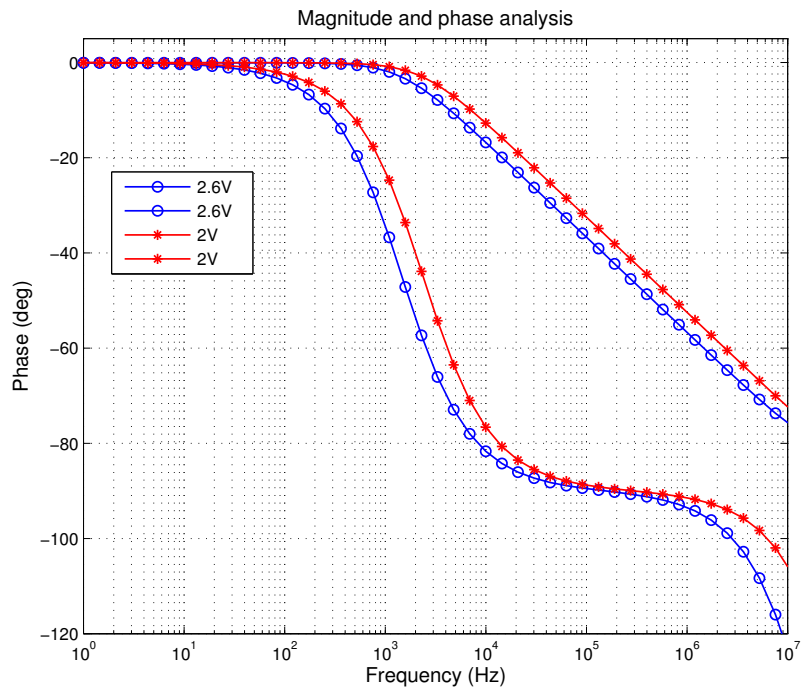


Figura 4.13: Variação da fase e magnitude com V_{ref} entre 2 e 2.6 V

4.2 Filtro Notch Passa-baixo de 2ª ordem

4.2.1 Características

Com a implementação do OTA de baixa transcondutância, cabe agora determinar a topologia para implementação do filtro Notch.

A característica do filtro passa pela determinação da frequência do Notch nos 50 Hz. Nos passos seguintes determinam-se os passos necessários para esta implementação.

4.2.2 Determinação das características do circuito

A expressão geral da função de transferência de um filtro Notch de segunda ordem permite-nos determinar o diagrama de blocos e conseqüentemente determinar o modelo de circuito.

A função de transferência seguinte 4.26 expressa a relação entrada-saída de um filtro Notch passa-baixo de segunda ordem [39].

$$H_{LPnotch}(s) = \frac{s^2 + \omega_n^2}{s^2 + \left(\frac{\omega_0}{Q}\right)s + \omega_0^2}, \omega_n > \omega_0 \quad (4.26)$$

$$\frac{(s^2 + \omega_n^2) V_{in}}{\left(s^2 + \frac{Q}{\omega_0}s + \omega_0^2\right)} \equiv \frac{1 + \frac{\omega_n^2}{s^2}}{1 + \frac{Q}{\omega_0} \frac{1}{s} + \omega_0^2 \frac{1}{s^2}} \quad (4.27)$$

Conseqüentemente o diagrama de blocos que realiza esta função traduz-se no seguinte:

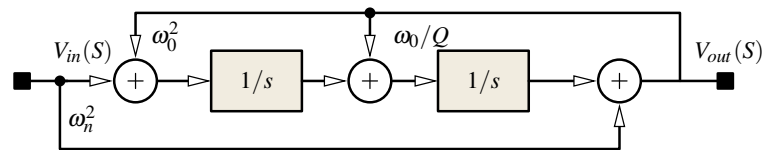


Figura 4.14: Diagrama de blocos resultante da FT do filtro Notch passa-baixo de 2ª ordem

A função de transferência para a implementação do filtro proposto resume-se em [10]:

$$H(s) \equiv \frac{V_o(s)}{V_i(s)} = \frac{s^2 + \frac{G_{m2}G_{m4}}{C_A C_X}}{s^2 + \frac{G_{m3}}{C_X}s + \frac{G_{m1}G_{m2}}{C_A C_X}} \quad (4.28)$$

Para o cálculo das transcondutâncias, são necessárias as seguintes equações [10]:

$$G_{m1} = \omega_0 C_A \quad (4.29)$$

$$G_{m2} = \omega_0 C_X \quad (4.30)$$

$$G_{m3} = \frac{\omega_0 (C_A + C_X)}{Q} \quad (4.31)$$

$$G_{m4} = \frac{k_0 C_A}{\omega_0} \quad (4.32)$$

Pelas equações 4.29 e 4.30, igualando as duas transcondutâncias, obtém-se $C_A = C_X$. Partindo dos valores predeterminados pelo OTA e fazendo $G_{m1} = G_{m2} = 1.1 \mu A/V$ e $\omega_0 = 2\pi * f_t$, e $f_t = 40Hz$, calculam-se os valores para as capacidades:

$$C_A = C_X = \frac{G_{m1}}{\omega_0} = \frac{G_{m2}}{\omega_0} = \frac{1.1 \mu A/V}{2\pi * 40 rad/s} = 4.376 nF \quad (4.33)$$

Com o valor de $Q = 1/\sqrt{2} = 0.7071$ obtido pela aproximação de *butterworth* a um sistema de segunda ordem, calcula-se o valor de G_{m3} .

$$G_{m3} = \frac{\omega_0 C_X}{Q} = 1.55 \mu A/V \quad (4.34)$$

O valor de ω_n , que corresponde a frequência do Zero na função de transferência é obviamente $2\pi * 50 rad/s$, frequência que se pretende suprimir no filtro Notch. A partir da equação,

$$\omega_n^2 = \frac{G_{m2} G_{m4}}{C_A C_X} \quad (4.35)$$

calcula-se o valor de G_{m4} , dado por:

$$G_{m4} = \frac{\omega_n^2 C_A C_X}{G_{m2}} = 1.71 \mu A/V \quad (4.36)$$

Com os cálculos efectuados, constrói-se a tabela 4.4.

O circuito apresentado na figura 4.15 ilustra a disposição de cada transcondutância e as interligações entre estes. Apesar dos valores diferentes de transcondutância, as tensões de entrada e saída em cada em cada bloco G_m são mantidas a 1.65V, pelo ajuste da tensão V_{bias} no circuito do CMFB. Isto significa que sempre que se faz um ajuste do valor da transcondutância, é necessário

Parâmetro	Valor	Parâmetro	Valor
ω_0	251.33rad/s	C_A	4.376nF
ω_n	314.16rad/s	C_X	4.376nF
G_{m1}	1.114 μ A/V	G_{m3}	1.575 μ A/V
G_{m2}	1.114 μ A/V	G_{m4}	1.733 μ A/V

Tabela 4.4: Parâmetros calculados para implementação do filtro

fazer um ajuste da tensão de polarização V_{bias} do circuito CMFB de modo a tornar centralizar a saída em 1.65V.

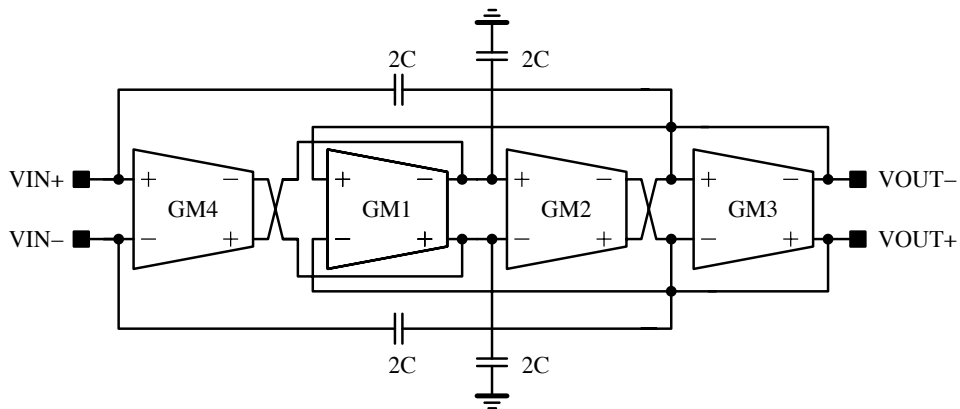


Figura 4.15: Arquitectura do Filtro Notch proposto

Uma vez determinado os valores para as diferentes transcondutâncias, apresenta-se a resposta AC dos blocos g_{m1} , g_{m2} , g_{m3} e g_{m4} .

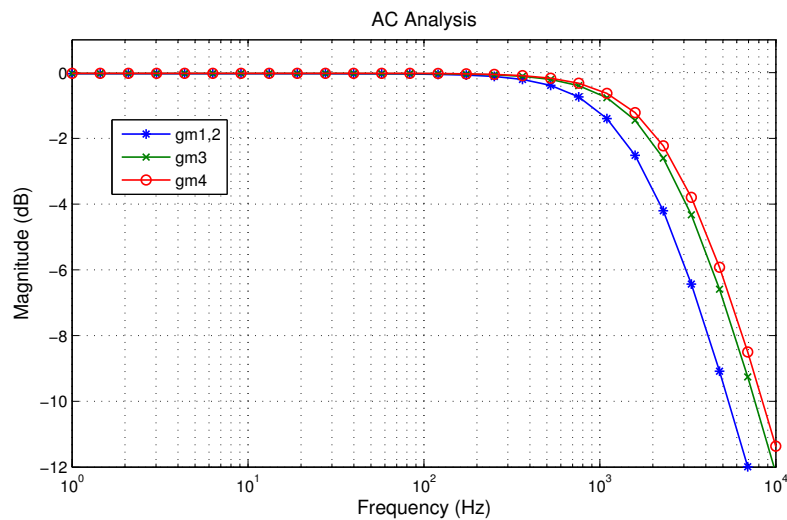


Figura 4.16: Análise AC dos blocos g_{m1} , g_{m2} , g_{m3} e g_{m4} .

4.2.3 Ganho do filtro

Através da função de transferência do filtro é possível calcular o ganho. Uma vantagem que este filtro proporciona é a existência do ganho, o que poderá diminuir a exigência de ganho no amplificador antes do filtro, como mostra o esquema geral de aquisição de sinais na figura 1.1.

$$H(s) = \frac{V_0(s)}{V_i(s)} = \frac{s^2 + \omega_n^2}{s^2 + \left(\frac{\omega_0}{Q}\right)s + \omega_0^2} \quad (4.37)$$

Fazendo $s \rightarrow 0$, obtém-se o ganho,

$$A_v = \frac{V_0(s)}{V_i(s)} (s \rightarrow 0) = \frac{\omega_n^2}{\omega_0^2}, \omega_n > \omega_0 \quad (4.38)$$

4.3 Filter-and-Hold (F&H)

Esta secção tem como objectivo apresentar a implementação do F&H no sistema global. Para tal, começa-se com a implementação a um filtro de primeira ordem e seguidamente a aplicação para o caso específico do filtro Notch.

4.3.1 F&H aplicado a circuito de 1ª Ordem

As figuras 4.18 e 4.19, representam respectivamente um filtro passa-baixo de primeira ordem e o correspondente sistema com a aplicação do F&H.

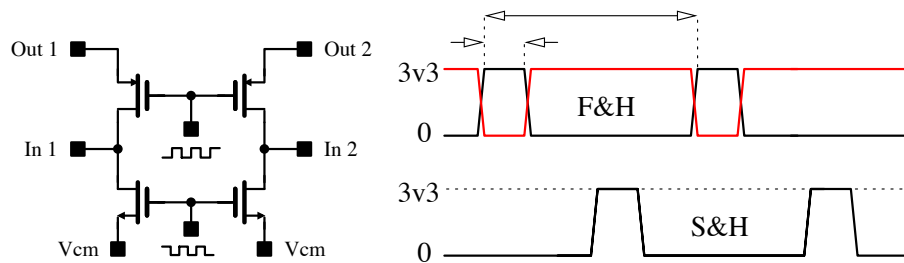


Figura 4.17: Circuito de implementação do *switch* e fases do sinal de relógio

Para que o circuito não fique em aberto quando o *switch* do F&H está desligado, colocou-se um outro *switch*, em série com uma fonte de tensão igual a tensão de saída do circuito, que desvia a corrente a massa.

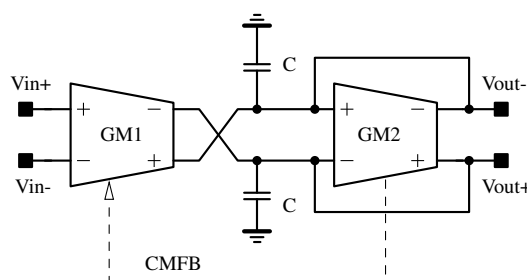


Figura 4.18: Filtro passa-baixo *fully-differential*

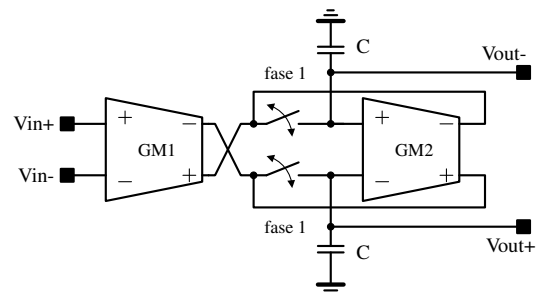


Figura 4.19: Filtro passa-baixo com F&H

Para o teste do F&H utilizou-se a configuração da figura 4.19. Este circuito foi testado usando o F&H com *duty-cycle* de 50% (i.e. $k = 0.5$) e como sinais de entrada, primeiramente uma onda sinusoidal de período 50 Hz e posteriormente uma com 200 Hz de entrada.

O valor da capacidade no circuito F&H é de 50 pF , correspondente a metade do caso contínuo. O resultado da análise transitória pode ser visto no gráfico em 4.20.

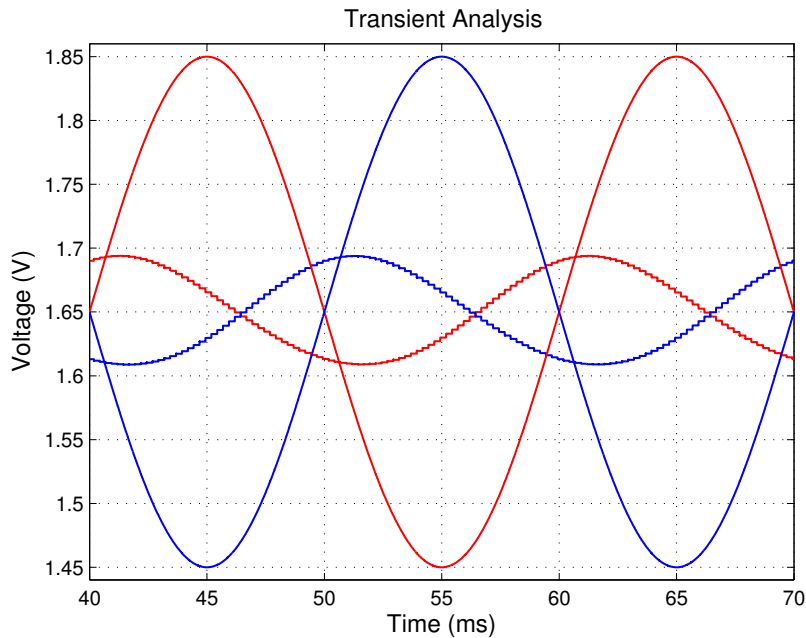


Figura 4.20: Resposta transiente para $k = 0.5$ e $f_{in} = 50\text{ Hz}$

A figura 4.21 apresenta o *zoom* da figura anterior.

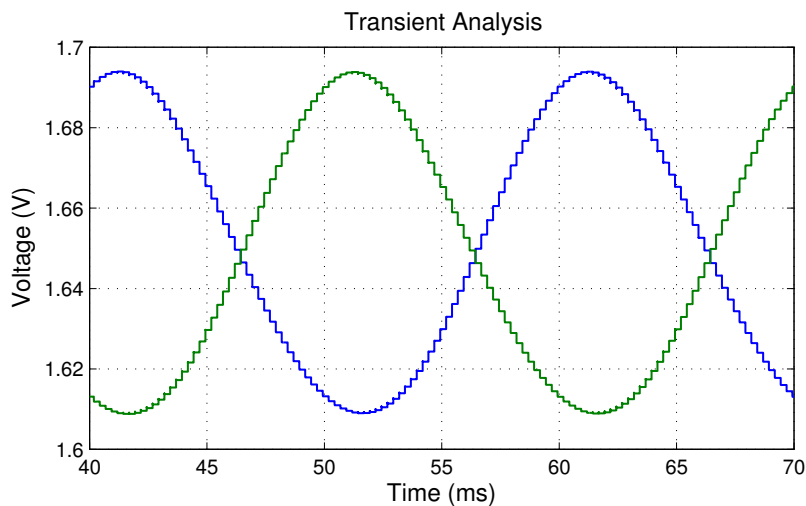


Figura 4.21: *Zoom* do gráfico anterior

Analisando o gráfico de ambos os circuitos 4.23, nota-se uma ligeira diferença na análise periódica AC quando se observam os gráficos do caso contínuo e o outro com F&H.

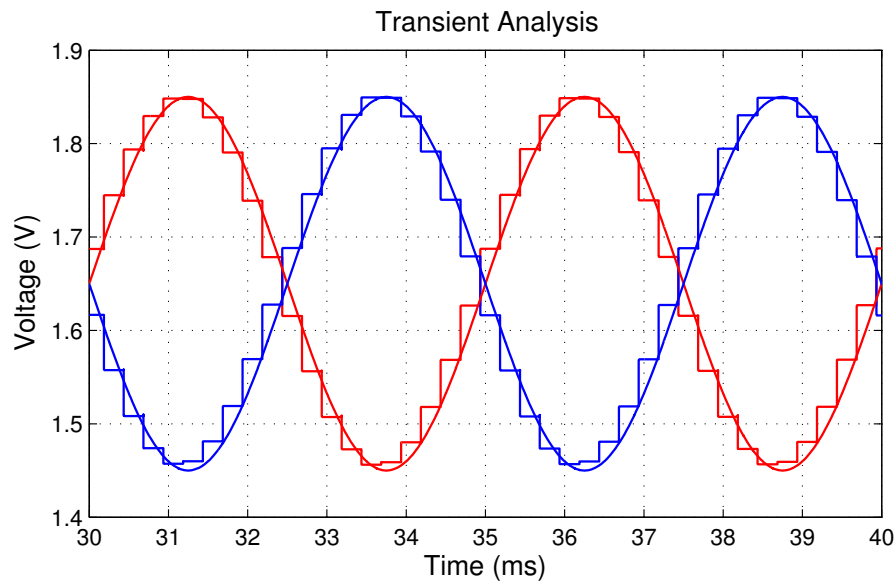


Figura 4.22: Resposta transiente para $k = 0.5$ e $f_{in} = 200 \text{ Hz}$

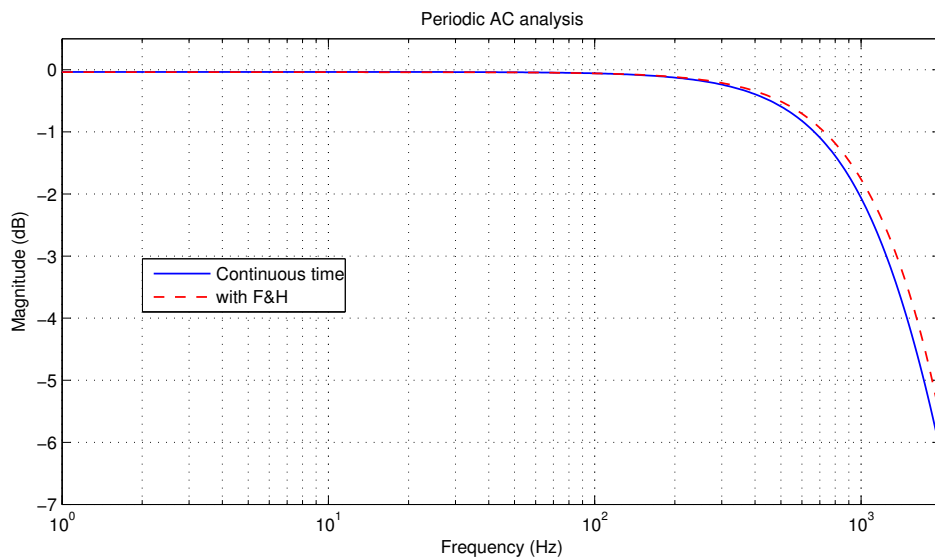


Figura 4.23: *Periodic AC analysis* para os casos contínuo e com F&H

4.4 Integração do F&H com o filtro Notch passa-baixo de 2ª ordem

A integração com o F&H é feita com a introdução de *switches* antes das capacidades no circuito. Às entradas e saídas do filtro, acrescentaram-se circuitos *sample-and-hold* que constituem basicamente o fundamento do critério de *Nyquist*, no qual qualquer sistema com amostragem digital, o sinal de entrada deve passar por um filtro *anti-aliasing* antes de ser amostrado, o mesmo acontecendo com a saída [40].

A configuração da figura 4.24 serve de base para as simulações descritas nas próximas secções.

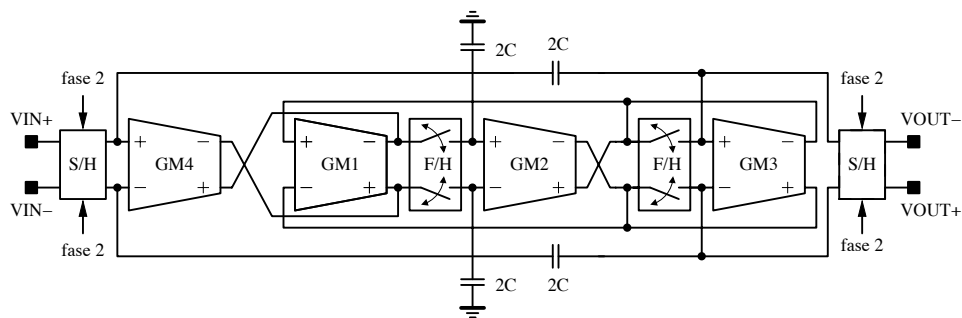


Figura 4.24: Filtro Notch passa-baixo de 2^a ordem com F&H

Para o conjunto de simulações efectuadas, o sinal de entrada é uma onda sinusoidal de frequência 50 Hz e amplitude 2 mV.

4.4.1 Simulação do filtro contínuo, (i.e. sem uso de *switch*)

O circuito do filtro contínuo foi testado com as mesmas características que os modelos F&H de modo a se poder fazer uma comparação adequada.

Deste modo o circuito foi configurado com os mesmos circuitos *sample and hold* (S&H) à entrada e à saída, e com os circuitos que implementam o F&H sempre activo (*ON*) de modo a corresponder a um sistema contínuo.

Devido ao facto de o circuito possuir *switches* controlados por um sinal de relógio periódico, a maneira de se conseguir obter o gráfico de módulo e fase faz-se através de simulações *periodic steady state* (PSS) e *periodic AC*.

Pela verificação do gráfico da análise periódica AC para o sistema contínuo observa-se o Notch à frequência de 50 Hz (49.99 Hz), com um pico de atenuação de aproximadamente -50.07 dB.

Este valor será usado como referência para a comparação com os valores produzidos pelo circuito F&H.

4.4.2 Simulação do filtro com $k = 0.5$

Para a simulação com *duty-cycle* igual a 50%, o *switch* foi configurado de modo a que o ciclo activo do relógio fosse metade do período.

Neste caso o *filter-and-hold* permite uma redução da capacidade para metade do valor original. O gráfico da análise AC para este caso em particular, pode ser consultado nos anexos.

4.4.3 Simulação com $k = 0.01$

Seguidamente efectuou-se a análise para $k = 0.01$. Esta análise permite a redução da capacidade para os 45 pF. O Notch para esta capacidade fica muito próxima dos 50 Hz (48,97), bastando um pequeno ajuste de V_{ref} para centralização da frequência.

4.4.4 Simulação do filtro com $k = 0.004$

O último caso analisado foi para $k = 0.004$, o que corresponde a divisão entre $1 \mu s$, correspondente ao *duty-cycle* e o período do sinal de relógio, $250 \mu s$. Esta análise permite a redução da capacidade para os $18 pF$, com uma diminuição da atenuação do filtro.

Os resultados em termos de magnitude e de fase dos diferentes casos estudados encontram-se em conjunto na área dos anexos, para uma melhor comparação.

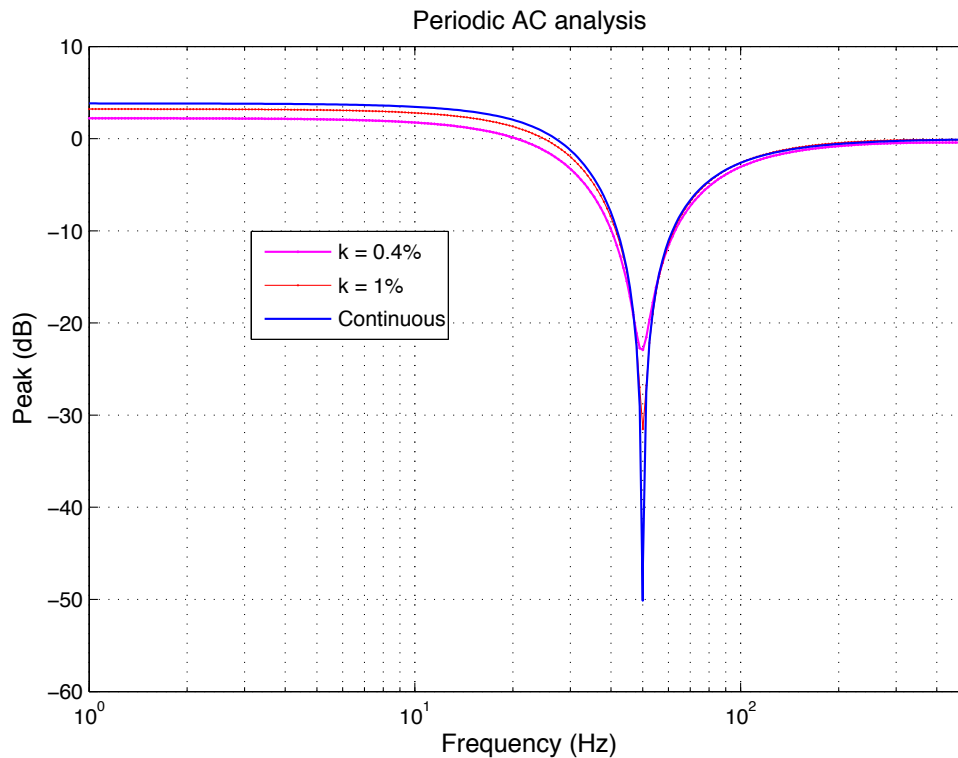


Figura 4.25: Variação do Notch consoante aumento do *duty-cycle*

Com a sobreposição dos vários gráficos, verifica-se que existe uma perda de atenuação quando o factor multiplicativo k da capacidade diminui. Para uma melhor visibilidade excluiu-se o gráfico para $k = 0.5$, mas este pode ser consultado isoladamente nas páginas subsequentes.

Para uma melhor observação sugere-se a consulta da tabela 4.5 e dos gráficos em anexo.

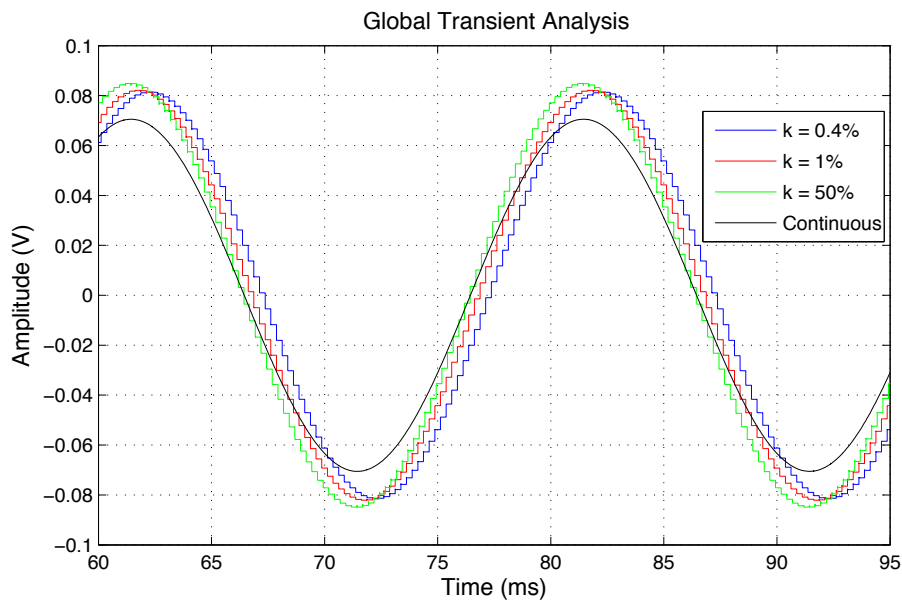


Figura 4.26: Variação da transitória aos 50 Hz consoante o *duty-cycle*

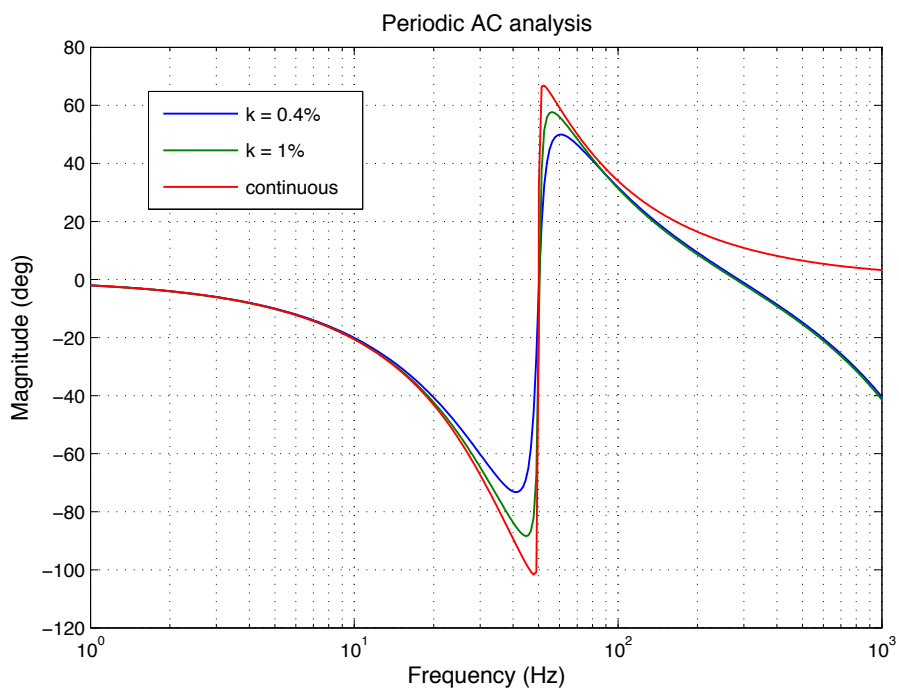


Figura 4.27: Gráfico da fase para diferentes valores de k

4.5 Conclusão

Em termos de excursão máxima de sinal, a variação entre os diferentes casos é praticamente desprezível. Verificou-se que no caso contínuo uma excursão do sinal de 141 mV e nos casos com F&H, com os *duty-cycles* de 0.5, 0.1 e 0.04 a excursão obtida foi respectivamente de 169.6, 164.2

e 164.6 mV.

O resultado de todas as experiências do filtro Notch permitem construir a seguinte tabela, com a informação necessária para uma análise do desempenho do circuito.

	Contínuo	k = 50%	k = 1%	k = 0.4%
Capacidade (F)	4.5n	2.25n	45p	18p
Notch, @ 50Hz (dB)	-50.07	-41.7	-31.55	-22.71
T, (μs)	–	250	250	250
τ , (μs)	–	125	2.5	1
Ganho, @ 1Hz (dB)	3.81	3.8	3.22	2.2

Tabela 4.5: Simulação do filtro Notch para diferentes *duty-cycles*

Capítulo 5

Conclusões e Trabalho Futuro

Neste capítulo procura-se analisar o trabalho desenvolvido nomeadamente os objectivos propostos inicialmente e a realização dos mesmos. Faz-se uma discussão dos resultados obtidos pelas experiências realizadas.

5.1 Principais resultados

O sistema de filtragem implementado foi simulado para diversos factores de escalabilidade k de modo a se avaliar a funcionalidade pretendida. Os resultados obtidos provam que as principais ideias e conceitos que se encontram por detrás do projecto são eficazes, permitindo uma grande margem de linearidade, controlo da transcondutância por uma tensão de referência e uma grande redução na escala das capacidades do circuito pela aplicação da técnica *filter-and-hold*.

A metodologia usada nas simulações consistiu na implementação de dois sistemas o mais semelhante possíveis de modo a se obter uma melhor comparação entre os resultados e melhor se perceber os factores que condicionam as mudanças de um sistema para outro. Deste modo, o circuito de referência (circuito do filtro contínuo) incluiu os circuitos *sample-and-hold* e *filter-and-hold* com a simples diferença dos *switches* estarem sempre em estado activo (*On*).

Com este circuito conseguiu-se obter o Notch a 50 Hz, com a redução de uma capacidade inicial de 4.5 nF para 18 pF, apesar de alguma perda em termos de atenuação do filtro.

Uma das causas desta perda de atenuação prende-se com os a resistência r_{on} dos transístores dos *switch* e um aumento do tamanho destes transístores ajuda a resolver parte do problema.

5.2 Satisfação dos Objectivos

O objectivo principal deste trabalho consistiu na implementação de um filtro Notch à frequência de 50 Hz pela aplicação da técnica *F&H* de modo a possibilitar a realização de um sistema completamente integrado. Este objectivo inicialmente estabelecido foi atingido e, o trabalho pode

afirmar-se capaz em propor novas soluções para a resolução de problemas desta área, apesar de haver a necessidade de outros testes ao circuito.

Tabela 5.1: Desempenho do filtro Notch

	Contínuo	k = 50%	k = 1%	k = 0.4%
Factor de redução(nº de vezes menor)	–	2	100	250
Perda de atenuação (dB)	–	8.37	18.55	27.36
Capacidade (F)	4.5n	2.25n	45p	18p
Notch, @ 50Hz (dB)	–50.07	–41.7	–31.55	–22.71
Potência consumida (mW)	6.2	6.2	6.2	6.2

A redução da capacidade de 4.5 nF para 45 pF e posteriormente para os 18 pF constitui uma mais valia deste circuito pois corresponde a uma redução respectivamente de 100 e 250 vezes, para uma atenuação bastante aceitável do filtro Notch.

Pela análise dos resultados das diferentes simulações realizadas, o primeiro comentário advém da observação feita no modo em como a atenuação do filtro Notch diminui consoante a diminuição do factor de multiplicação k . Analisando a tabela em 5.1, conclui-se que a atenuação do filtro vai diminuindo conforme se aumenta o *duty-cycle* do circuito F&H.

Esta queda de atenuação deve-se a redução nos vários casos do tempo em que o *switch* está activo, isto é, quanto menor for o tempo em que o *switch* está activo maior será a perda em termos de profundidade do filtro Notch. A constante de tempo aumenta consoante o *duty-cycle* diminui, contudo, isto não acontece de forma linear [40]. Existem três possibilidades de erro, nomeadamente a não linearidade dos transístores, a possibilidade de ocorrer *clock feedthrough* e os tempos de subida e descida dos ciclos de relógio.

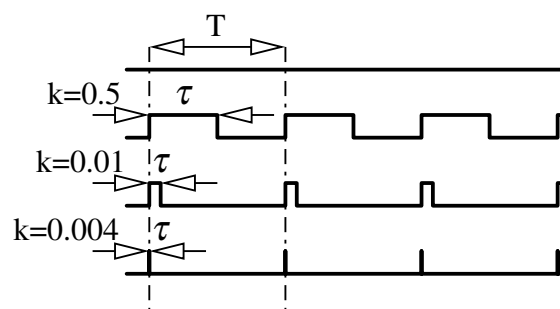


Figura 5.1: Variação do duty-cycle

Apesar da técnica F&H ajudar a diminuir o consumo de um circuito, neste caso em particular, o consumo elevado do filtro deve-se ao modelo de OTA utilizado.

5.3 Trabalho Futuro

O trabalho futuro imediato consiste no design do *layout* para se estabelecer uma comparação com os resultados obtidos pela simulação do esquemático.

Existem entretanto outras análises para se fazer, otimização do consumo, medição e o cálculo de outros parâmetros importantes. Com o OTA desenvolvido podem-se estudar alternativas de se melhorar ainda mais o valor da transcondutância, através da aplicação de outros diferentes métodos estudados, o que pode traduzir-se na redução das capacidades do circuito.

Uma área que pode ser explorada neste circuito passa pela implementação de um filtro Notch de ordem superior, que possa apresentar um melhor factor de qualidade, podendo trazer benefícios para as bandas de passagem e rejeição do circuito.

Outro factor de análise é fazer um estudo mais aprofundado sobre os factores que influenciam a perda de atenuação na banda de rejeição do filtro com a integração do F&H.

Anexo A

Anexos

- Resultado para Filtro contínuo

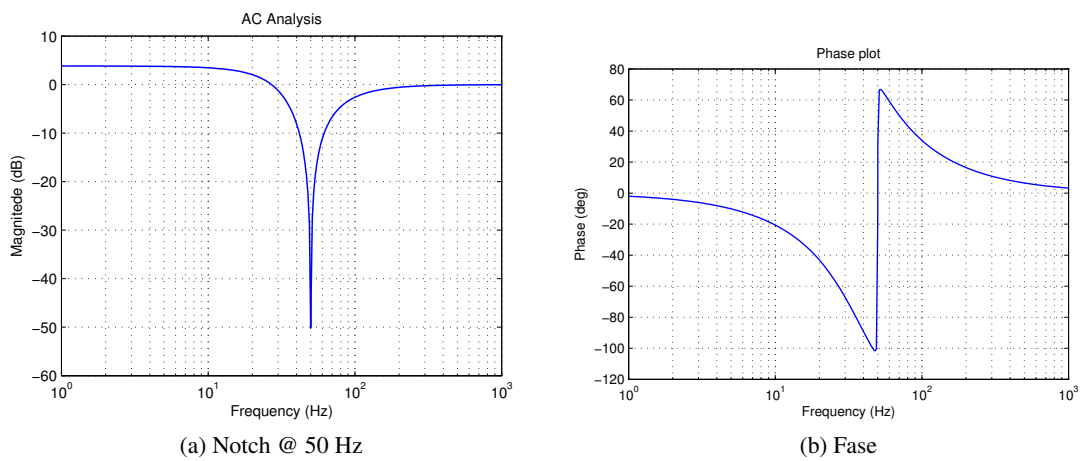


Figura A.1: Gráfico de módulo e fase do filtro Notch contínuo

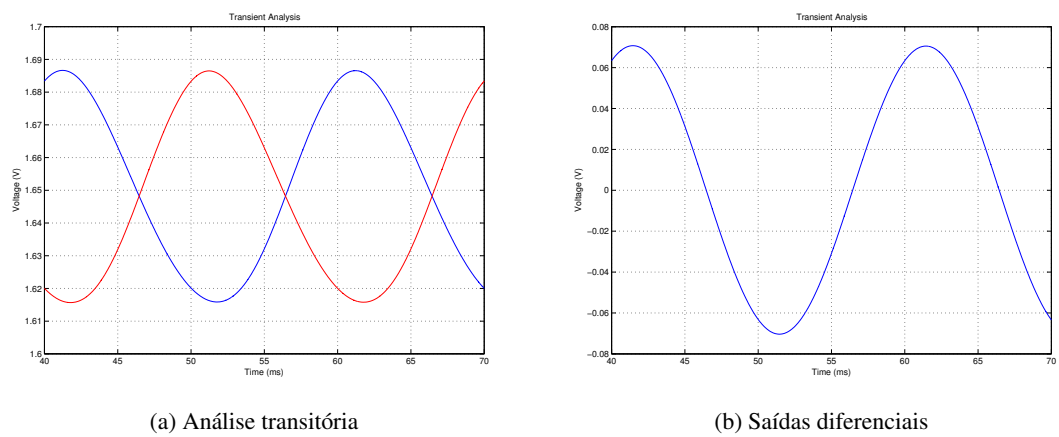


Figura A.2: Análise transitória do filtro Notch contínuo

- Resultado para F&H com $k = 50\%$.

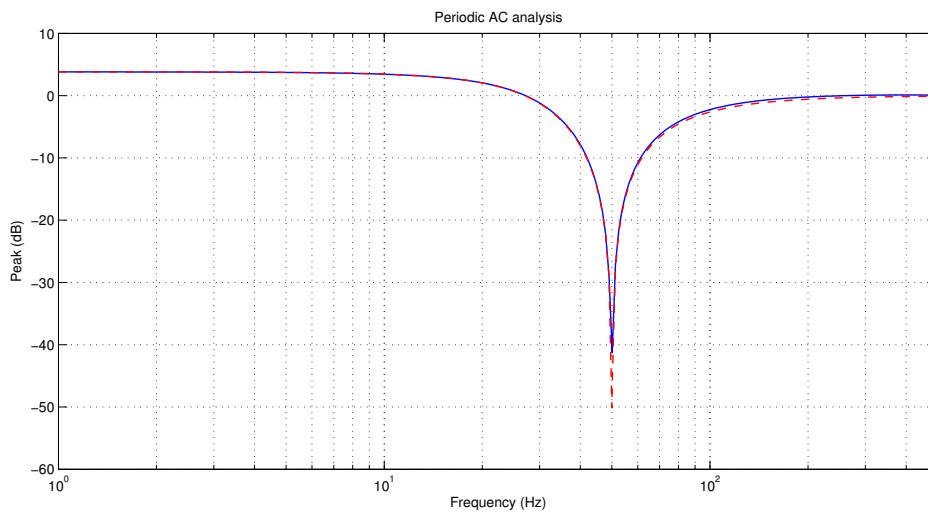
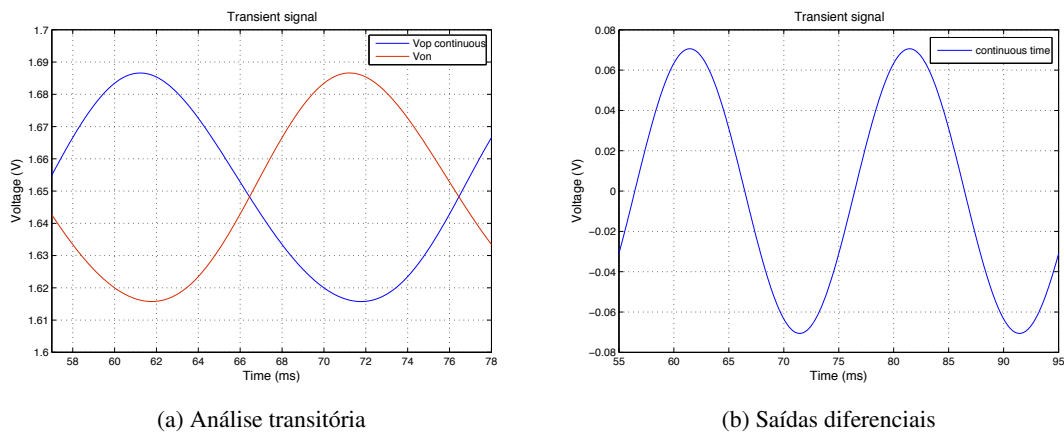


Figura A.3: Comparação da magnitude do filtro com F&H e $k = 0.5$

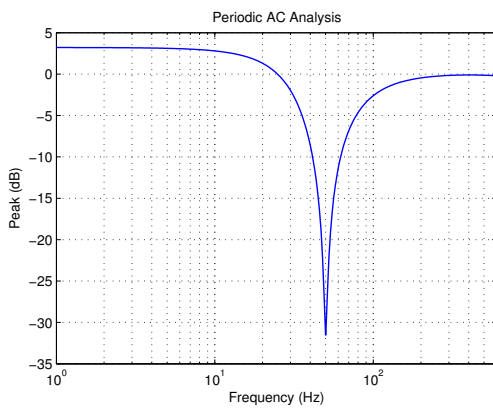


(a) Análise transitória

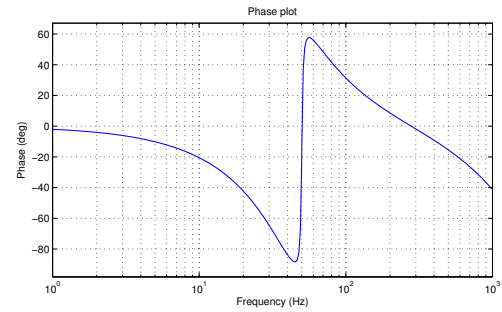
(b) Saídas diferenciais

Figura A.4: Análise transitória do filtro com F&H e $k = 0.5$

- Resultado para F&H com $k = 1\%$.

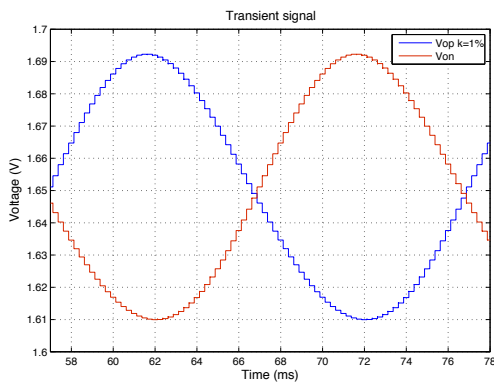


(a) Notch @ 50 Hz

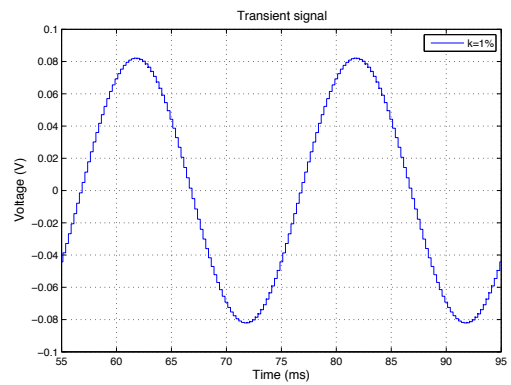


(b) Fase

Figura A.5: Gráfico da magnitude e fase do filtro com F&H e $k = 0.01$



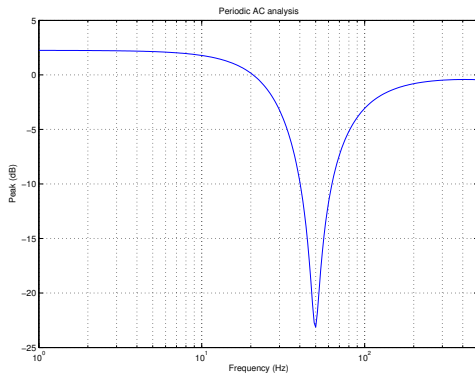
(a) Análise transitória



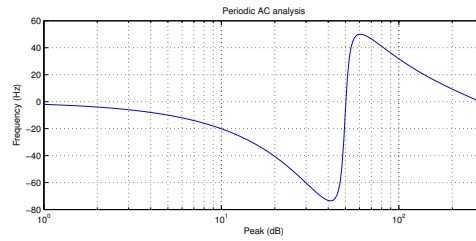
(b) Saídas diferenciais

Figura A.6: Análise transitória do filtro com F&H e $k = 0.01$

- Resultado para F&H com $k = 0.4\%$.

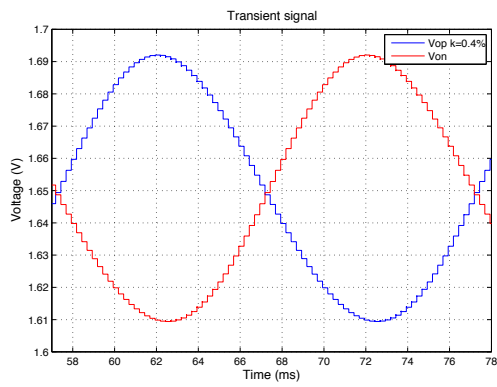


(a) Notch @ 50 Hz

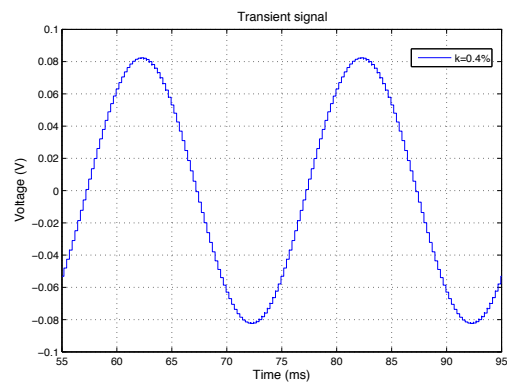


(b) Fase

Figura A.7: Gráfico da magnitude e fase do filtro com F&H e $k = 0.004$



(a) Análise transitória



(b) Saídas diferenciais

Figura A.8: Análise transitória do filtro com F&H e $k = 0.4\%$

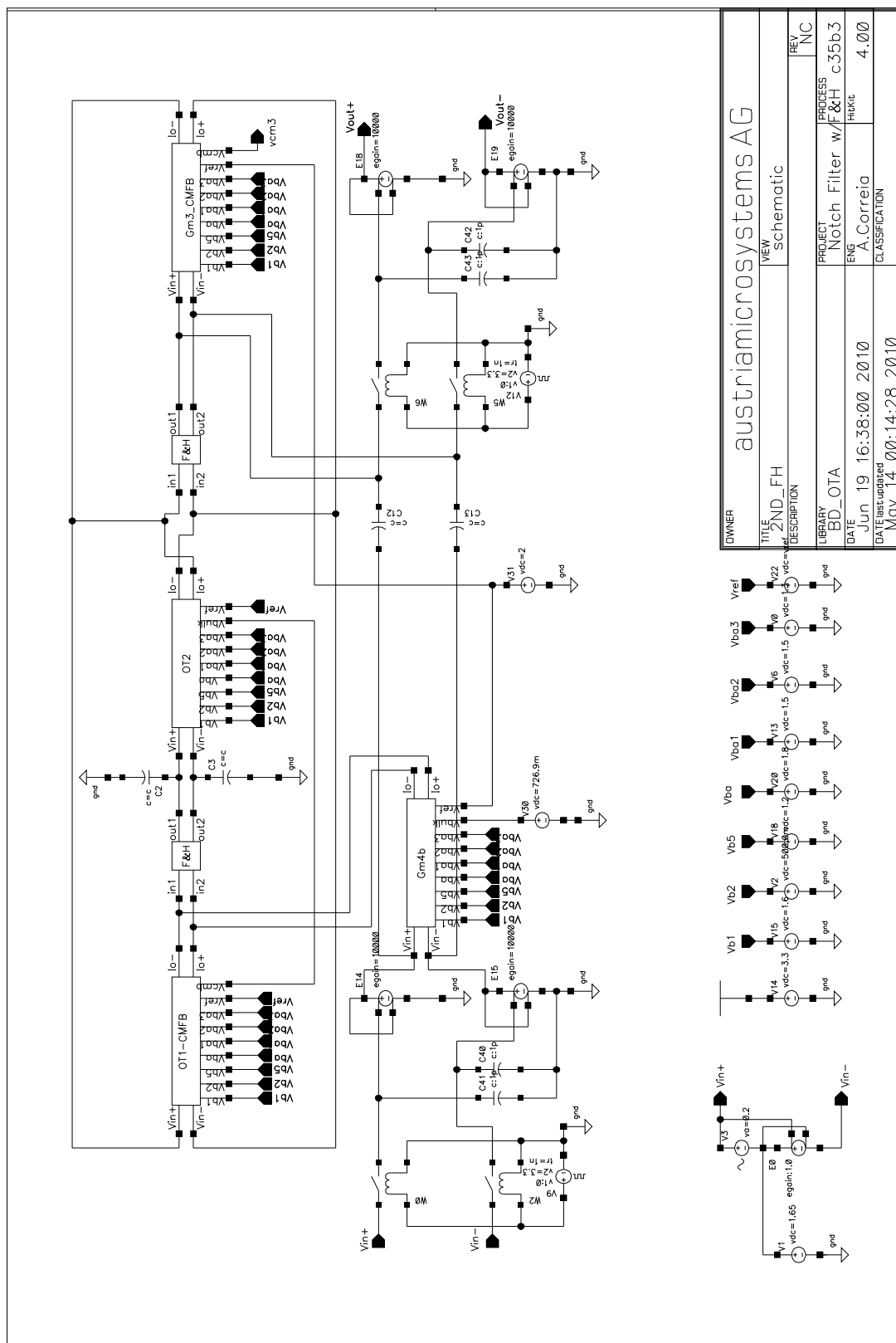
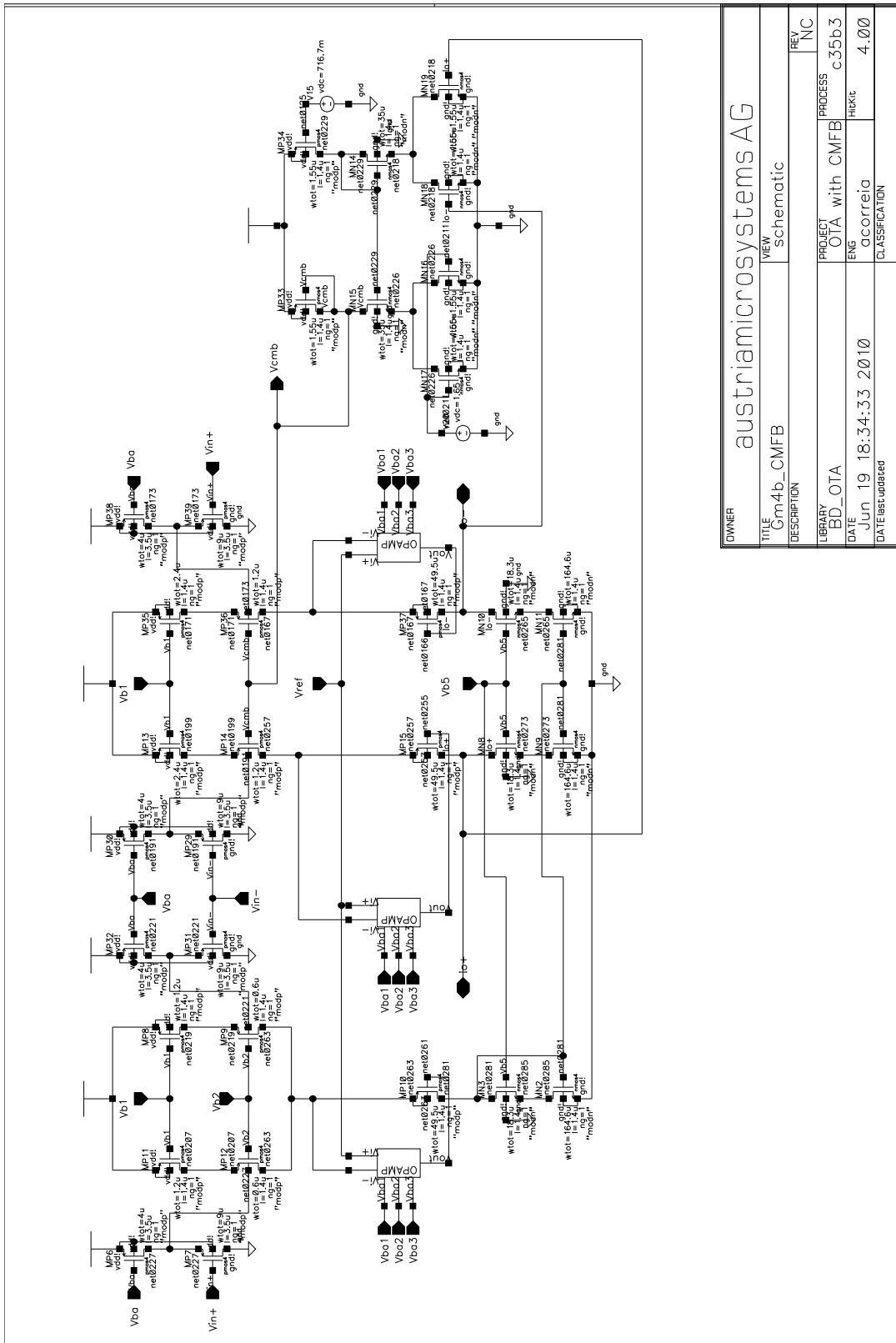


Figura A.9: Esquemático do filtro Notch implementado



OWNER	austriamicrosystems AG		
TITLE	Gm4b_CMFB	VIEW	schematic
DESCRIPTION			
LIBRARY	BD_OTA	PROJECT	OTA with CMFB
DATE	Jun 19 18:34:33 2010	ENG	c.correia
DATE ISS/UPGRADED		CLASSIFICATION	4.00
REV	NC	PROGRESS	c.35b.3

Figura A.10: Esquemático do OTA com CMFB

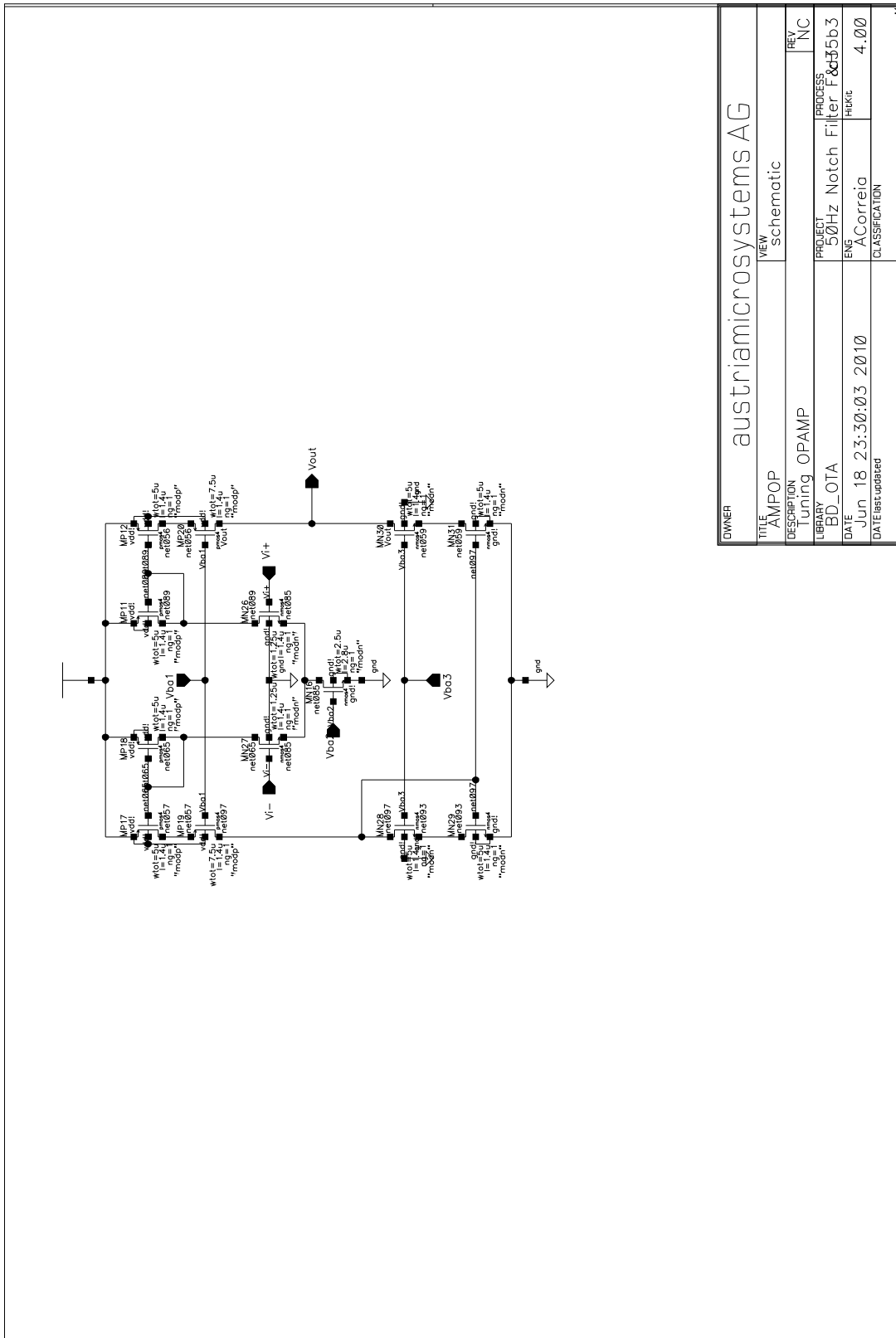


Figura A.11: Esquemático do amplificador de *tuning*

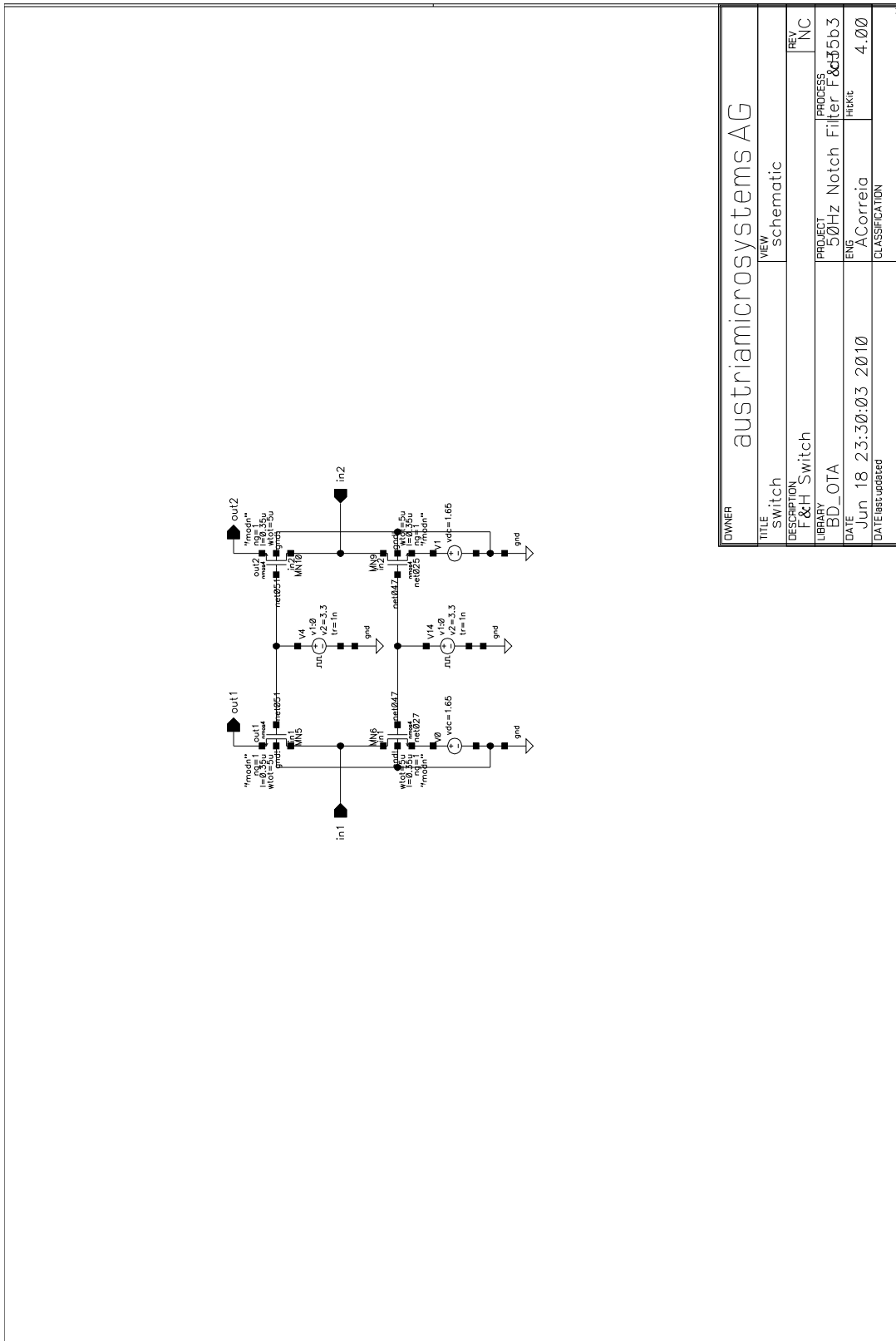


Figura A.12: Esquemático do *switch* usado para F&H

Referências

- [1] Shuenn-Yuh Lee and Chih-Jen Cheng. Systematic design and modeling of a ota-c filter for portable ecg detection. *Biomedical Circuits and Systems, IEEE Transactions on*, 3(1):53–64, feb. 2009.
- [2] Lihong Zhang, Xuguang Zhang, E. El-Masry, and Yuping Zhang. A low-voltage high linear body-driven operational transconductance amplifier and its applications. In *Electrical and Computer Engineering, 2007. CCECE 2007. Canadian Conference on*, pages 534–537, 22-26 2007.
- [3] A S Vale-Cardoso and H N Guimarães. The effect of 50/60 hz notch filter application on human and rat ecg recordings. *Physiological Measurement*, pages Volume 31, Number 1, November 2009.
- [4] Yong Ping Xu Xinbo Qian and XiaoPing Li. A cmos continuous-time low-pass notch filter for eeg systems. *Analog Integrated Circuits and Signal Processing*, 44, 231–238, pages 231–238, September 2005.
- [5] Zhao Zhidong and Ma Chan. A novel cancellation method of powerline interference in ecg signal based on emd and adaptive filter. In *Communication Technology, 2008. ICCT 2008. 11th IEEE International Conference on*, pages 517–520, 10-12 2008.
- [6] Chon-Teng Ma, Pui-In Mak, Mang-I Vai, Peng-Un Mak, Sio-Hang Pun, Wan Feng, and R.P. Martins. A 90nm cmos bio-potential signal readout front-end with improved power-line interference rejection. In *Circuits and Systems, 2009. ISCAS 2009. IEEE International Symposium on*, pages 665–668, 24-27 2009.
- [7] Ying-Wen Bai, Wen-Yang Chu, Chien-Yu Chen, Yi-Ting Lee, Yi-Ching Tsai, and Cheng-Hung Tsai. Adjustable 60 Hz noise reduction by a notch filter for ECG signals. In *Instrumentation and Measurement Technology Conference, 2004. IMTC 04. Proceedings of the 21st IEEE*, volume 3, pages 1706–1711 Vol.3, 18-20 2004.
- [8] A. Veeravalli, E. Sanchez-Sinencio, and J. Silva-Martinez. Transconductance amplifier structures with very small transconductances: a comparative design approach. *Solid-State Circuits, IEEE Journal of*, 37(6):770–775, jun 2002.
- [9] Chun-Ming Chang. New multifunction ota-c biquads. *Circuits and Systems II: Analog and Digital Signal Processing, IEEE Transactions on*, 46(6):820–824, jun 1999.
- [10] Ken Martin David A. Johns. *Analog Integrated Circuits*. John Wiley and Sons, Inc., 1997.
- [11] Chung-Chih Hung Tien-Yu Lo. *1V CMOS Gm-C Filters - Design and Applications*. Springer, 2009.

- [12] A.N. Mohieldin, E. Sanchez-Sinencio, and J. Silva-Martinez. A fully balanced pseudo-differential ota with common-mode feedforward and inherent common-mode feedback detector. *Solid-State Circuits, IEEE Journal of*, 38(4):663 – 668, apr 2003.
- [13] Edgar Sánchez-Sinencio. Common-mode control techniques for low voltage continuous-time analog signal processors. Technical report, Texas A&M University, March 2000.
- [14] Edgar Sánchez-Sinencio. Common-mode feedback techniques: A tutorial. Technical report, Texas A&M University, March 2000.
- [15] E. Sanchez-Sinencio and J. Silva-Martinez. CMOS transconductance amplifiers, architectures and active filters: a tutorial. *Circuits, Devices and Systems, IEE Proceedings -*, 147(1):3 –12, feb 2000.
- [16] Edgar Sánchez-Sinencio and José Silva-Martínez. Tutorial1: Design of continuous-time filters from 0.1 hz to 2.0 ghz. Technical report, Texas A&M University, May 2004.
- [17] Chun-Lung Hsu, Mean-Hom Ho, Yu-Kuan Wu, and Ting-Hsuan Chen. Design of low-frequency low-pass filters for biomedical applications. In *Circuits and Systems, 2006. APC-CAS 2006. IEEE Asia Pacific Conference on*, pages 690 –695, 4-7 2006.
- [18] Yang Huazhong Kong Yaohui, Liu Airong. A highly linear low-voltage source-degeneration transistor based on unity-gain buffer. Technical report, Department of Electronic Engineering, Tsinghua University, Beijing 100084,China, December 2009.
- [19] Lisha Li. High gain low-power operational amplifier design and compensation techniques, Abril 2007. Faculty of Brigham Young University.
- [20] Andreas G. Andreou Edgar Sánchez-Sinencio. Advanced analog circuit design techniques, 2008. Texas A&M University.
- [21] Ko-Chi Kuo and A. Leuciuc. A linear mos transistor using source degeneration and adaptive biasing. *Circuits and Systems II: Analog and Digital Signal Processing, IEEE Transactions on*, 48(10):937 –943, oct 2001.
- [22] P. Holajn L. Topor-Kaminski. Multiple-input floating-gate mos transistor in analogue electronics circuit. 2004.
- [23] Lisha Li. High gain low power operational amplifier design and compensation techniques. Technical report, PhD Thesis, Brigham Young University, April 2007.
- [24] Y. Berg, S. Aunet, O. Naess, and M. Hovin. A novel low-voltage floating-gate cmos transconductance amplifier with sinh (tanh) shaped output current. In *Electronics, Circuits and Systems, 2001. ICECS 2001. The 8th IEEE International Conference on*, volume 3, pages 1461 –1464 vol.3, 2001.
- [25] I. Pachnis, A. Demosthenous, and N. Donaldson. Comparison of transconductance reduction techniques for the design of a very large time-constant cmos integrator. In *Electronics, Circuits and Systems, 2006. ICECS '06. 13th IEEE International Conference on*, pages 37 –40, 10-13 2006.
- [26] José Silva-Martinez and Jorge Salcedo-Suñer. IC voltage to current transducers with very small transconductance. Technical report, National Institute for Astrophysics, Optics and Electronics, August 1996.

- [27] Cheng-Fang Tai, Jui-Lin Lai, and Rong-Jian Chen. Using bulk-driven technology operate in subthreshold region to design a low voltage and low current operational amplifier. In *Consumer Electronics, 2006. ISCE '06. 2006 IEEE Tenth International Symposium on*, pages 1–5, 0-0 2006.
- [28] A. Guzinski, M. Bialko, and J.C. Matheau. Body-driven differential amplifier for application in continuous-time active-c filter, Junho 2005.
- [29] Edgar Sánchez-Sinencio. Low voltage analog circuit design techniques: A tutorial. Technical report, Texas A&M University, March 2000.
- [30] S. Chatterjee, Y. Tsvividis, and P. Kinget. 0.5-v analog circuit techniques and their application in ota and filter design. *Solid-State Circuits, IEEE Journal of*, 40(12):2373–2387, dec. 2005.
- [31] K. Lasanen, E. Raisanen-Ruotsalainen, and J. Kostamovaara. A 1-v 5 μ w cmos-opamp with bulk-driven input transistors. In *Circuits and Systems, 2000. Proceedings of the 43rd IEEE Midwest Symposium on*, volume 3, pages 1038–1041 vol.3, 2000.
- [32] J.M. Carrillo, M.A. Dominguez, J.F. Duque-Carrillo, and G. Torelli. Input common-mode voltage behaviour of cmos bulk-driven differential stages. In *Circuit Theory and Design, 2009. ECCTD 2009. European Conference on*, pages 267–270, 23-27 2009.
- [33] AhlAd KumAr and G. K. ShArMA. Bulk driven circuits for low voltage applications. Technical report, ABV Indian Institute of Information Technology and Management, Gwalior, MP, 2009.
- [34] U. Stehr, F. Henkel, L. Dalluge, and P. Waldow. A fully differential cmos integrated 4th order reconfigurable gm-c lowpass filter for mobile communication. In *Electronics, Circuits and Systems, 2003. ICECS 2003. Proceedings of the 2003 10th IEEE International Conference on*, volume 1, pages 144–147 Vol.1, 14-17 2003.
- [35] Muhammad Taher Abuelma'Atti and Abdulwahab Bentrchia. A new mixed-mode OTA-C filter/oscillator circuit, 2008. King Fahd University of Petroleum and Minerals.
- [36] Vítor Grade Tavares José Machado da Silva. Apontamentos de electrónica 3: Filtros. Technical report, DEEC - FEUP, 2007.
- [37] V.M. Grade Tavares, J.C. Principe, and J.G. Harris. F & H filter: a novel ultra-low power discrete time filter. *Electronics Letters*, 35(15):1226–1227, 22 1999.
- [38] Behzad Razavi. *Design of Analog CMOS Integrated Circuits*. McGraw Hill, 2001.
- [39] Lars Wanhammar. *Analog Filters Using Matlab*. Springer, 2009.
- [40] Micah O'Halloran. Time constant magnification using filter and hold circuitry, May 2000. http://www.clas.ufl.edu/jur/200005/papers/paper_ohalloran.html.