

Faculdade de Engenharia da Universidade do Porto



**Design of a digital controller for a 2MHz Step
Down Converter**

André Filipe Caetano Duarte
Dissertação realizada no âmbito do
Mestrado Integrado em Engenharia Electrotécnica e de Computadores
Major Telecomunicações

Orientador: Prof. Dr. Armando Araújo
Co-orientador: Eng. Pedro Oliveira

Julho de 2008

Resumo

Esta dissertação descreve o projecto e a implementação de um controlador para um conversor cc-cc abaixador de alta frequência, 2MHz. São apresentados, no decorrer da dissertação, a topologia do conversor cc-cc abaixador, a sua modelação, e o projecto do controlador, que satisfaz os requisitos especificados no domínio analógico (controlador PID). Em seguida, é apresentado o sistema digital correspondente e feita a implementação do controlador. Por fim é realizada a descrição sintetizável do sistema em *Verilog HDL* e efectuadas as simulações finais no domínio digital.

Índice

Resumo.....	1
Índice	3
Lista de figuras	5
Lista de tabelas.....	11
Abreviaturas	13
Capítulo 1	1
Introdução	1
1.1. Enquadramento	1
1.2. Motivação	2
1.3. Objectivos.....	2
1.4. Organização da Dissertação	3
Capítulo 2	5
Estado da arte.....	5
2.1. Introdução	5
2.2. O controlo digital	6
2.3. Método de controlo actual	7
2.4. Novo método de controlo.....	8
Capítulo 3	9
Topologia do conversor cc-cc abaixador, <i>step down</i> ou <i>buck</i>	9
3.1. Análise do conversor cc-cc abaixador em modo de condução contínua, CCM	9
3.2. Simulação em malha aberta do conversor cc-cc, <i>step down</i>	14
3.3. Conclusões	16
Capítulo 4	17
Modelação do conversor cc-cc abaixador	17
4.1. Introdução	17
4.2. Obtenção do modelo de média do conversor.....	18
4.3. Aplicação do procedimento	18
4.4. Obtenção do modelo linear do conversor	20
4.5. Simulação dos modelos real, de média e linear	22
4.6. Conclusões	23

Capítulo 5	25
Análise em espaço de estados	25
5.1. Modelo de média em espaço de estados.....	25
5.2. Linearização das equações de estado.....	27
5.3. Simulação dos modelos linear, de média e função de transferência	29
5.4. Conclusões.....	30
Capítulo 6	31
Projecto do controlador analógico	31
6.1. Introdução.....	31
6.2. Sistemas de 2ª ordem.....	34
6.3. Projecto do controlador no domínio dos tempos.....	36
6.4. Projecto do controlador no domínio das frequências	39
6.5. Conclusões.....	51
Capítulo 7	53
Descrição digital do sistema.....	53
7.1. Introdução	53
7.2. Conversão para digital.....	58
7.3. Implementação do controlador	67
7.4. Sistema digital, modelação e simulação em <i>PSIM</i>	69
7.5. Sistema digital com atraso.....	76
7.6. Conclusões.....	80
Capítulo 8	81
<i>Verilog HDL</i>	81
8.1. Introdução	81
8.2. Modelo ideal: modelação e simulação	83
8.3. Modelo sintetizável: modelação e simulação	87
8.4. Conclusões.....	99
8.5. Descrição dos módulos	100
Capítulo 9	115
Conclusões	115
Capítulo 10.....	117
Trabalho futuro.....	117
Referências.....	119
Livros	119
Artigos	119
Relatórios	121
Documentos Electrónicos	121
Páginas Web	122

Lista de figuras

Figura 2-1 Controlo do conversor por corrente.	7
Figura 2-2 Blocos constituintes do controlador actual, controlo por corrente.	7
Figura 2-3 Arquitectura do sistema conversor e controlador.	8
Figura 3-1 Topologia do <i>buck</i> cc-cc.	9
Figura 3-2 Variação da tensão (V_s) e corrente (I_l).	9
Figura 3-3 Circuito equivalente com o interruptor fechado (Modo1), e com o interruptor aberto (Modo2).	10
Figura 3-4 Formas de onda resultados dos 2 modos de funcionamento.	10
Figura 3-5 Modulador <i>PWM</i> , a verde temos o sinal <i>PWM</i> , a azul o sinal dente de serra, e a vermelho o sinal <i>duty cycle</i> a utilizar no comparador.	13
Figura 3-6 Exemplos de sinais <i>PWM</i> , para <i>duty cycle</i> de 10%, 50% e 90%.	13
Figura 3-7 Resposta do conversor, $V_{out}(t)$ e $I_l(t)$	14
Figura 3-9 Variação na corrente I_l devido às comutações nos interruptores, de valor cerca de 140mA.	15
Figura 3-10 Variação na corrente de saída I_o , de valor cerca de 1.25mA.	15
Figura 3-8 Ondulação em V_o , cerca de 4 mV.	15
Figura 4-1 Esquema equivalente do abaixador, com o interruptor fechado.	18
Figura 4-2 Esquema equivalente do abaixador, com o interruptor aberto.	18
Figura 4-3 Modelo de média do conversor <i>buck</i>	19
Figura 4-4 Simulação do modelo real, de média e linear do abaixador (" <i>buck</i> ").	22
Figura 5-1 Esquema equivalente do <i>buck</i> com o interruptor ligado.	25
Figura 5-2 Esquema equivalente do <i>buck</i> com o interruptor desligado.	25
Figura 5-3 Simulação em <i>Matlab</i> do modelo de média traçado verde, do modelo linear traçado vermelho, e da função de transferência do abaixador, traçado azul.	29

Figura 6-1 Modelo com realimentação.	31
Figura 6-2 Lugar geométrico das raízes do processo, <i>Gbuck</i> . A frequência natural do sistema é de 4.55E5rad/s e o coeficiente de amortecimento de 0.15.	33
Figura 6-3 Diagrama de <i>Bode</i> do processo, <i>Gbuck</i> . Possui uma margem de fase de 18.2° à frequência de travessia do ganho de 7.08E5rad/s.	33
Figura 6-4 Localização dos pólos de um sistema de 2ª ordem no plano complexo.	34
Figura 6-5 Resposta ao degrau de um sistema de 2ª ordem.	34
Figura 6-6 Representação das respostas de sistema de 2ª ordem ao degrau unitário.	34
Figura 6-7 Lugar geométrico das raízes do sistema com o controlador <i>Gtempo</i> s.	37
Figura 6-8 Resposta ao degrau do sistema controlado. Possui uma grande sobreelongação, um tempo de estabelecimento de 26us e um grande erro em regime permanente.	37
Figura 6-9 Diagrama de <i>Bode</i> de <i>Gtempo</i> s.	37
Figura 6-10 Resposta do sistema a uma variação da corrente de saída de 1mA para os 300mA.	38
Figura 6-11 Traçados de <i>Bode</i> de sistemas de 2ª ordem.	39
Figura 6-12 Traçados de <i>Bode</i> desejáveis/indesejáveis.	39
Figura 6-13 Diagrama de <i>Bode</i> típico de um controlador avanço de fase.	41
Figura 6-14 LGR do sistema com o controlador <i>Gavanço</i>	42
Figura 6-15 Diagrama de <i>Bode</i> do sistema compensado em malha aberta <i>GavançoGp</i>	42
Figura 6-16 Resposta do sistema com o controlador <i>Gavanço</i> , a uma variação na corrente de saída do conversor de 1mA para os 300mA.	42
Figura 6-17 Resposta do sistema com o controlador <i>Gavanço1</i> , a uma variação na corrente de saída do conversor de 1mA para os 300mA.	43
Figura 6-18 Lugar geométrico das raízes para o sistema <i>GpGpid</i>	45
Figura 6-19 Diagrama de <i>Bode</i> do sistema compensado, em malha aberta.	45
Figura 6-20 Diagrama de <i>Bode</i> do sistema em malha fechada.	45
Figura 6-21 Resposta ao degrau unitário do sistema compensado <i>GpGpid</i>	46
Figura 6-22 Resposta do sistema com o controlador <i>Gpid</i> , a uma variação na corrente de saída de 1mA para os 300mA.	46
Figura 6-23 Resposta do sistema com o controlador <i>Gpid</i> , a uma variação na tensão de entrada de 3V para 2V.	46
Figura 7-1 Modelo dum sistema de controlo digital.	53
Figura 7-2 Conversão AD e DA por ZOH.	54

Figura 7-3 Traçados de <i>Bode</i> de <i>Gbucks</i> , a azul, <i>Gbuck_2MHz</i> , a vermelho, e de <i>Gbuck_32MHz</i> a verde.	60
Figura 7-4 Traçados de <i>Bode</i> de <i>Gpids</i> , a azul, <i>Gpid_2MHz</i> , a vermelho, e de <i>Gpid_32MHz</i> a verde.	60
Figura 7-5 Resposta ao degrau unitário do sistema realimentado a 2MHz.	60
Figura 7-6 Resposta ao degrau unitário do sistema realimentado a 32MHz.	60
Figura 7-7 Resposta ao degrau do controlador a 2MHz, azul, ...	61
Figura 7-8 Modelo analógico realimentado, com os controladores digitais <i>Gpid_2MHz</i> , <i>Gpid_32MHz</i> e <i>Gpid_64MHz</i> mais processo analógico, em série com o valor de erro.	62
Figura 7-9 Resposta do sistema em malha fechada a uma variação de 10% na referência. A azul está representado o traçado correspondente ao sistema contínuo, a verde o sistema com controlo digital a 2MHz. A vermelho o sistema com controlo digital a 32MHz, e a azul claro o sistema com controlo digital a 64MHz.	62
Figura 7-10 Traçados de <i>Bode</i> de <i>Gpids</i> , a azul, <i>Gpid2_2MHz</i> , ...	65
Figura 7-11 Resposta ao degrau unitário do sistema realimentado a 2MHz.	65
Figura 7-12 Resposta ao degrau unitário do sistema realimentado a 32MHz.	65
Figura 7-13 Resposta ao degrau do controlador a 2MHz, verde, ...	66
Figura 7-14 Resposta do sistema em malha fechada a uma variação de 10% na referência. A azul está representado o traçado correspondente ao sistema contínuo, a verde o sistema com controlo digital a 2MHz. E a vermelho o sistema com controlo digital a 32MHz.	66
Figura 7-15 Sistema digital com controlador PID, conversor analógico digital (AD) e <i>PWM</i> digital.	69
Figura 7-16 Modelo em <i>PSIM</i> do <i>SAR ADC</i> utilizado para amostrar a saída <i>Vout</i>	70
Figura 7-17 Diagrama de blocos do controlador <i>Gpid2_2MHz</i>	71
Figura 7-18 Modelo real do abaixador em <i>PSIM</i> , com <i>duty cycle</i> de 0.33, variação na carga e na tensão de entrada.	72
Figura 7-19 Modelo do abaixador com o controlador digital PID, com variação na carga e na tensão de entrada, em <i>PSIM</i>	73
Figura 7-20 Variação na corrente de saída de 1mA para os 300mA, na resposta a 2MHz.	73
Figura 7-21 Variação na tensão de entrada de 3V para 2V, na resposta a 2MHz.	73
Figura 7-22 Variação na corrente de saída de 1mA para os 300mA, na resposta a 32MHz.	74
Figura 7-23 Variação na tensão de entrada de 3V para 2V, na resposta a 32MHz.	74
Figura 7-24 Resposta do sistema a 2MHz com um atraso de propagação no sinal de erro de 500ns.	75

Figura 7-25 Resposta do sistema a 32MHz com um atraso de propagação no sinal de erro de 31.25ns.	75
Figura 7-26 LGR do sistema com controlo digital, sem considerar o atraso.	76
Figura 7-27 LGR do sistema com controlo digital, considerando o atraso.	77
Figura 7-28 LGR do sistema com controlo digital modificado, considerando o atraso.	77
Figura 7-29 Em cima resposta ao degrau do novo controlador.	78
Figura 7-30 Resposta do sistema em <i>PSIM</i> a uma variação da corrente de saída de 1mA-300mA, aos 0.4ms, e a uma variação na tensão de entrada 3V-2V aos 0.6ms.	78
Figura 7-31 Resposta do conversor com detalhe no erro em regime permanente	79
Figura 8-1 Figura representativa do sistema em <i>Verilog</i>	83
Figura 8-2 Simulação em <i>NCsim</i> , variação na corrente de saída 1mA-300mA, aos 0.4ms e variação na tensão de entrada de 3V-2V, aos 0.6ms.....	85
Figura 8-3 Variação na corrente de saída de 1mA-300mA em mais detalhe.	85
Figura 8-4 Variação na tensão de entrada 3V-2V ao pormenor.	86
Figura 8-5 Ondulação na tensão de saída de 8mV e erro em regime permanente de aproximadamente 4mV.	86
Figura 8-6 Possível situação de metaestabilidade de um <i>flip-flop</i>	89
Figura 8-7 Detalhe da variação da tensão de saída a uma variação na corrente de saída de 1mA para os 300mA. Sobreelongação cerca de 180mV e tempo de estabelecimento de 15us.	91
Figura 8-8 Detalhe da variação na tensão de entrada dos 3V para os 2V.	91
Figura 8-9 Detalhe da ondulação em regime permanente do sistema. Erro nulo em relação à referência e ondulação de cerca de 8mV.....	92
Figura 8-10 Arranque do sistema sem <i>soft start</i>	93
Figura 8-11 Arranque do sistema com <i>soft start</i>	93
Figura 8-12 Detalhe da variação da tensão de saída a uma variação na corrente de saída de 1mA para os 300mA. Sobreelongação de 150mV e tempo de estabelecimento de 5us.	94
Figura 8-13 Detalhe da variação na tensão de entrada dos 3V para os 2V.....	94
Figura 8-14 Detalhe da ondulação em regime permanente do sistema. Erro nulo em relação à referência de e ondulação de cerca de 8mV.....	95
Figura 8-15 Formas de onda geradas pelo módulo <i>clkgen.v</i>	100
Figura 8-16 Blocos constituintes do <i>SAR ADC</i>	101
Figura 8-17 Saída do <i>SAR ADC</i> , sinal de erro, para tensões de saída em teste, 0.258V até aos 0.2ms, 0.252V entre os 0.2ms e os 0.3ms, e 0.240V após os 0.3ms.	102

Figura 8-18 Implementação do ganho 655	104
Figura 8-19 Implementação do ganho 288	104
Figura 8-20 Implementação do ganho 372	104
Figura 8-21 Resultados do controlador em <i>PSIM</i> para um sinal erro de -2 até os 0.2ms, erro nulo entre os 0.2ms e os 0.3ms. E erro de 6 unidades entre os 0.3ms até os 0.5ms.....	105
Figura 8-22 Resultados do controlador em <i>Verilog</i> para um sinal de erro de -2 até os 0.2ms, erro nulo entre os 0.2 e os 0.3ms e um erro de 6 unidades entre os 0.3ms e os 0.5ms.	106
Figura 8-23 <i>DPWM</i> em <i>PSIM</i>	107
Figura 8-24 Funcionamento do modulador <i>PWM</i> de 512MHz.	108
Figura 8-25 Funcionamento do modulador <i>PWM</i> de 128MHz.	109
Figura 8-26 Funcionamento do módulo <i>progconv.v</i> , programador da lógica de controlo do nosso conversor.....	111
Figura 8-27 Funcionamento do módulo <i>prescaler.v</i> , cuja função é normalizar a tensão de saída do conversor para a gama de funcionamento do <i>SAR ADC</i>	112
Figura 8-28 Simulação em <i>NCsim</i> do sistema em malha aberta com <i>duty cycle</i> de 0.33, variação na corrente 1mA- 300mA aos 0.2ms e variação na entrada 3V-2V aos 0.3ms.	113
Figura 8-29 Simulação em <i>PSIM</i> do sistema em malha aberta com <i>duty cycle</i> de 0.33, variação na corrente 1mA- 300mA aos 0.2ms e variação na entrada 3V-2V aos 0.3ms.	113

Lista de tabelas

Tabela 6-1 Sobreelongação e tempo de estabelecimento para variações de 10% e 20%, em torno de diversas correntes nominais, para $V_{out}=1V$	47
Tabela 6-2 Sobreelongação e tempo de estabelecimento para diversas tensões de saída, para uma variação de corrente 1mA para os 300mA.	49
Tabela 6-3 Sobreelongação e tempo de estabelecimento para diversas tensões de entrada, para uma variação de corrente 1mA para os 300mA.	49
Tabela 6-4 Sobreelongação e tempo de estabelecimento para diversas tensões de saída, para uma degrau de entrada (3V-2V).	50
Tabela 8-1 Sobreelongação e tempo de estabelecimento para variações de 10% e 20%, em torno de diversas correntes nominais, para $V_{out}=1V$ e $V_{in}=3V$	96
Tabela 8-2 Sobreelongação e tempo de estabelecimento para diversas tensões de saída, para uma variação de corrente 1mA para os 300mA.	97
Tabela 8-3 Sobreelongação e tempo de estabelecimento para diversas tensões de entrada, para uma variação de corrente 1mA para os 300mA.	98
Tabela 8-4 Sobreelongação e tempo de estabelecimento para diversas tensões de saída, para um degrau de entrada (3V-2V).....	98

Abreviaturas

AD	conversor analógico digital
CC	corrente contínua
cc-cc	corrente contínua para corrente contínua
CCM	<i>continuous current mode</i>
CMOS	<i>complementary metal oxide semiconductor</i>
DA	conversor digital analógico
DCM	<i>discontinuous current mode</i>
DPWM	<i>digital pulse width modulation</i>
DSP	<i>digital signal processing</i>
EMI	<i>electromagnetic impulse</i>
ESR	<i>equivalent series resistor</i>
HDL	<i>hardware description language</i>
IC	<i>integrator circuit</i>
IGBTs	<i>Insulated-gate bipolar transistor</i>
LDMOS	<i>lateral double diffuse MOS</i>
LGR	lugar geométrico das raízes
LTI	<i>linear time invariant</i>
MOSFET's	<i>metal oxide semiconductor field effect transistor</i>
PSIM	<i>power simulator software</i>
PWM	<i>pulse with modulation</i>
SAR ADC	<i>successive approximation analog to digital converter</i>
SISO	<i>single input single output</i>
SOC	<i>system on chip</i>

Capítulo 1

Introdução

1.1. Enquadramento

Os modernos sistemas electrónicos requerem fontes de energia de corrente contínua, de agora em diante designadas por CC, eficientes, leves, pequenas, fiáveis e de alta qualidade.

Os reguladores de potência lineares, cujo princípio de operação é baseado no controlo da queda de tensão num elemento activo, normalmente um transistor bipolar, não cumprem estes objectivos. Por outro lado os reguladores comutados (*“switching regulators”*) ao utilizarem os dispositivos semicondutores como interruptores, nas zonas de corte (com, idealmente, corrente nula no interruptor) e saturação (com, idealmente, tensão nula entre os seus terminais), permitem baixas perdas e, portanto, elevada eficiência de conversão de energia. Estes factores, aliado aos semicondutores modernos (*MOSFETs e IGBTs*), que permitem operar a elevadas frequências (centenas de kHz) o que, melhora as características dinâmicas¹, e diminui o tamanho dos transformadores, e filtros (bobinas e condensadores), tornam as fontes comutadas a escolha lógica associada aos referidos sistemas.

¹ A largura de banda de um sistema realimentado é, normalmente, determinada pela frequência de corte do filtro de saída. Logo o aumento da frequência permite uma resposta dinâmica mais rápida face a variações bruscas na carga ou tensão de entrada.

As funcionalidades associadas a um conversor cc-cc são:

- Converter uma tensão de entrada CC, V_{in} , numa tensão CC de saída, V_{out} , de valor diferente.
- Regular a tensão CC de saída, face a variações na carga e na tensão CC de entrada.
- Reduzir a ondulação da tensão CC, na tensão de saída, V_{out} .
- Fornecer isolamento entre a entrada e saída (nem sempre necessário).
- Proteger a saída e a entrada de interferências electromagnéticas (EMI).
- Satisfazer todas as normas em vigor.

(Rashid M. H.)

1.2. Motivação

Projectar um sistema de controlo em tensão para o conversor cc-cc abaixador que satisfaça as restrições de projecto, e que constitua uma alternativa à arquitectura de controlo actualmente comercializada pela empresa *Chipidea*. Para tal o controlador deverá basear-se num algoritmo de controlo de simples implementação, para que o custo de integração seja reduzido, ocupe pouca área de silício, e consuma pouca energia.

1.3. Objectivos

Para este trabalho, foi proposto o desenvolvimento de um SOC (“System On Chip”) associado a um conversor cc-cc abaixador (“step-down”) bem como o respectivo controlador.

O controlador deve regular o conversor, permitindo que este seja capaz de reagir a variações na carga e na tensão de entrada, sem comprometer as características de funcionamento especificadas.

O trabalho decorrerá na FEUP e na empresa proponente (*Chipidea*) e terá como principais objectivos o desenvolvimento e implementação da parte de potência, baseada em transístores *LDMOS*, e do sistema de controlo, baseado em lógica digital *CMOS* em tecnologia de 60nm.

Para a prossecução destes objectivos será necessário adquirir e/ou sedimentar os conhecimentos associados a:

- Topologias adequadas de conversão cc-cc.
- Modelação de conversores cc-cc em ambiente *SPICE*, *PSIM* e *MATLAB*.
- Projecto de controladores em tempo contínuo.
- Projecto de controladores em tempo discreto.
- Projecto na linguagem de descrição de hardware *Verilog*.

1.4. Organização da Dissertação

Assim, o trabalho inicia-se com a descrição, no capítulo seguinte, do estado da arte. O capítulo três apresenta a topologia e a simulação do conversor cc/cc a implementar. Os modelos de média, não lineares, bem como a sua linearização e simulação em *PSIM* e *MATLAB* podem ser vistos no Capítulo 4. O capítulo seguinte apresenta os modelos de espaço de estados associados. O Capítulo 6 mostra o projecto de controladores contínuos associados ao sistema. Em seguida é realizada a descrição digital do mesmo, introdução ao sistema em digital, conversão para digital, e as respectivas técnicas de mapeamento. É ainda mencionada a implementação do controlador e a sua modelação e simulação com o conversor em *PSIM*. No Capítulo 8 são apresentados os modelos digitais do sistema em *Verilog HDL*, e a obtenção do respectivo modelo sintetizável. Por fim as conclusões do trabalho são apresentadas no Capítulo 9 e as possibilidades para trabalho futuro referidas no Capítulo 10. A tese termina com a apresentação das referências.

Capítulo 2

Estado da arte

2.1. Introdução

Este capítulo apresenta o estado da arte relativo ao funcionamento dos conversores *cc-cc* e o seu controlo. O capítulo inicia com a apresentação dos modos de funcionamento do conversor *cc-cc*. Em seguida são apresentadas as vantagens e desvantagens do controlo digital *PWM*.

Segue-se a apresentação da arquitectura de controlo adaptada, no momento pela *Chipidea*. Finalmente é apresentado o método de controlo que será desenvolvido neste trabalho.

Existem dois modos distintos de operação de um conversor *cc-cc*:

- O modo de condução contínua (*CCM*), em que a corrente que flui na bobina é superior a zero.
- O modo de condução descontínua (*DCM*) no qual a corrente na bobina é nula num determinado intervalo do período de comutação.

O modo *CCM* permite uma elevada eficiência de funcionamento e bom aproveitamento dos interruptores electrónicos e dos componentes passivos. O modo *DCM* não vai ser considerado neste estudo.

O conversor *cc-cc* é controlado em modo contínuo por uma técnica de controlo baseada em modulação de largura de impulsos, de agora em diante designada de *PWM* (*pulse width modulation*). A tensão no condensador de saída é medida e convertida para digital através de um conversor analógico/digital de aproximações sucessivas, de agora em diante designado por *SAR ADC*. Se a tensão de saída sobe o sistema de controlo desliga o interruptor de entrada, o que leva à descarga do condensador, sobre a carga, diminuindo a corrente. Operando a uma frequência elevada (2MHz) e com a devida referência é possível reagir convenientemente a variações rápidas na carga.

2.2. O controlo digital

Os sistemas baseados em controladores digitais necessitam de menos componentes, aumentando a sua durabilidade e fiabilidade. Por exemplo, todos os componentes da malha de realimentação são eliminados, e a selecção dos componentes para as especificações do projecto são substituídos por programação do software. Aliado à recente disponibilidade de processamento por computador, e de avançadas ferramentas de desenho e síntese de circuitos integrados, o projecto de um sistema digital pode ser adaptado, com pouco esforço, para novas gerações de circuitos integrados

Assim, o controlador a desenvolver será baseado em técnicas de controlo analógicas convencionais, tendo como base as especificações temporais do controlador existente (sobrelongação e tempo de estabelecimento), e em seguida, convertido para o sistema digital equivalente. (Rashid M. H.)

Em seguida são apresentadas as vantagens e desvantagens do controlo digital *PWM*:

Vantagens do controlo digital *PWM*:

- O controlo de circuitos analógicos através de mecanismos digitais diminui o custo do sistema e o consumo de energia, além de que, muitos microcontroladores, e *DSPs*, já incluem controladores *PWM* integrados, tornando a implementação simples.
- Os sistemas baseados em controladores digitais necessitam de menos componentes que os equivalentes analógicos, aumentando a sua robustez.
- É possível monitorizar o sistema de forma a tomar medidas preventivas, aumentando a fiabilidade do mesmo.
- O facto do sinal se manter sempre digital desde a origem até ao sistema de controlo, aumenta a sua imunidade ao ruído.
- O pequeno espaço ocupado e a economia face a outras técnicas de controlo, são também vantagens não desprezáveis.

Desvantagens do controlo digital *PWM*:

- As formas de onda rectangulares associadas ao *PWM* provocam perdas de comutação dos dispositivos semicondutores, que limitam a frequência de operação, dependendo dos interruptores utilizados.
- As comutações associadas às formas de onda geram elevado *EMI*.

2.3. Método de controlo actual

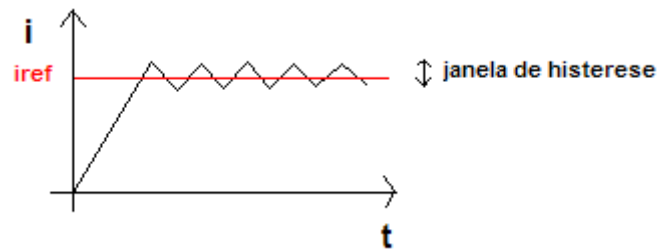


Figura 2-1 Controlo do conversor por corrente.

A Figura 2-1 ilustra o funcionamento actual do conversor controlado por corrente. A corrente de saída é comparada com a corrente de referência. Caso seja superior o interruptor de entrada é desligado, o que leva à diminuição da corrente. Assim que ultrapasse o limite inferior o interruptor de entrada é novamente ligado, começando novo ciclo de carga e descarga do condensador.

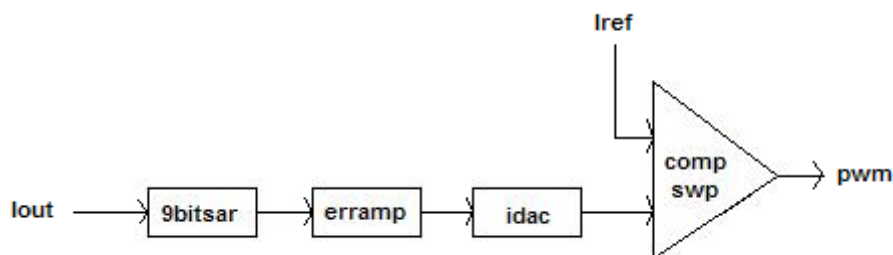


Figura 2-2 Blocos constituintes do controlador actual, controlo por corrente.

A Figura 2-2 ilustra os blocos que constituem o controlador associado ao módulo que é actualmente comercializado pela *Chipidea*. O módulo *9bitsar* é o conversor analógico digital que gera o sinal digital de 9bits em complemento para dois com o valor da corrente. O módulo seguinte na cadeia é o *erramp*, que calcula a variação do erro de corrente actual, que, em seguida, é convertido para analógico pelo *idac*, e, por fim comparado com a corrente de referência, gerando o sinal *PWM* que controla os interruptores.

O controlador necessita de saber qual o erro de corrente face à referência pretendida, tal implica um conversor digital/analógico, *DAC* de corrente. O *DAC* de corrente tem uma implementação complexa, é caro e gasta muita energia. Estas são as grandes motivações da *Chipidea* para implementar um controlador em tensão, o que permitirá tornar o conversor mais barato, mais económico e mais fácil de implementar.

Tal constitui pois o núcleo deste trabalho: “*Design of a digital controller for a 2 MHz Step Down Converter*”.

2.4. Novo método de controlo

A figura seguinte exemplifica a arquitectura do sistema que irá ser desenvolvida e implementada no decorrer desta dissertação.

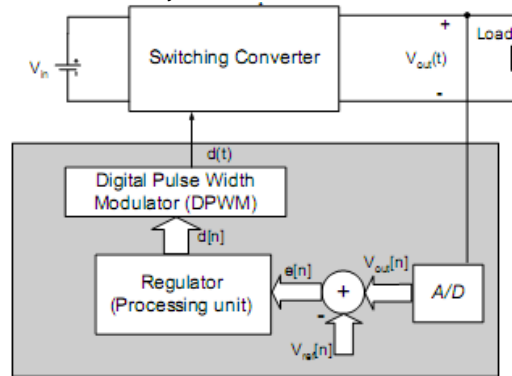


Figura 2-3 Arquitectura do sistema conversor e controlador.

O sistema é composto pela parte de potência, representado a branco na Figura 2-3, e pela parte de controlo representada a cinzento.

A parte de controlo, a desenvolver neste trabalho, é composta por um *ADC*, por uma unidade de controlo e por um modulador de impulsos digital, *DPWM*. A descrição, funcionamento, e implementação destes módulos será realizada no decorrer deste documento.

Esta arquitectura de controlo possui a vantagem de possuir poucos subsistemas (*ADC* o módulo de controlo e o *DPWM*), o que a torna simples de implementar com todas as vantagens daí provenientes. Contudo, a sua simplicidade limita as possibilidades de desenvolver algoritmos de controlo mais avançados, que permitiriam um sistema com melhor desempenho.

Capítulo 3

Topologia do conversor cc-cc abaixador, *step down* ou *buck*

Neste capítulo é analisada a topologia do conversor *buck*, e são deduzidas as fórmulas que descrevem o seu comportamento, de entre elas as mais importantes são a fórmula do *duty cycle*, as fórmulas para a ondulação da tensão de saída ΔV_c , a fórmula para a ondulação da corrente de saída ΔI , e as fórmulas que estabelecem as condições para o funcionamento do conversor em modo *CCM*. Por fim é apresentado o método analógico que gera o sinal *PWM* que será utilizado neste trabalho, e a simulação do conversor em malha aberta, com particular ênfase na sua tensão de saída e corrente na bobina.

3.1. Análise do conversor cc-cc abaixador em modo de condução contínua, CCM

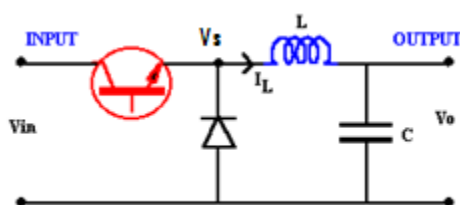


Figura 3-1 Topologia do *buck* cc-cc.

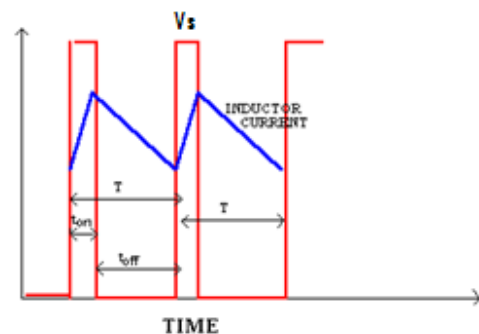


Figura 3-2 Variação da tensão (V_s) e corrente (I_L).

A Figura 3-1 ilustra a topologia do conversor cc/cc abaixador. Este conversor permite aplicar a uma carga um valor médio de tensão inferior à da entrada, actuando um interruptor. A comutação deste interruptor permite a transmissão de energia da entrada para a saída do circuito.

A tensão V_s é uma onda quadrada que toma os valores da tensão de alimentação, V_{in} , ou de zero, dependendo do estado de condução/não condução do interruptor. O filtro passa baixo, LC, permite que a carga receba a componente contínua da tensão V_s . A bobina controla a ondulação da corrente e o condensador a ondulação da tensão de saída. A frequência de comutação deve ser a mais elevada possível de modo a diminuir os valores dos componentes passivos. Assumindo que o conversor é ideal: queda de tensão dos interruptores nula e componentes passivos sem perdas, o valor médio da queda de tensão na bobina é dada por:

$$V_L = V_s - V_o = L \frac{di}{dt} \quad di = \int_{ON} (V_s - V_o) dt + \int_{OFF} (V_s - V_o) dt \quad (3.1)$$

Em regime permanente o valor médio é nulo, logo:

$$(V_{in} - V_o)t_{on} - V_o t_{off} = 0 \text{ pelo que } \frac{V_o}{V_{in}} = \frac{t_{on}}{T}; \text{ duty cycle } k = \frac{t_{on}}{T} \quad (3.2)$$

Efectuando uma análise mais detalhada ao funcionamento do conversor *buck*, considerando agora os dois modos de funcionamento, com interruptor fechado e aberto, resulta:

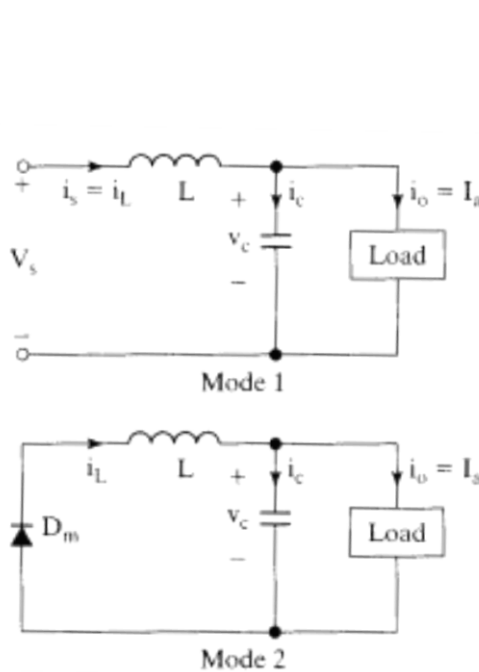


Figura 3-3 Circuito equivalente com o interruptor fechado (Modo1), e com o interruptor aberto (Modo2).

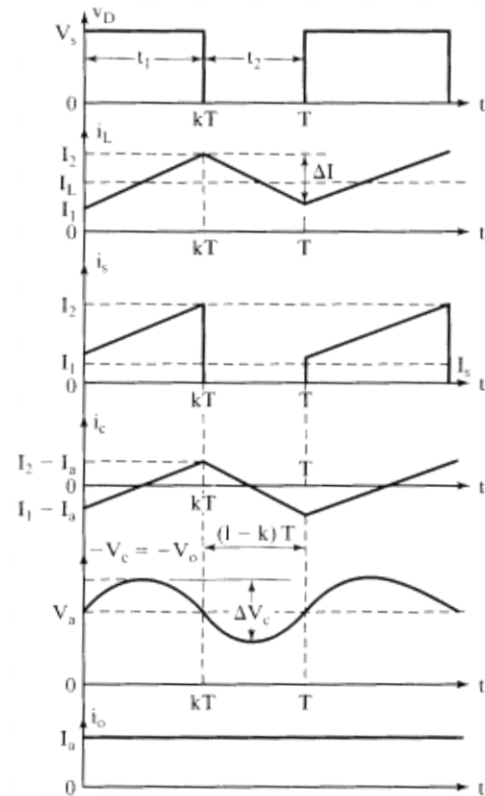


Figura 3-4 Formas de onda resultados dos 2 modos de funcionamento.

Todas as fórmulas e deduções apresentadas em seguida referem-se à Figura 3-3 e à Figura 3-4.

Partindo da equação que define o funcionamento da bobina:

$$V_l = L \frac{d_i}{dt} \quad (3.3)$$

Assumindo que no período de tempo $t_{on} = kT$ a variação de tensão em V_o é nula, a corrente na bobina cresce linearmente entre I_1 e I_2 (Modo 1). Assim, vem:

$$V_s - V_a = L \frac{I_2 - I_1}{t_1} = L \frac{\Delta I}{t_1} \Rightarrow t_1 = \frac{\Delta I L}{V_s - V_a} \quad (3.4)$$

V_a , é a componente contínua da tensão de saída ($V_o = V_c$).

Assumindo que no período de tempo $t_{off} = (T - kT)$ a variação de tensão em V_o é nula, a corrente na bobina desce linearmente entre I_2 e I_1 (Modo 2). Logo:

$$-V_a = -L \frac{\Delta I}{t_2} \Rightarrow t_2 = \frac{\Delta I L}{V_a} \quad (3.5)$$

Em que $\Delta I = I_2 - I_1$ é a ondulação da corrente na bobina. De (3.4) e de (3.5), obtemos:

$$\Delta I = \frac{(V_s - V_a)t_1}{L} = \frac{V_a t_2}{L} \quad (3.6)$$

Substituindo $t_1 = kT$ e $t_2 = (1 - k)T$ obtemos a tensão média de saída:

$$V_a = V_s \frac{t_1}{T} = kV_s \quad (3.7)$$

Assumindo um circuito sem perdas, $V_s I_s = V_a I_a = kV_s I_a$ em que a corrente média de entrada é $I_s = kI_a$

O período de comutação T é definido por:

$$T = \frac{1}{f} = t_1 + t_2 = \frac{\Delta I L}{V_s - V_a} + \frac{\Delta I L}{V_a} = \frac{\Delta I L V_s}{V_a (V_s - V_a)} \quad (3.8)$$

Que origina a seguinte equação para a ondulação da corrente:

$$\Delta I = \frac{V_a (V_s - V_a)}{f L V_s} \Leftrightarrow \Delta I = \frac{V_s k (1 - k)}{f L} \quad (3.9)$$

Utilizando a lei de *Kirchhoff's* para a corrente, podemos definir a corrente na bobina como:

$$i_l = i_c + i_o \quad (3.10)$$

Se assumirmos que a ondulação na corrente Δi_o é desprezável obtemos $\Delta i_l = \Delta i_c$.

A corrente média no condensador, que é transportada em $t_1/2 + t_2/2 = T/2$ é $I_c = \Delta I/4$

Como a tensão no condensador é expressa por:

$$v_c = \frac{1}{C} \int i_c dt + v_c(t=0) \quad (3.11)$$

A ondulação na tensão no condensador é:

$$\Delta V_c = v_c - v_c(t=0) = \frac{1}{C} \int_0^{T/2} \frac{\Delta I}{4} dt = \frac{\Delta I T}{8C} = \frac{\Delta I}{8fC} \quad (3.12)$$

Substituindo o valor de ΔI de (3.9) resulta:

$$\Delta V_c = \frac{V_a(V_s - V_a)}{8LCf^2V_s} \Rightarrow \Delta V_c = \frac{V_s k(1-k)}{8LCf^2} \quad (3.13)$$

Estão agora reunidas as condições para se estabelecer as condições para o funcionamento do nosso conversor em modo contínuo (CCM):

Se I_l é a corrente média na bobina, a sua ondulação é dada por: $\Delta I = 2I_l$

Através de (3.8) e de (3.9) , obtemos:

$$\frac{V_s(1-k)k}{fL} = 2I_l = 2I_a = \frac{2kV_s}{R} \quad (3.14)$$

Originando o valor crítico para a bobina L_c :

$$L_c = L = \frac{(1-k)R}{2f} \quad (3.15)$$

Se V_c é a tensão média na capacidade, a sua ondulação é: $\Delta V_c = 2V_a$. Através de (3.7) e de (3.12), obtemos:

$$\frac{V_s(1-k)k}{8LCf^2} = 2V_a = 2kV_s \quad (3.16)$$

Obtemos por fim o valor crítico para a capacidade C_c :

$$C_c = C = \frac{1-k}{16Lf^2} \quad (3.17)$$

(Kassakian)

As equações (3.15) e (3.17) são a chave para o dimensionamento de um conversor *buck*. Sabendo o *duty cycle*, a gama de cargas a utilizar e a frequência de comutação, f , determinam-se os valores de L e C . Para um dimensionamento compacto e com poucas perdas é desejável o uso de componentes passivos de pequeno valor, o que se consegue com aumento da frequência de comutação. Esta frequência é limitada, na prática, pelas perdas associadas ao tipo de interruptores utilizados.

A comutação dos interruptores é definida por um sinal *PWM* (“*pulse-width modulation*”) gerado por um comparador que determina o valor de *duty cycle* desejado por comparação entre uma tensão CC e um sinal em dente de serra. A figura seguinte ilustra o exposto:

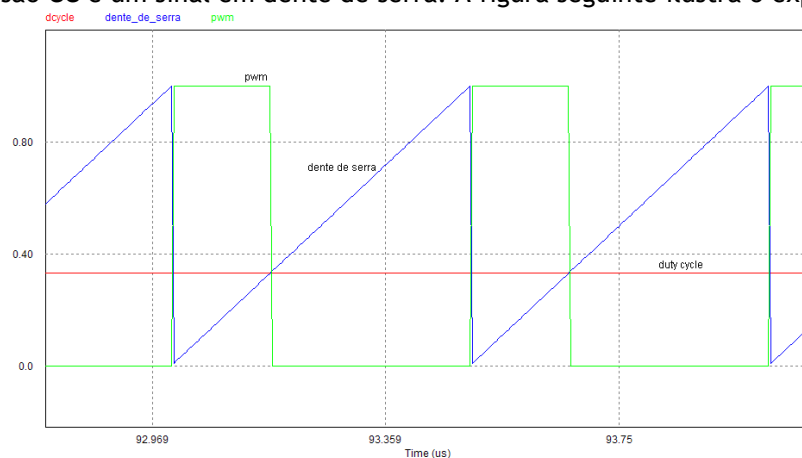


Figura 3-5 Modulador *PWM*, a verde temos o sinal *PWM*, a azul o sinal dente de serra, e a vermelho o sinal *duty cycle* a utilizar no comparador.

A Figura 3-6 apresenta exemplos de sinais *PWM*:

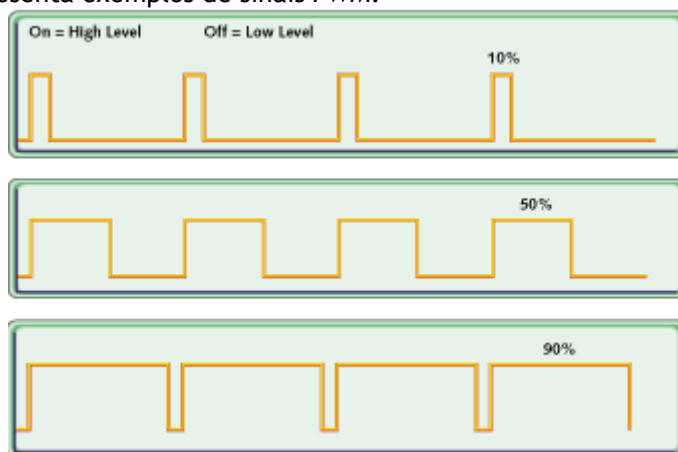


Figura 3-6 Exemplos de sinais *PWM*, para *duty cycle* de 10%, 50% e 90%.

3.2. Simulação em malha aberta do conversor cc-cc, *step down*

Em seguida é analisada a resposta do conversor em malha aberta, com particular ênfase na tensão e corrente de saída. As suas especificações são impostas pela empresa *Chipidea* e os resultados são obtidos através do modelo elaborado em *PSIM*.

O conversor em análise possui as seguintes características:

- Tensão de entrada: 1.7-3.6V; (imposta pela bateria a usar).
- Tensão de saída programável: 0.8-1.4V; (imposta pela especificação de projecto).
- Corrente máxima na saída: 600mA, optimizado para 150mA; (imposta pela especificação de projecto).
- Frequência de comutação: 2MHz; (imposta pela especificação de projecto).
- Condensador: 2.2uF; (valor típico de projecto e desejável pela *Chipidea*).
- Bobina: 2.2uH; (valor típico de projecto e desejável pela *Chipidea*).

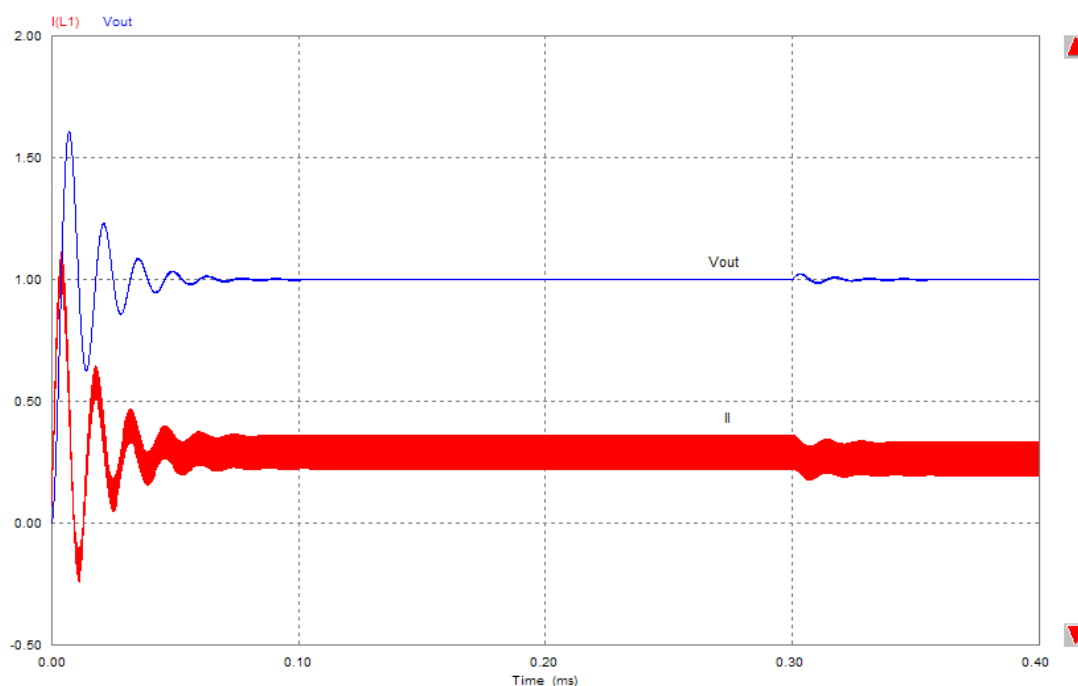


Figura 3-7 Resposta do conversor, $V_{out}(t)$ e $I(t)$.

A análise da resposta do conversor, foi obtida com uma tensão de entrada fixa em 3V, *duty cycle* de 0.33 para uma tensão de saída não regulada de 1V, e uma carga de 3,30hm (300mA).

A Figura 3-7 apresenta os resultados obtidos. Podemos observar a ondulação da corrente na bobina devida à comutação dos interruptores, e a evolução da tensão de saída até atingir o regime permanente. O regime oscilatório da resposta é originado pelo filtro LC.

A Figura 3-8 ilustra a ondulação na tensão de saída.

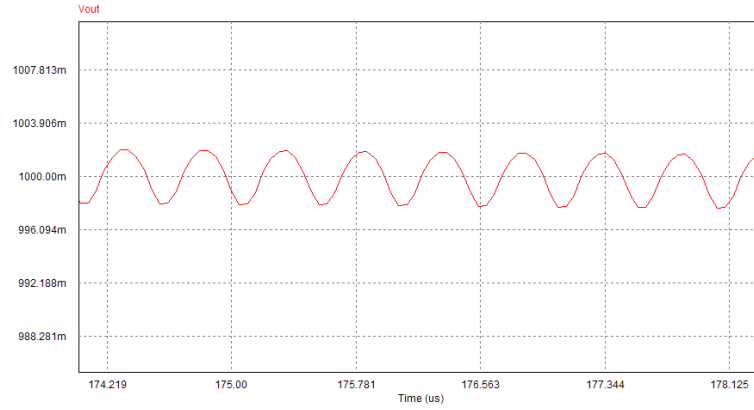


Figura 3-8 Ondulação em V_o , cerca de 4 mV.

Aplicando a equação 5-m, os resultados confirmam o valor obtido:

$$\Delta V_c = \frac{V_s k(1-k)}{8LCf^2} = \frac{3 * 0.333 * 0.666}{8 * 2.2 * 2.2 * 4} = 4.3mV \quad (3.18)$$

A Figura 3-9 ilustra a variação na corrente I_l , e a Figura 3-10 ilustra a ondulação na corrente de saída:

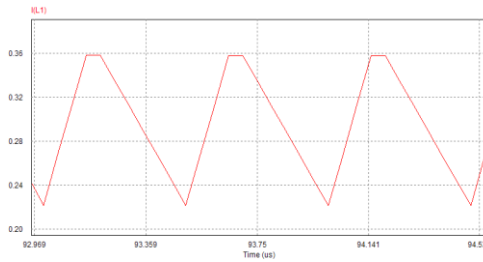


Figura 3-9 Variação na corrente I_l devido às comutações nos interruptores, de valor cerca de 140mA.

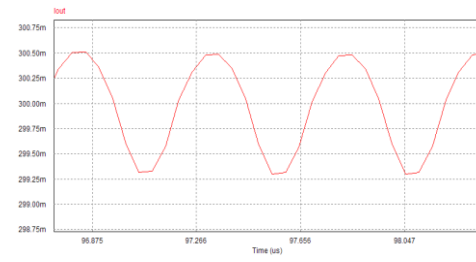


Figura 3-10 Variação na corrente de saída I_o , de valor cerca de 1.25mA.

Os resultados para a variação da corrente I_l e para a corrente I_o , confirmam os valores esperados:

$$\Delta I_l = \frac{V_s k(1-k)}{fL} = \frac{3 * 0.333 * 0.667}{2 * 2.2} = 150mA \quad \Delta I_o = \frac{\Delta V_c}{R} = \frac{0.0043}{3.33} = 1.3mA \quad (3.19)$$

Na Figura 3-9 a corrente satura no topo, este comportamento é devido à transição do sinal *PWM* ser uma rampa em vez do degrau (ideal). Isto está relacionado com o passo da simulação em *PSIM*, não foi utilizado um valor mais elevado para não comprometer a relação qualidade dos resultados/velocidade de simulação.

A ondulação na tensão e na corrente de saída é dependente da frequência, como demonstram as equações (3.18) e (3.19). Neste caso a elevada frequência de comutação, 2MHz, associada ao valor de capacidade e indutância utilizados, permite obter uma reduzida ondulação na tensão de saída, na casa dos 4mV, e na corrente de saída na ordem dos 1.25mA.

3.3. Conclusões

Apresentada a topologia do conversor *buck*, e deduzidas as principais equações que descrevem o seu funcionamento em modo *CCM* (*duty cycle*, variação na corrente de saída, variação na tensão de saída, valor crítico para o condensador em modo *CCM*, e valor crítico para a bobina, em modo *CCM*), foi realizada a simulação do conversor em malha aberta, em *PSIM*, analisada a sua resposta em tensão e corrente, e comprovados os resultados esperados.

Ainda neste capítulo foi apresentado o modulador analógico de sinal *PWM* que irá ser utilizado no decorrer deste trabalho. A dissertação prossegue com a modelação do conversor *buck*, realizada no capítulo seguinte.

Capítulo 4

Modelação do conversor cc-cc abaixador

4.1. Introdução

No projecto de um sistema de controlo é fundamental utilizar modelos que os descrevam da forma mais realista possível. No decorrer do projecto do controlador é, por vezes, necessário utilizar diferentes modelos, que diferem em complexidade, realismo, flexibilidade, facilidade de tratamento, etc. (Kassakian)

Na boa prática de projecto deve-se utilizar diversos modelos em paralelo de forma a comparar resultados, e em seguida comparar com observações experimentais. (Kassakian)

O projecto de sistemas de controlo com realimentação directamente a partir de modelos não lineares é complexo. Daí a importância de modelos lineares para descrever o processo. Contudo controladores derivados de modelos lineares não dão garantias de operação satisfatória com grandes desvios do ponto de funcionamento nominal, para além de que o controlador tem de ser projectado tendo como base que o modelo linear varia com o ponto de funcionamento. Todavia a maioria dos modelos de controlo para circuitos de potência são projectados com base em modelos linearizados. As não linearidades têm apenas efeitos secundários, excepto quando existem grandes perturbações. Normalmente estes efeitos são introduzidos nos modelos através de refinamentos, modificações ou pequenas alterações no controlo. (Kassakian)

Os modelos em espaço de estados são mais abrangentes e mais poderosos como ferramenta de modelação de sistemas dinâmicos. São importantes na análise, simulação e controlo do comportamento em regime permanente e também de perturbações. (Kassakian)

Assim neste trabalho optou-se por desenvolver os modelos de média e linear, que descrevem o funcionamento do conversor, no ambiente *PSIM*, e comparar as suas respostas com o modelo não linear. Em seguida é feita a descrição em espaço de estados dos modelos de média e linear e, efectuada a simulação em *Matlab*, para comparação com os resultados com dos modelos em *PSIM*.

4.2. Obtenção do modelo de média do conversor

A obtenção do modelo de média do conversor tem como objectivo final a linearização para posterior obtenção da função de transferência que descreve o processo. Este passo irá aproximar elementos não *LTI* (*linear time invariant*), os interruptores, por fontes controladas pela tensão de alimentação e corrente na bobina. Os restantes elementos como são *LTI* mantêm as suas características.

Este procedimento tem como pressupostos que a variação nas variáveis envolvidas seja pequena, face ao seu valor médio e que a sua variação seja lenta, ou seja, **que variem substancialmente menos que metade da frequência de comutação num intervalo δT** (Kassakian). Geralmente ambas as condições são satisfeitas num conversor de elevada frequência que opera em condução contínua (modo *CCM*). O resultado será um modelo que segue o “real” com precisão, retirando as variações (ondulação) nas variáveis de saída.

4.3. Aplicação do procedimento

De forma a modelar os interruptores, faz-se a análise do circuito para ambos os estados, ligado ($q=1$) e desligado ($q=0$):

- Quando o interruptor está fechado a corrente que flui equivale à da bobina (i_L), e a tensão nos terminais do diódo é igual à tensão de alimentação (V_{in}).
- Quando o interruptor está aberto, o diódo está em condução, com tensão nula nos seus terminais (já que se admite condução contínua).

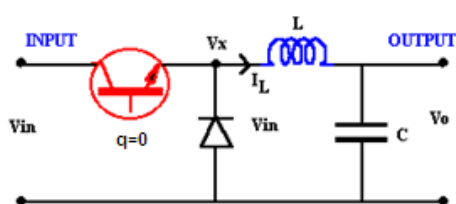


Figura 4-1 Esquema equivalente do abaixador, com o interruptor fechado.

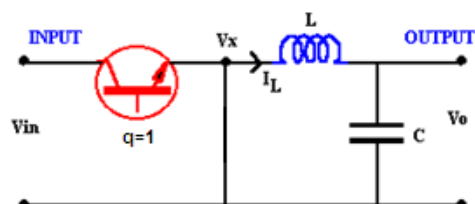


Figura 4-2 Esquema equivalente do abaixador, com o interruptor aberto.

Logo o interruptor pode ser substituído por uma fonte de corrente ($q \cdot i_L$), para modelar a corrente e por uma fonte de tensão ($q \cdot v_i$) para modelar a sua queda de tensão. Dando origem ao seguinte circuito equivalente em que o interruptor é substituído por fontes controladas de tensão e corrente. (Kassakian)

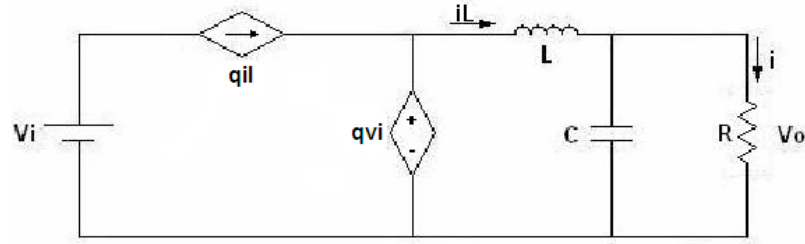


Figura 4-3 Modelo de média do conversor *buck*.

Tendo em conta que os componentes foram dimensionados para que as correntes e as tensões do circuito não tenham grandes variações é possível aproximar esses valores pelas suas médias.

Assim a corrente do interruptor $q \cdot i_l$, pode ser aproximada pela sua média, $\overline{q \cdot i_l}$, e a tensão nos terminais do diodo, $q \cdot v_i$, por $\overline{q \cdot v_i}$.

Considerando que a corrente no interruptor e a tensão de alimentação são aproximadamente constantes, então:

$$\overline{q \cdot i_l} \triangleq \bar{q} i_l = d i_l \quad \overline{q \cdot v_i} \triangleq \bar{q} v_i = d v_i \quad (4.1)$$

Com d o *duty cycle* do interruptor (Kassakian)

Uma vez obtido o circuito equivalente que usa apenas fontes controladas de corrente e tensão e componentes passivos, obtêm-se a seguinte função de transferência:

$$V_o = \frac{z}{z + sL} D V_i, \text{ em que } z \parallel \frac{1}{sC} = \frac{R \frac{1}{sC}}{R + \frac{1}{sC}} = \frac{R}{1 + sRC} \quad (4.2)$$

$$\frac{V_o}{V_i} = \frac{\frac{R}{1 + sRC}}{\frac{R}{1 + sRC} + sL} D = \frac{R}{sL(1 + sRC) + R} D = \frac{R}{s^2 RLC + sL + R} D \quad (4.3)$$

$$\frac{V_o}{V_i} = \frac{\frac{1}{LC}}{s^2 + \frac{s}{RC} + \frac{1}{LC}} D \quad (4.4)$$

4.4. Obtenção do modelo linear do conversor

A linearização do modelo de média é importante para a modelação do conversor. Apesar do modelo de média e do modelo “real” permitirem analisar o seu comportamento, através de um modelo linear obtemos funções de transferência que descrevem o comportamento das diversas variáveis do modelo. Assim, podemos aplicar métodos de teoria de controlo clássica, que permitem projectar o controlador.

A técnica de linearização assenta na aproximação linear do sistema num determinado ponto de funcionamento. Assumindo que as variáveis do sistema podem ser representadas pela soma das suas componentes estáticas com uma perturbação (as perturbações são designadas pela letra associada com um til e a variável estática pela sua letra maiúscula) temos para, respectivamente d , vin e il :

$$d = D + \tilde{d} ; \quad vin = Vin + \tilde{vin} ; \quad il = Il + \tilde{il} \quad (4.5)$$

Aplicando estas expressões ao modelo de média, em que a fonte controlada de corrente é o produto do *duty cycle* pela corrente na bobina, e a fonte controlada de tensão é o produto do *duty cycle* pela tensão de entrada, temos:

$$\begin{aligned} d * il &= (D + \tilde{d}) * (Il + \tilde{il}) = (D * Il + D * \tilde{il} + \tilde{d} * Il + \tilde{d} * \tilde{il}) \\ d * vin &= (D + \tilde{d}) * (Vin + \tilde{vin}) = (D * Vin + D * \tilde{vin} + \tilde{d} * Vin + \tilde{d} * \tilde{vin}) \end{aligned} \quad (4.6)$$

O último termo corresponde a produtos das variações e, considerando pequenas perturbações, a sua influência é desprezável. (Kassakian)

Assim:

$$\begin{aligned} (d * il - D * Il) &\triangleq (D * \tilde{il} + \tilde{d} * Il) \\ (d * vin - D * Vin) &\triangleq (D * \tilde{vin} + \tilde{d} * Vin) \end{aligned} \quad (4.7)$$

Estas equações compõem a base do sistema linearizado, e demonstram a influência em torno de um ponto de funcionamento composto pelo plano (Il, Vin) , das perturbações no *duty cycle* e na tensão de entrada.

Estamos agora em condições de obter a função de transferência que descreve o modelo linear do conversor.

4.4.1 Obtenção da função de transferência do modelo linear

A FT pode ser obtida a partir de (4.4) por substituição em $d * vin$ pela equação (4.7).

$$\begin{aligned} v_{out} &= \frac{\frac{1}{LC}}{s^2 + \frac{s}{RC} + \frac{1}{LC}} * d * vin \Rightarrow \widetilde{v_{out}} = \frac{\frac{1}{LC}}{s^2 + \frac{s}{RC} + \frac{1}{LC}} * (D * \widetilde{vin} + Vin * \widetilde{d}) \Leftrightarrow \\ \Leftrightarrow \widetilde{v_{out}} &= \frac{\frac{1}{LC}}{s^2 + \frac{s}{RC} + \frac{1}{LC}} * D * \widetilde{vin} + \frac{\frac{1}{LC}}{s^2 + \frac{s}{RC} + \frac{1}{LC}} Vin * \widetilde{d} \end{aligned} \quad (4.8)$$

A função de transferência ilustra a influência das variações no *duty cycle* e na entrada sobre a tensão de saída. Também demonstra que variações na tensão de entrada ou no *duty cycle* contribuem de igual modo para a variação da tensão de saída.

Em posse dos modelos de média, linear e a respectiva função de transferência do *buck*, é efectuada a sua simulação de forma a validar todos os modelos obtidos, os resultados são apresentados na secção 4.5.

4.5. Simulação dos modelos real, de média e linear

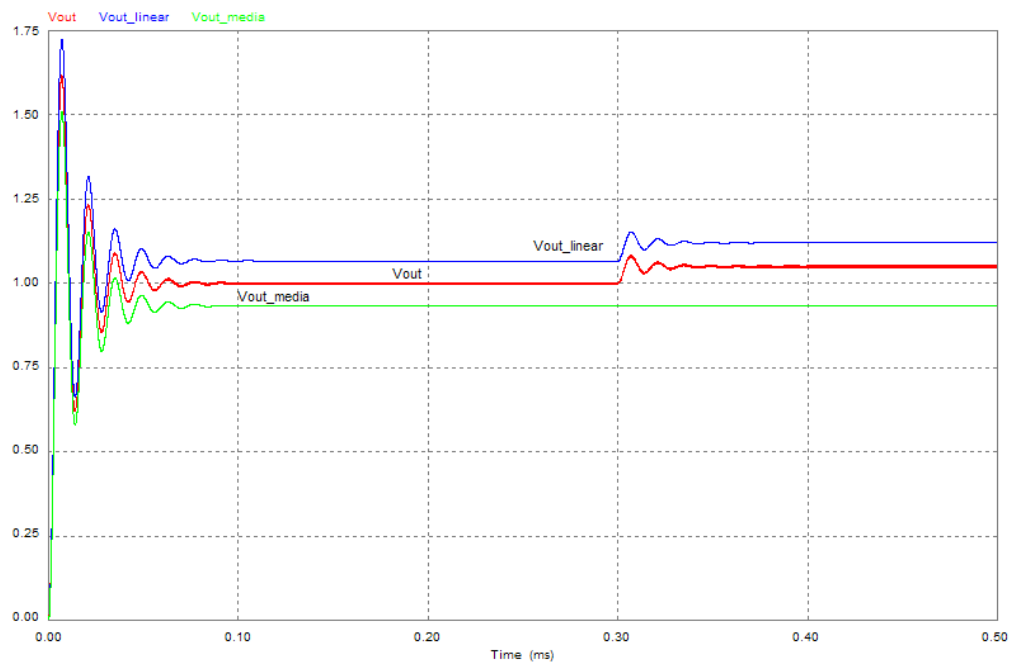


Figura 4-4 Simulação do modelo real, de média e linear do abaixador (“buck”).

A Figura 4-4 apresenta a resposta comparativa entre os modelos de média, linear e não linear, real, do conversor. Podemos observar que ambos os modelos, de média e linear, seguem correctamente o modelo real (traçado vermelho). Na simulação o modelo real e linear sofrem uma perturbação de 10% no *duty cycle* aos 0.3 (ms). Confirma-se assim que a aproximação linear é boa, visto que segue o modelo real para pequenas variações. As diferenças de valor final dos modelos de média e linear foram propositadamente introduzidas de forma a ajudar a visualização.

4.6. Conclusões

Neste capítulo foi efectuada a modelação do conversor *buck*, obtendo-se o seu modelo de média e o seu modelo linear. Com o modelo linear foi obtida a função de transferência que descreve o seu comportamento a perturbações no *duty cycle* e a perturbações na tensão de entrada, em torno de um ponto de funcionamento (*bias point*). Em seguida, foi realizada a simulação em *PSIM* dos modelos linear, de média, e não linear, confirmando-se a validade dos mesmos como ferramenta de análise do comportamento do conversor *buck*.

Apresentada a modelação do conversor *buck* a dissertação prossegue, no Capítulo 5, com a análise dos modelos de média e linear em espaço de estados.

Capítulo 5

Análise em espaço de estados

5.1. Modelo de média em espaço de estados

Para projectar o controlador, é definido o modelo de espaço de estados do conversor, o que simplifica o teste do comportamento do sistema em malha fechada.

O modelo em espaço de estados descreve o sistema em termos de variáveis de estado e das respectivas derivadas, sendo descrito pelo sistema de equações:

$$\begin{cases} \dot{x} = Ax + Bu \\ y = Cx + Du \end{cases} \quad (5.1)$$

Em que x são as variáveis de estado, u são as entradas do sistema e y as saídas.

Para variáveis de estado e suas derivadas, escolhemos $x_1 = i_L$ e $x_2 = v_C$.

Para efectuar o cálculo das matrizes de estado A , B , C e D analisa-se o circuito em ambos os estados de uma forma independente:

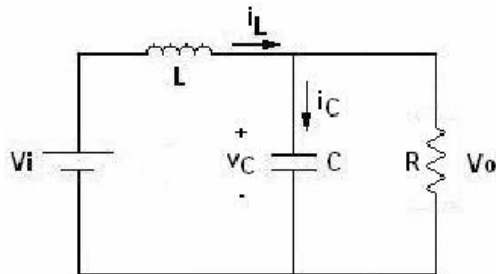


Figura 5-1 Esquema equivalente do *buck* com o interruptor ligado.

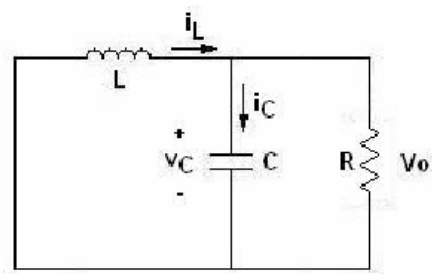


Figura 5-2 Esquema equivalente do *buck* com o interruptor desligado.

Quando o interruptor está fechado ($q=1$), Figura 5-1 as equações do sistema são:

$$\begin{cases} v_L = L \frac{di_L}{dt} = v_i - v_C \\ i_C = C \frac{dv_C}{dt} = i_L - \frac{v_C}{R} \end{cases} \Rightarrow \begin{cases} \frac{di_L}{dt} = -\frac{v_C}{L} + \frac{v_i}{L} \\ \frac{dv_C}{dt} = \frac{i_L}{C} - \frac{v_C}{RC} \end{cases} \quad (5.2)$$

Quando o interruptor está aberto ($q=0$), as equações do sistema são:

$$\begin{cases} v_l = L \frac{di_l}{dt} = -v_c \\ i_c = C \frac{dv_c}{dt} = i_l - \frac{v_c}{R} \end{cases} \Rightarrow \begin{cases} \frac{di_l}{dt} = -\frac{v_c}{L} \\ \frac{dv_c}{dt} = \frac{i_l}{C} - \frac{v_c}{RC} \end{cases} \quad (5.3)$$

Juntando as equações para $q=1$ e $q=0$, vem:

$$\begin{cases} \frac{di_l}{dt} = \left(-\frac{v_c}{L} + \frac{v_i}{L}\right)q + \left(-\frac{v_c}{L}\right)(1-q) \\ \frac{dv_c}{dt} = \left(\frac{i_l}{C} - \frac{v_c}{RC}\right)q + \left(\frac{i_l}{C} - \frac{v_c}{RC}\right)(1-q) \end{cases} \Rightarrow \begin{cases} \frac{di_l}{dt} = -\frac{v_c}{L} + \frac{q}{L}v_i \\ \frac{dv_c}{dt} = \frac{i_l}{C} - \frac{v_c}{RC} \end{cases}$$

Em que $v_o = v_c$

(5.4)

Fazendo a aproximação à média ($q=d$) temos:

$$\begin{bmatrix} \frac{di_l}{dt} \\ \frac{dv_c}{dt} \end{bmatrix} = \begin{bmatrix} 0 & -\frac{1}{L} \\ \frac{1}{C} & -\frac{1}{RC} \end{bmatrix} * \begin{bmatrix} i_l \\ v_c \end{bmatrix} + \begin{bmatrix} \frac{d}{L} \\ 0 \end{bmatrix} v_i \Rightarrow \begin{cases} \dot{x} = Ax + Bu \\ y = Cx \end{cases}$$

$$v_o = [0 \ 1] * \begin{bmatrix} i_l \\ v_c \end{bmatrix} \quad (5.5)$$

A função de transferência pode ser calculada como:

$$\frac{Y}{U} = C(sI - A)^{-1}B \Rightarrow \frac{V_o}{V_i} = [0 \ 1] * \begin{bmatrix} s & \frac{1}{L} \\ -\frac{1}{C} & s + \frac{1}{RC} \end{bmatrix}^{-1} * \begin{bmatrix} \frac{D}{L} \\ 0 \end{bmatrix}$$

como $\begin{bmatrix} a & b \\ c & d \end{bmatrix}^{-1} = \frac{1}{ad - cb} \begin{bmatrix} d & -b \\ -c & a \end{bmatrix}$ então:

$$\frac{V_o}{V_i} = [0 \ 1] * \frac{1}{s\left(s + \frac{1}{RC}\right) - \frac{-1}{LC}} \begin{bmatrix} s + \frac{1}{RC} & -\frac{1}{L} \\ \frac{1}{C} & s \end{bmatrix} * \begin{bmatrix} \frac{D}{L} \\ 0 \end{bmatrix} = \frac{\frac{1}{LC}}{s^2 + \frac{s}{RC} + \frac{1}{LC}} D \quad (5.6)$$

Verifica-se que a função de transferência é equivalente à obtida com o modelo de média, o que confirma a descrição em espaço de estados do modelo de média do conversor.

Em seguida é efectuada a linearização das equações de estado, para a obtenção da descrição em espaço de estados do modelo linear do conversor *buck*.

5.2. Linearização das equações de estado

Tendo em consideração que as variáveis, i_l, v_c, d e v_i são descritas por um valor médio, I_l, V_c, D e V_i , mais uma pequena perturbação, $\tilde{i}_l, \tilde{v}_c, \tilde{d}$ e $\tilde{v}_i$:

$$i_l = I_l + \tilde{i}_l \quad v_c = V_c + \tilde{v}_c \quad d = D + \tilde{d} \quad v_i = V_i + \tilde{v}_i \quad (5.7)$$

As equações de estado tornam-se:

$$\begin{cases} \frac{di_l}{dt} = -\frac{v_c}{L} + \frac{d}{L}v_i \\ \frac{dv_c}{dt} = \frac{i_l}{C} - \frac{v_c}{RC} \end{cases} \Rightarrow \begin{cases} \frac{d\tilde{i}_l}{dt} = \frac{dI_l}{dt} + \frac{d\tilde{i}_l}{dt} = -\frac{(V_c + \tilde{v}_c)}{L} + \frac{(D + \tilde{d})(V_i + \tilde{v}_i)}{L} \\ \frac{d\tilde{v}_c}{dt} = \frac{dV_c}{dt} + \frac{d\tilde{v}_c}{dt} = \frac{(I_l + \tilde{i}_l)}{C} - \frac{(V_c + \tilde{v}_c)}{RC} \end{cases}$$

$$\begin{cases} \frac{d\tilde{i}_l}{dt} + \frac{d\tilde{i}_l}{dt} = -\frac{(V_c + \tilde{v}_c)}{L} + \frac{DV_i + D\tilde{v}_i + V_i\tilde{d} + \tilde{d}\tilde{v}_i}{L} \\ \frac{d\tilde{v}_c}{dt} + \frac{d\tilde{v}_c}{dt} = \frac{I_l + \tilde{i}_l}{C} - \frac{V_c + \tilde{v}_c}{RC} \end{cases} \quad (5.8)$$

Considerando um ponto de funcionamento estático, I_l, V_c, D e V_i , em regime permanente:

$$\frac{dI_l}{dt} = \frac{dV_c}{dt} = -V_c + DV_i = I_l - \frac{V_c}{R} = 0 \quad (5.9)$$

Resulta:

$$\begin{cases} \frac{d\tilde{i}_l}{dt} = -\frac{v_c}{L} + \frac{D\tilde{v}_i + V_i\tilde{d} + \tilde{d}\tilde{v}_i}{L} \\ \frac{d\tilde{v}_c}{dt} = \frac{\tilde{i}_l}{C} - \frac{\tilde{v}_c}{RC} \end{cases} \quad (5.10)$$

O último termo da corrente sendo o produto de duas perturbações é desprezado, o que resulta no seguinte sistema de equações:

$$\begin{cases} \frac{d\tilde{i}_l}{dt} = -\frac{\tilde{v}_c}{L} + \frac{D}{L}\tilde{v}_i + \frac{V_i}{L}\tilde{d} \\ \frac{d\tilde{v}_c}{dt} = \frac{\tilde{i}_l}{C} - \frac{\tilde{v}_c}{RC} \end{cases} \quad (5.11)$$

A representação do sistema é:

$$\begin{bmatrix} \frac{d\tilde{i}_l}{dt} \\ \frac{d\tilde{v}_c}{dt} \end{bmatrix} = \begin{bmatrix} 0 & -\frac{1}{L} \\ \frac{1}{C} & -\frac{1}{RC} \end{bmatrix} * \begin{bmatrix} \tilde{i}_l \\ \tilde{v}_c \end{bmatrix} + \begin{bmatrix} \frac{D}{L} & \frac{V_i}{L} \\ 0 & 0 \end{bmatrix} * \begin{bmatrix} \tilde{v}_i \\ \tilde{d} \end{bmatrix}$$

$$\tilde{v}_0 = [0 \ 1] * \begin{bmatrix} \tilde{i}_l \\ \tilde{v}_c \end{bmatrix} \quad (5.12)$$

Aplicando a transformada inversa de Laplace, resulta:

$$Y = C(sI - A)^{-1}BU \Rightarrow \tilde{v}_0 = * \begin{bmatrix} s & \frac{1}{L} \\ -\frac{1}{C} & s + \frac{1}{RC} \end{bmatrix}^{-1} * \begin{bmatrix} \frac{D}{L} & \frac{V_i}{L} \\ 0 & 0 \end{bmatrix} * \begin{bmatrix} \tilde{v}_i \\ \tilde{d} \end{bmatrix}$$

$$\tilde{v}_0 = [0 \ 1] \frac{1}{s(s + \frac{1}{RC}) - \frac{1}{LC}} \begin{bmatrix} s + \frac{1}{RC} & -\frac{1}{L} \\ \frac{1}{C} & s \end{bmatrix} * \begin{bmatrix} \frac{D}{L} & \frac{V_i}{L} \\ 0 & 0 \end{bmatrix} * \begin{bmatrix} \tilde{v}_i \\ \tilde{d} \end{bmatrix}$$

$$\tilde{v}_o = \begin{bmatrix} \frac{1}{LC} \\ s^2 + \frac{s}{RC} + \frac{1}{LC} \end{bmatrix} D \begin{bmatrix} \tilde{v}_i \\ \tilde{d} \end{bmatrix} + \begin{bmatrix} \frac{1}{LC} \\ s^2 + \frac{s}{RC} + \frac{1}{LC} \end{bmatrix} V_i \tilde{d}$$

$$\tilde{v}_o = \frac{1}{s^2 + \frac{s}{RC} + \frac{1}{LC}} D \tilde{v}_i + \frac{1}{s^2 + \frac{s}{RC} + \frac{1}{LC}} V_i \tilde{d} \quad (5.13)$$

Da expressão anterior, concluímos que a tensão de saída é composta por uma parcela que evidencia o efeito da variação da tensão de entrada, e por uma parcela que contabiliza o efeito da variação do *duty cycle*.

Verifica-se ainda que a função de transferência é equivalente à obtida aquando do modelo linearizado, o que valida a descrição em espaço de estados.

A Figura 5-3 ilustra a simulação dos modelos de média e linear em ambiente *Matlab*, e a respectiva função de transferência, com $V_{in}=3V$, $V_{out}=1V$, *duty cycle*=0.33 e para uma carga de $3.33=Ohm$ (300mA).

5.3. Simulação dos modelos linear, de média e função de transferência

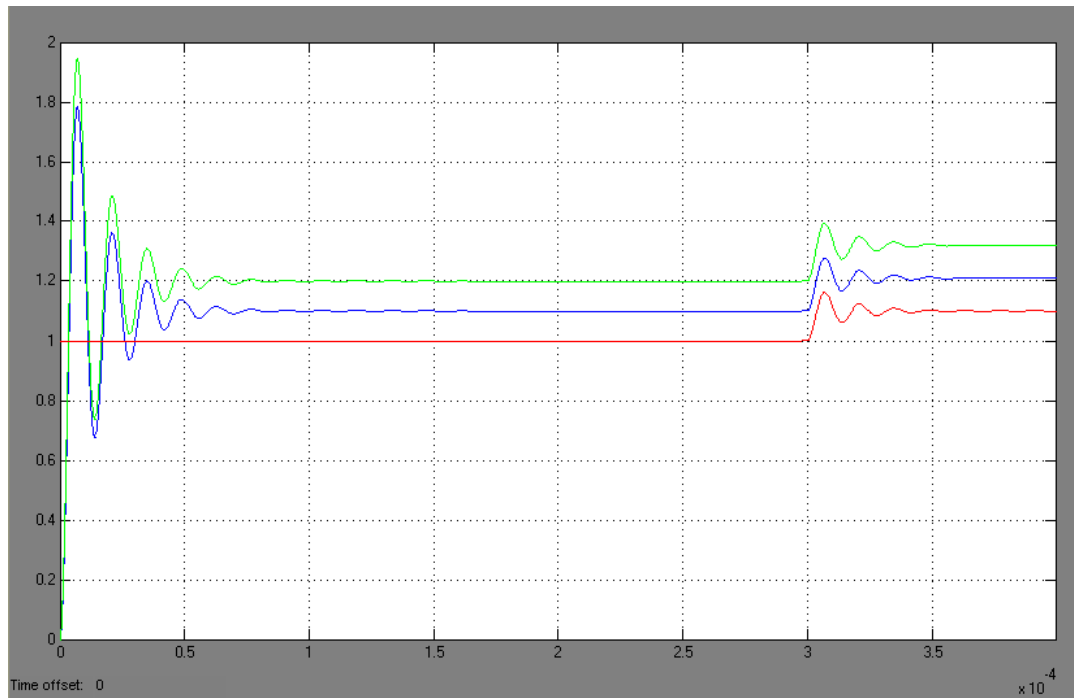


Figura 5-3 Simulação em *Matlab* do modelo de média traçado verde, do modelo linear traçado vermelho, e da função de transferência do abaixador, traçado azul.

Confirma-se que o modelo linear (a vermelho) segue o modelo de média (a verde), para uma perturbação no *duty cycle* de 10% (0.033) no instante 0.3ms. Confirma-se ainda que a função de transferência (a azul), segue os dois traçados anteriores. As diferenças de valor final dos modelos de média e da função de transferência foram propositadamente introduzidos de forma a ajudar a visualização.

Também se verifica que a resposta em *Matlab* é idêntica á obtida com os esquemas realizados em *PSIM* (comparar com a Figura 4-4).

5.4. Conclusões

Neste capítulo foram descritos os modelos de média e linear do conversor *buck*, aplicando a análise em espaço de estados. Através deste método foi obtida a representação matricial do sistema, o que permite realizar simulações em ambiente *Matlab* com menor esforço. Os resultados da simulação em *Matlab* demonstram que os modelos de média e linear são válidos, assim como a função de transferência que descreve o comportamento do conversor *buck*, para pequenas perturbações no *duty cycle* e na tensão de entrada.

Este capítulo conclui o esforço de modelação do conversor *buck*. A dissertação prossegue com o projecto do controlador analógico, apresentado no capítulo seguinte.

Capítulo 6

Projecto do controlador analógico

6.1. Introdução

Tendo como base o modelo linearizado e a função de transferência que descreve o funcionamento do conversor, procedemos à aplicação de técnicas de teoria de controlo para projectar um controlador que regule o funcionamento do conversor.

A função de transferência descreve as variações na tensão de saída em função da soma dos desvios na tensão de entrada com os desvios no *duty cycle*. Desprezando, para já, a influência das variações na entrada Δv_{in} , o sistema resultante é um processo controlado com realimentação. A saída, V_o é comparada com um valor de referência, V_r . O sinal de erro obtido, V_e , é usado como entrada do controlador, G_c , que tentará anular esse erro actuando sobre o processo, G_p .

A Figura 6-1 ilustra o exposto:

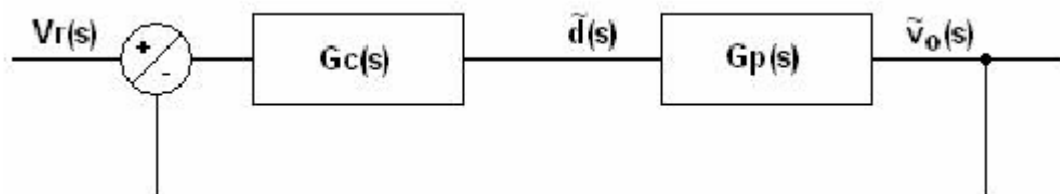


Figura 6-1 Modelo com realimentação.

O projecto do controlador pode usar métodos clássicos (*Bode*, LGR, *Nyquist*, etc) ou métodos modernos (alocação directa de pólos, estabilidade média quadrática, etc.) Neste trabalho optou-se por usar os métodos clássicos, visto terem sido alvo de estudo curricular na FEUP, por parte do Autor deste documento.

O projecto do controlador no domínio dos tempos fornece informação directa sobre a resposta transitória do sistema em malha fechada. Através do LGR obtêm-se directamente os pólos dominantes em malha fechada, com o respectivo coeficiente de amortecimento e frequência natural, que corresponde a uma determinada resposta nos tempos em sistemas de 2ª ordem. A técnica da resposta em frequência, pelos diagramas de *Bode* e de *Nyquist*, não fornece directamente qual o coeficiente de amortecimento e a frequência natural do sistema. (Ogata)

No domínio das frequências o desempenho da resposta transitória é especificado em termos de margem de fase, margem de ganho, amplitude do pico de ressonância (estas dão uma ideia aproximada do amortecimento do sistema); frequência de cruzamento do ganho, frequência de ressonância, largura de banda (estas dão uma estimativa da velocidade da resposta transitória); e constantes de erro estático (que fornecem a precisão do regime permanente). (Ogata)

Para controlar o processo foi utilizada a abordagem por aproximação a um sistema de 2ª ordem, em que o controlador foi projectado com vista ao sistema realimentado ter os seus pólos dominantes, que definem o comportamento transitório do sistema, em locais específicos.

Considerando a função de transferência:

$$\frac{V_o}{V_r} = \frac{G_c G_p}{1 + G_c G_p} \quad (6.1)$$

Os pólos do sistema em malha fechada são dados por:

$$1 + G_c G_p = 0 \Rightarrow G_c G_p = -1 \Rightarrow \begin{cases} |G_c G_p| = 1 \\ \text{phase}(G_c G_p) = 180^\circ \end{cases} \quad (6.2)$$

A função de transferência do nosso processo:

$$G_{buck}(s) = \frac{\tilde{v}_o}{\tilde{d}}(s) = \frac{\frac{1}{LC}}{s^2 + \frac{s}{RC} + \frac{1}{LC}} V_i \quad (6.3)$$

Utilizando $V_i = 3\text{v}$, $L=2.2\mu\text{H}$, $C=2.2\mu\text{F}$ e $R=3.33\Omega$, vem:

$$G_{buck}(s) = \frac{3.099\text{E}11}{s^2 + 1.365\text{E}5 \cdot s + 2.066\text{E}11} \quad (6.4)$$

A Figura 6-2 e a Figura 6-3 apresentam o lugar geométrico das raízes e o traçado de *Bode* para este processo. Das mesmas pode concluir-se que o sistema é estável para qualquer ganho de realimentação 'K'. Da Figura 6-3 verifica-se que à frequência natural existe uma sobrelevação do ganho, porque esta comporta-se como uma frequência de ressonância.

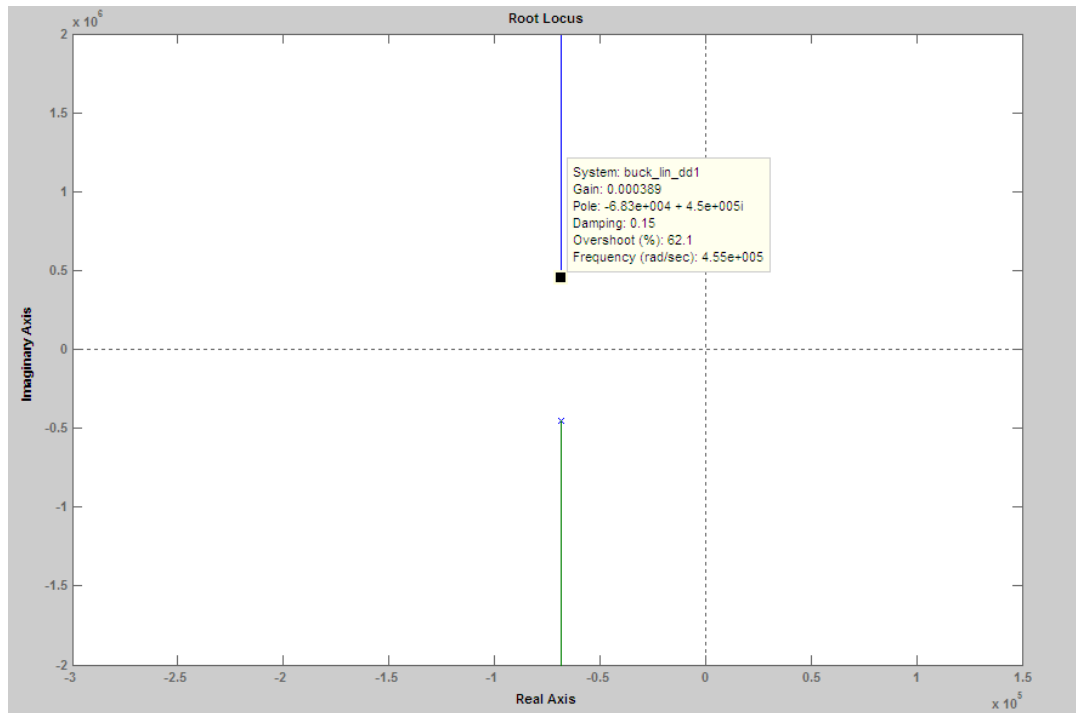


Figura 6-2 Lugar geométrico das raízes do processo, G_{buck} . A frequência natural do sistema é de 4.55E5rad/s e o coeficiente de amortecimento de 0.15.

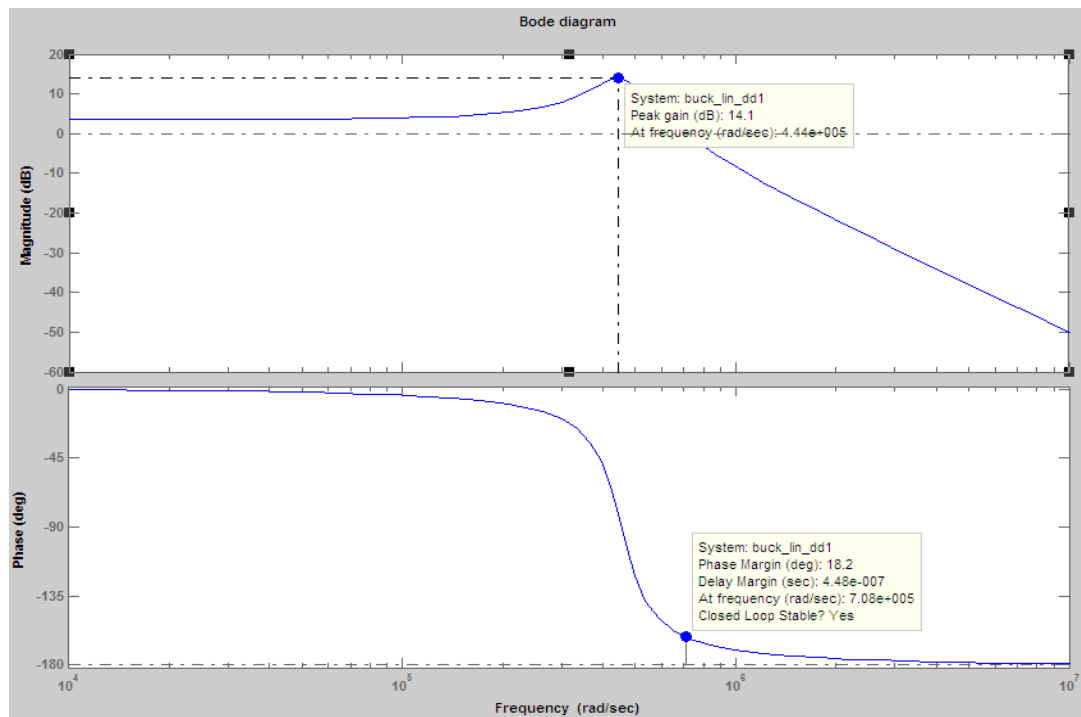


Figura 6-3 Diagrama de Bode do processo, G_{buck} . Possui uma margem de fase de 18.2° à frequência de travessia do ganho de 7.08E5rad/s.

Sendo o sistema obtido aproximado por um processo de segunda ordem o subcapítulo seguinte, apresenta as características que definem este tipo de processo.

6.2. Sistemas de 2ª ordem

Os sistemas de 2ª ordem estão bem estudados em teoria de controle e possuem a seguinte Função de Transferência, FT, padrão:

$$G_p(s) = \frac{w_n^2}{s^2 + 2 * \zeta * w_n * s + w_n^2} \quad (6.5)$$

O comportamento dinâmico do sistema de 2ª ordem pode ser descrito em termos de dois parâmetros ζ e w_n , que para o processo em estudo (como se observa pela figura 8-b) valem:

$$w_n \triangleq 4.55E5 \text{ rad/s} \quad \zeta \triangleq 0.15$$

Tratando-se de um sistema subamortecido ($0 < \zeta < 1$), a frequência da oscilação transitória é a frequência natural amortecida do sistema, $w_d = w_n * \sqrt{1 - \zeta^2}$, variando com o coeficiente de amortecimento.

A Figura 6-4 e a Figura 6-5 apresentam a localização dos pólos no plano complexo e a resposta ao degrau num sistema subamortecido:

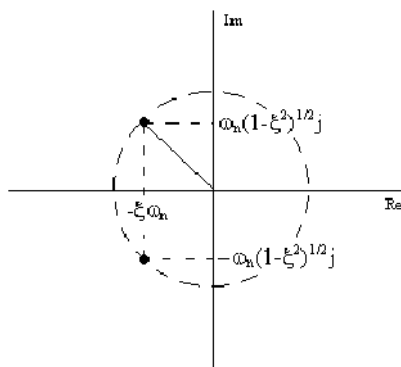


Figura 6-4 Localização dos pólos de um sistema de 2ª ordem no plano complexo.

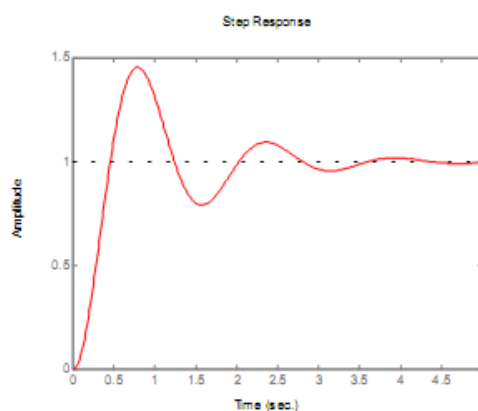


Figura 6-5 Resposta ao degrau de um sistema de 2ª ordem.

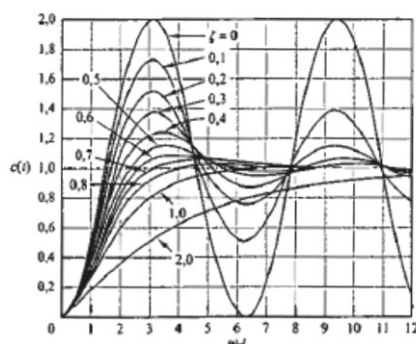


Figura 6-6 Representação das respostas de sistema de 2ª ordem ao degrau unitário.

A Figura 6-6 exemplifica as formas de onda da resposta de G_p ao degrau em função do coeficiente de amortecimento.

São visíveis 3 regiões de funcionamento:

Subamortecido ($0 < \zeta < 1$);

Criticamente amortecido ($\zeta = 1$);

Sobreamortecido ($\zeta > 1$).

A resposta transitória ao degrau do, sistema, é caracterizada pelos seguintes parâmetros:

$$\begin{aligned}
 \text{tempo de subida: } t_r &= \frac{\pi - \cos^{-1}(\zeta)}{w_n \sqrt{1 - \zeta^2}} = 2RC \sqrt{\frac{L}{4CR^2 - L}} \left[\pi - \cos^{-1} \left(\frac{1}{2R} \sqrt{\frac{L}{C}} \right) \right] \\
 \text{tempo de estabilização a 2\%: } t_s &= \frac{4}{\zeta w_n} = 8RC \\
 \text{sobrelongação: } e^{-\frac{\zeta \pi}{\sqrt{1 - \zeta^2}}} &= e^{-\pi \sqrt{\frac{L}{4CR^2 - L}}} \\
 \text{instante de pico: } t_p &= \frac{\pi}{w_n \sqrt{1 - \zeta^2}} = 2RC \pi \sqrt{\frac{L}{4CR^2 - L}} \quad (6.6)
 \end{aligned}$$

Os pólos do sistema são obtidos igualando o denominador da função de transferência G_p a zero, obtendo a seguinte equação:

$$\text{pólos} = -\zeta * w_n \mp j * w_n * \sqrt{1 - \zeta^2} = -6.83E4 \mp 4.49jE5 \quad (6.7)$$

6.3. Projecto do controlador no domínio dos tempos

De forma a satisfazer os requisitos da resposta transitória (sobreelongação máxima de 100mA e tempo de estabelecimento de 30us), foi projectado um controlador tendo como base os seguintes parâmetros (coeficiente de amortecimento, ζ , e frequência natural do sistema, w_n), à resposta ao degrau:

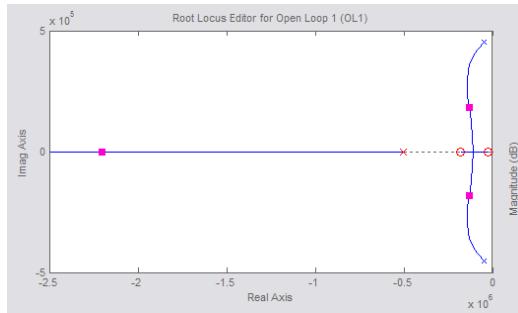
$$\begin{cases} \text{tempo de estabelecimento de } 30\mu\text{s} \\ \text{sobreelongação de } 10\% \end{cases} \Rightarrow \begin{cases} \zeta = 0.6 \\ w_n = 225520\text{rad/s} \end{cases}$$
$$\text{Novos pólos dominantes} = -\zeta * w_n \mp j * w_n * \sqrt{1 - \zeta^2} = -133330 \mp j181890 \quad (6.8)$$

A aplicação da ferramenta, *sisotool*, do *Matlab*, permite desenvolver compensadores para sistemas *SISO* (*single input single output*). Por interacção com os diagramas LGR, *Bode* e *Nyquist* em malha aberta do processo $Gp(s)$, foram realizados os seguintes passos de forma a conduzir os seus pólos dominantes² para os valores pretendidos:

1. Admitir um esquema de controlo com 1 pólo e dois zeros, todos reais negativos.
2. Colocar o pólo a uma frequência elevada de forma a não interferir no comportamento dominante pretendido já que esse pólo terá associado uma assíntota para os pólos em malha fechada, até infinito.
3. Colocar os zeros de forma a “torcer” o caminho do LGR dominante de modo a ser possível, através de um ganho, k , colocar os pólos no local pretendido.
4. Regular o ganho, k , de forma a obter os pólos dominantes pretendidos (equação 8-h). (Ogata)

Em seguida são apresentados os resultados com o controlador dimensionado no domínio dos tempos:

² Pólos dominantes são o par de pólos complexos que estabelecem a resposta transitória desde que, os outros pólos estejam suficientemente afastados (1 década). Assim, os seus transitórios são pequenos em amplitude, e anulam-se rapidamente. Pólos que não estejam suficientemente afastados, do par complexo dominante, devem estar localizados perto de um zero para que a sua influência seja cancelada por este.

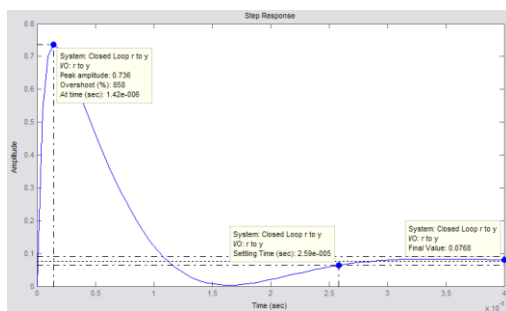


A Figura 6-7 ilustra o LGR do obtido de forma que o traçado passe nos pólos dominantes desejados.

A função de transferência obtida para o controlador é a seguinte:

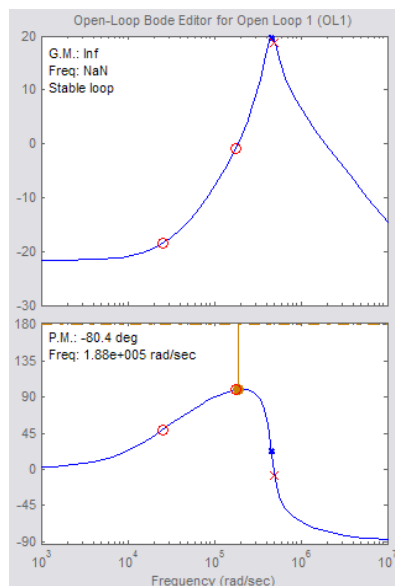
$$G_{tempos} = 6.06E - 6 \frac{(s + 2.56E4)(s + 1.79E5)}{(s + 5E5)}$$

Figura 6-7 Lugar geométrico das raízes do sistema com o controlador G_{tempos} .



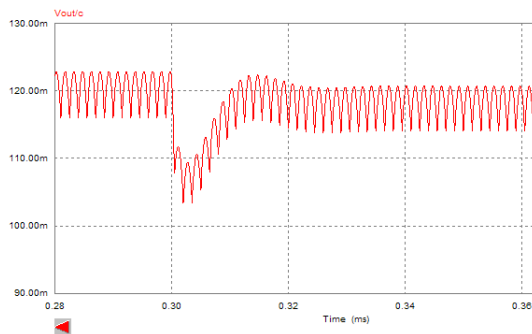
A Figura 6-8 ilustra a resposta do sistema a um degrau unitário no erro. A resposta possui um elevado erro em regime permanente, cerca de 92%. Uma sobreelongação muito elevada e um tempo de estabelecimento de 26us.

Figura 6-8 Resposta ao degrau do sistema controlado. Possui uma grande sobreelongação, um tempo de estabelecimento de 26us e um grande erro em regime permanente.



A Figura 6-9 apresenta o diagrama de Bode do controlador G_{tempos} . Como o controlador possui um pólo a uma frequência mais elevada que os zeros complexos, introduz um elevado atraso de fase no sistema. O que o torna a sua implementável inviável.

Figura 6-9 Diagrama de Bode de G_{tempos} . Margem de ganho infinita e fase negativa.



Pela análise da Figura 6-10 verifica-se que a sobreelongação é cerca de 15mV (12.5%), e o tempo de estabelecimento é cerca de 10us. Possui um erro em regime permanente muito elevado cerca de 880mV.

Figura 6-10 Resposta do sistema a uma variação da corrente de saída de 1mA para os 300mA.

O erro estacionário a uma entrada em degrau é definido pelas seguintes expressões:

$$e_p = \frac{1}{1 + k_p}$$

$$k_p = \lim_{s \rightarrow 0} G_p(s) * G_c(s)$$

(6.9)

Neste caso, $k_p = 0.084$, logo $e_p = 92\%$, como se verifica pela figura anterior.

Ora se pequenos erros para entradas a degrau puderem ser tolerados, então um sistema de tipo 0 poderá ser admissível, desde que o ganho, k , seja suficientemente grande. Contudo o aumento de k torna difícil obter uma estabilidade relativa adequada. A solução ideal é colocar um integrador no ramo directo de forma a eliminar o erro em regime permanente (sistema de tipo 1). (Ogata)

A margem de fase negativa deste controlador e o elevado erro em regime permanente que introduz no sistema, torna inviável a sua implementação. Nos pontos seguintes, são utilizadas outras abordagens de forma a satisfazer os requisitos do projecto.

6.4. Projecto do controlador no domínio das frequências

Existem basicamente duas técnicas de projecto no domínio das frequências. A técnica do diagrama polar e a do diagrama de *Bode*. Quando se adiciona um compensador, o diagrama polar não mantém a forma original sendo necessário traçar um novo diagrama. Por outro lado o diagrama de *Bode* do compensador pode simplesmente ser adicionado ao diagrama original, sendo esta, por simplicidade, a abordagem utilizada. (Ogata)

A região de baixa frequência da resposta em frequência de malha aberta (abaixo da frequência de travessia do ganho) indica o comportamento em regime permanente do sistema em malha fechada. A região de média frequência (próxima ao ponto $-1+j0$) indica a estabilidade relativa. A região de alta frequência (bem acima da frequência de travessia de ganho) indica a complexidade do sistema. (Ogata).

Para se ter uma constante de erro de velocidade elevada (erro da resposta à rampa) e ainda uma estabilidade relativa satisfatória, verifica-se que é necessário reconfigurar a curva de resposta em frequência de malha aberta.

O ganho da região de baixa frequência deve ser suficientemente elevado e próximo da frequência de cruzamento de ganho, e a inclinação da curva de módulo em *dB* no diagrama de *Bode* deve ser -20 (*dB/dec*) nas vizinhanças da frequência de cruzamento de ganho. Essa inclinação deve estender-se numa faixa de frequências bastante ampla para assegurar uma margem de fase adequada. Na região de alta frequência, o ganho deve ser atenuado tão rapidamente quanto possível, para que os efeitos de ruído sejam minimizados (Ogata).

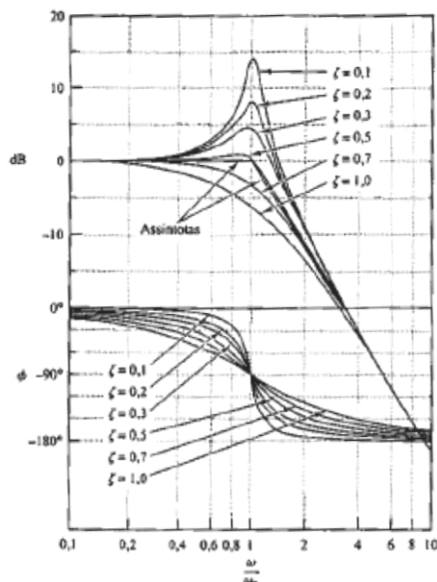


Figura 6-11 Traçados de *Bode* de sistemas de 2ª ordem.

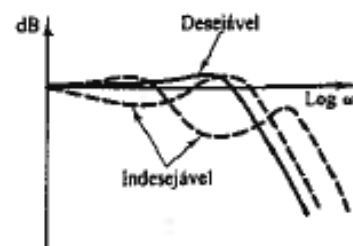
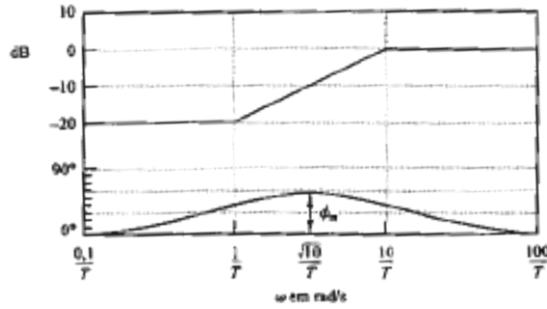


Figura 6-12 Traçados de *Bode* desejáveis/indesejáveis.

A compensação por avanço de fase resulta, essencialmente, numa melhoria apreciável na resposta transitória e numa pequena variação da precisão em regime estacionário. Por outro lado, a compensação por atraso de fase, produz uma sensível melhoria na precisão do regime estacionário à custa de um aumento da duração da resposta transitória. A compensação por atraso e avanço de fase combina as características tanto da compensação por avanço como da compensação por atraso de fase. (Ogata).

Assim o ponto seguinte apresenta o projecto de um controlador por avanço de fase de forma a satisfazer as características da resposta transitória.

6.4.1 Controlador por avanço de fase



A função de transferência do controlador por avanço de fase é a seguinte:

$$G_{avanço} = k_c * \frac{s + z_c}{s + p_c}$$

Figura 6-13 Diagrama de Bode típico de um controlador avanço de fase.

Para o processo G_{buck} , a frequência de travessia e a margem de fase são (obtidos da Figura 6-9):

$$W_o = \frac{7.08E5 \text{ rad}}{s} ; \text{frequência de travessia}$$

$$MF = 18.2^\circ ; \text{margem de fase}$$

(6.10)

Um bom critério será compensar o processo de forma a obter-se uma margem de fase de 60° (Ogata), para tal o compensador terá de adicionar 42° . Mantendo inalterável a frequência de travessia:

$$\text{Fase}[G_c(jW_o)] = 48^\circ$$

$$|G_c(jW_o)| = 1$$

$$\begin{cases} W_\phi = \sqrt{z_c * p_c} \\ \sin(\phi_{max}) = \frac{1 - \alpha}{1 + \alpha} \\ \alpha = \frac{z_c}{p_c} = \frac{1 - \sin(\phi_{max})}{1 + \sin(\phi_{max})} \end{cases} \Rightarrow \begin{cases} z_c/p_c = 0.147 \\ 5.013E11 = 0.147 * p_c^2 \end{cases} \Rightarrow \begin{cases} p_c = 1.847E6 \text{ rad/s} \\ z_c = 2.715E5 \text{ rad/s} \end{cases}$$

$$|G_c(jW_o)| = 1 \Leftrightarrow k_c * \frac{\sqrt{s + z_c}}{\sqrt{s + p_c}} = 1 \Leftrightarrow k_c = 1.61$$

$$G_{avanço} = 1.61 * \frac{s + 2.715E5}{s + 1.847E6}$$

(6.11)

Novamente através da aplicação, *sisotool*, faz-se a análise do controlador existente e realizam-se pequenos ajustes de forma a obter o comportamento desejado.

Em seguida são apresentados os resultados para o controlador $G_{avanço}$.

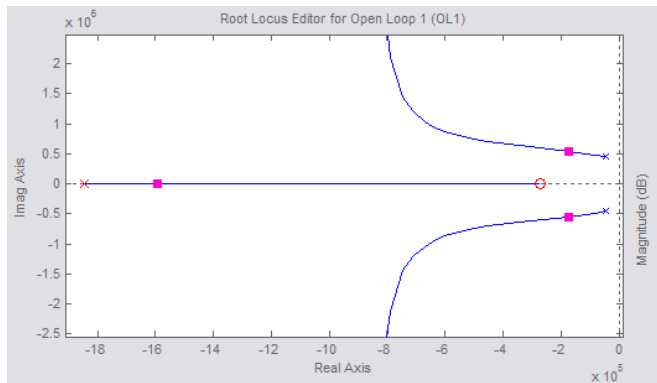


Figura 6-14 LGR do sistema com o controlador $G_{avanço}$.

Analisando a Figura 6-14, os novos pólos dominantes estão localizados nos pontos:

$$s \mp jy = -1.72E5 \mp j5.43E5$$

O coeficiente de amortecimento e a frequência natural do sistema são:

$$\zeta = 0.3 ; w_n = 5.7E5 \text{ rad/s}$$

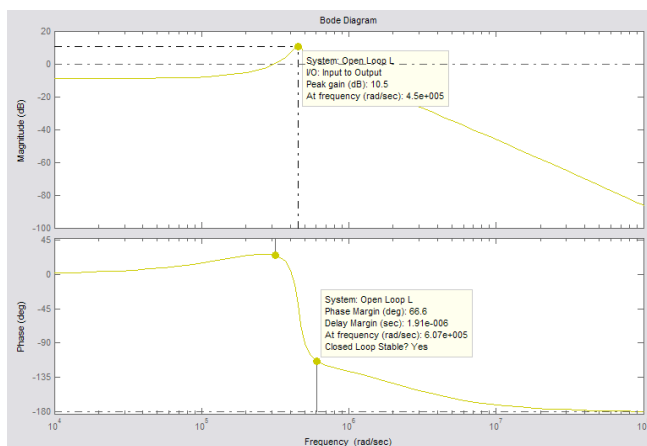


Figura 6-15 Diagrama de Bode do sistema compensado em malha aberta $G_{avanço}G_p$.

Analisando a Figura 6-15 observa-se que, na realidade, a margem do ganho com o controlador é de 66.6° e a frequência de travessia do ganho é de 6.07E5rad/s. Boa aproximação aos valores esperados teoricamente.

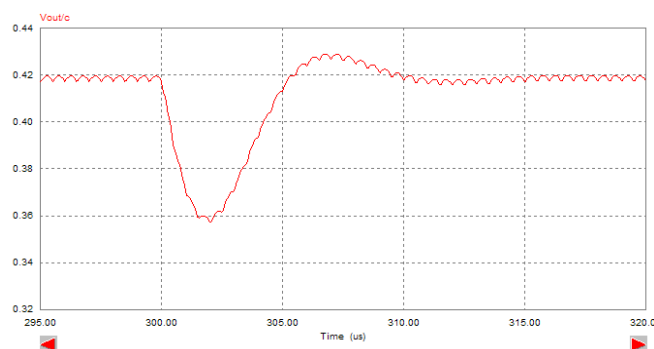


Figura 6-16 Resposta do sistema com o controlador $G_{avanço}$, a uma variação na corrente de saída do conversor de 1mA para os 300mA.

A Figura 6-16 ilustra a resposta do sistema a uma variação na corrente de 1mA para os 300mA. Possui uma sobreelongação de 60mV (14.3%), e um tempo de estabelecimento de 10us. Novamente existe um grande erro em regime permanente cerca de 580mV.

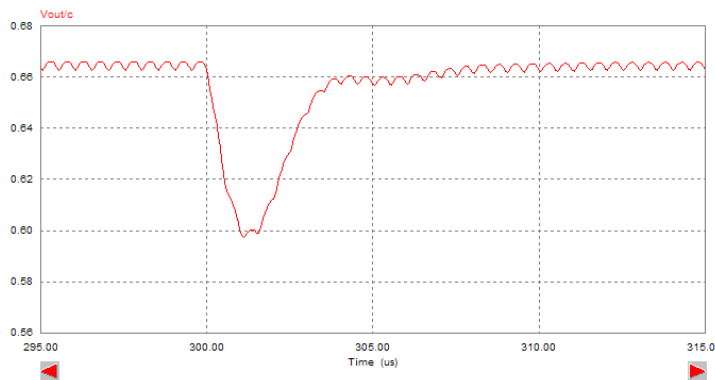
6.4.2 Ajuste fino do controlador de avanço de fase

Pela análise do LGR verifica-se que à medida que os pólos complexos se afastam do eixo imaginário, o seu coeficiente de amortecimento e a frequência natural (w_n) aumentam.

Estabelecendo como objectivo $\zeta = 0.6$ implica que $w_n = 9.04E5 rad/s$, de forma a diminuir a sobreelongação do sistema e também torna-lo mais rápido, o controlador é o seguinte:

$$G_{avanço1} = 4.35 * \frac{s + 2.715E5}{s + 1.847E6} \quad (6.12)$$

$$Novos pólos dominantes = -\zeta * w_n \mp j * w_n * \sqrt{1 - \zeta^2} = -5.38E5 \mp j7.27E5 \quad (6.13)$$



A Figura 6-17 ilustra a resposta do sistema a uma variação na corrente de 1mA para os 300mA. A sobreelongação é de 60mV (9%) e o tempo de estabelecimento de 5us. O erro em regime permanente é de 340mv.

Figura 6-17 Resposta do sistema com o controlador $G_{avanço1}$, a uma variação na corrente de saída do conversor de 1mA para os 300mA.

A resposta do sistema com este controlador apesar de melhor do que com o controlo, G_{tempos} e $G_{avanço}$ continua a ter um elevado erro em regime permanente devido ao ganho que o próprio controlador introduz.

No próximo subcapítulo é projectado um controlador que possui as vantagens deste controlador e elimina o erro em regime permanente.

6.4.3 Controlador PID

Este é o controlador mais empregue na indústria. É notável que mais de metade dos controladores industriais em uso actualmente empregam esquemas de controlo PID ou PID modificado. (Ogata)

Quando o modelo matemático do processo não é conhecido e, portanto, não podem ser utilizados métodos de projecto analítico, o controlo PID é muito útil, porque existem diversas regras de sintonia que permitem satisfazer os requisitos do projecto. Contudo, neste trabalho, como temos acesso à função de transferência do processo, os métodos de sintonia não serão aplicados, a abordagem utilizada será semelhante à utilizada para dimensionar os controladores anteriores.

O controlador PID é composto por um ganho, k_p , uma constante de tempo integral, T_i , e uma constante de tempo derivativo, T_d . Assim a sua FT é:

$$G_{pid} = k_p \left(1 + \frac{1}{T_i s} + T_d s \right) \quad (6.14)$$

O controlador proporcional diminui o tempo de subida, mas não elimina o erro em regime permanente. O controlo PI, proporcional e integral, elimina o erro em regime permanente, mas piora a resposta transitória. O controlo derivativo aumenta a estabilidade do sistema, reduz a sobreelongação e melhora a resposta transitória. (Ogata)

Este controlador combina as vantagens dos controladores *PI* e *PD*, proporcional e derivativo. A acção integral está ligada à precisão do sistema, sendo responsável pelo erro nulo em regime permanente. O efeito desestabilizador do *PI* é contrabalançado pela acção derivativa que tende a aumentar a estabilidade do sistema ao mesmo tempo que torna a resposta do sistema mais rápida devido ao seu efeito antecipativo. (Ogata)

Utilizando a análise anterior no domínio das frequências, e como se pretende um comportamento idêntico ao controlador $G_{avanço1}$, os pólos dominante são:

$$pólos\ dominantes = -\zeta * w_n \mp j * w_n * \sqrt{1 - \zeta^2} = -5.38E5 \mp j7.27E5$$

Novamente com auxílio da aplicação, *sisotool*, projecta-se um *PID* que conduza os pólos dominantes do sistema para os valores pretendidos. O controlador resultante possui a seguinte função de transferência:

$$G_{pid} = 3.54E^{-6} * \frac{(s + 2.43E5)(s + 4.59E5)}{s} \quad (6.15)$$

Representando o nosso controlador, na sua componente proporcional, integral e derivativa:

$$G_{pid} = K \left(1 + \frac{1}{sT_i} + sT_d \right)$$

$$K = 2.4850 ; T_i = 2.5327E - 6 ; T_d = 3.5400E - 6 \quad (6.16)$$

6.4.4 Resultados para o controlador PID

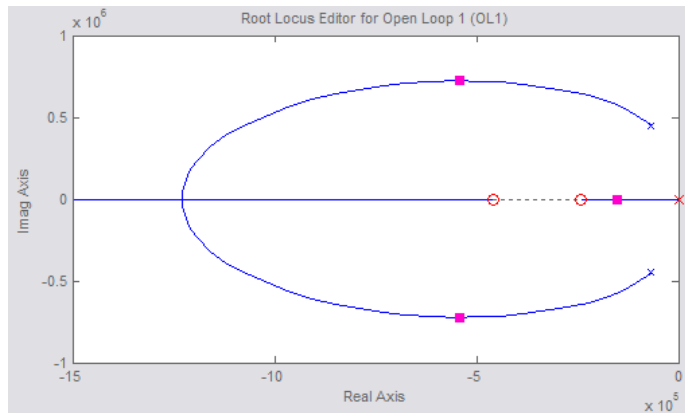


Figura 6-18 Lugar geométrico das raízes para o sistema $G_p G_{pid}$

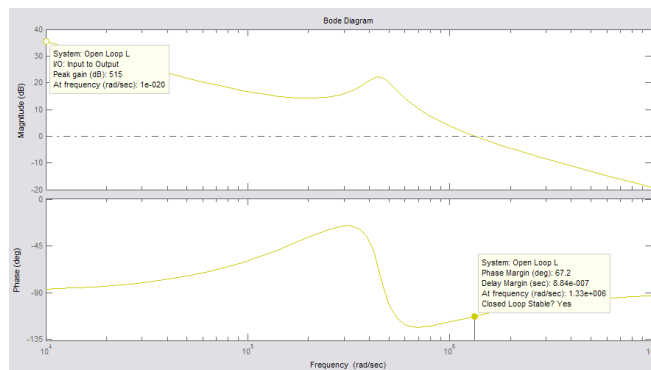


Figura 6-19 Diagrama de *Bode* do sistema compensado, em malha aberta

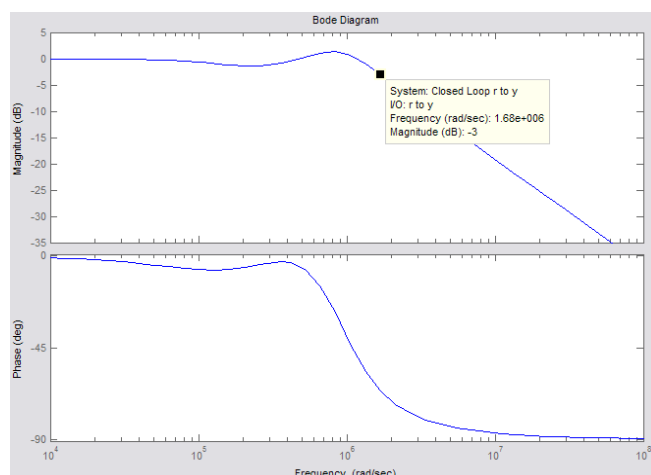


Figura 6-20 Diagrama de *Bode* do sistema em malha fechada.

A figura 8-r representa o lugar geométrico das raízes para o sistema compensado, em que os pólos dominantes são os especificados anteriormente. A figura foi obtida através da aplicação *sisotool*.

A figura 8-s ilustra o diagrama de *Bode* em malha aberta para o sistema com compensação. A margem de fase é de 67.2° e a frequência de travessia de ganho de $1.33\text{E}6\text{rad/s}$.

A figura 8-t ilustra a resposta em frequência da magnitude e da fase do sistema em malha fechada. A largura de banda do sistema (-3dB), é de 1.68MHz , este valor terá significado no próximo capítulo quando se fizer a emulação do controlador para o domínio discreto.

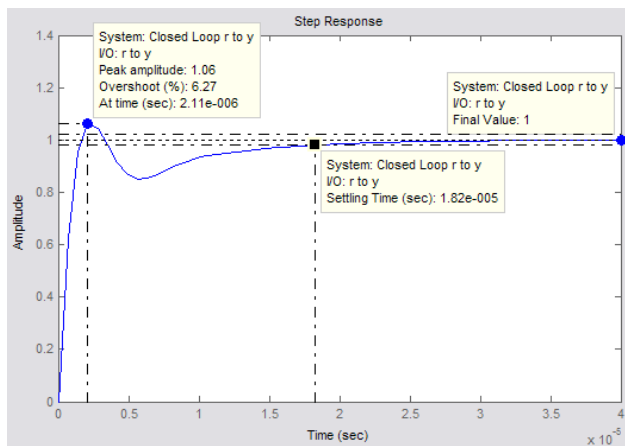


Figura 6-21 Resposta ao degrau unitário do sistema compensado $G_p G_{pid}$.

A Figura 6-21 ilustra a resposta do sistema a um degrau unitário no erro. A sobreelongação é cerca de 6.3%, o tempo de estabelecimento de aproximadamente 20us e não possui erro em regime permanente.

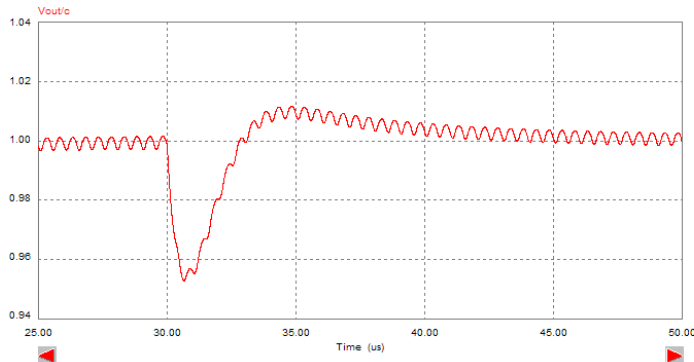


Figura 6-22 Resposta do sistema com o controlador G_{pid} , a uma variação na corrente de saída de 1mA para os 300mA.

A Figura 6-22 ilustra a resposta do sistema compensado a uma variação na corrente de saída do conversor de 1mA para os 300mA. Como se pode observar há uma sobreelongação de 50mV e um tempo de estabelecimento de 5us.

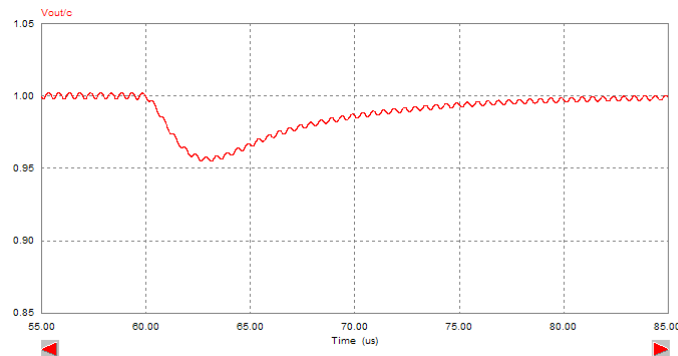


Figura 6-23 Resposta do sistema com o controlador G_{pid} , a uma variação na tensão de entrada de 3V para 2V.

A Figura 6-23 ilustra a resposta do sistema compensado para uma variação da tensão de entrada do conversor dos 3V para os 2V. Como se pode observar há uma sobreelongação de 50mV e um tempo de estabelecimento de 15us.

Da análise dos resultados verifica-se que o erro em regime permanente, para variações na entrada, V_{in} , e para variações na corrente de saída, I_{out} , é nulo (resposta centrada em 1V). E que ambas as respostas satisfazem os requisitos da resposta transitória de 100mV de sobreelongação máxima e 30us de tempo de estabelecimento máximo.

Este controlador foi otimizado para o processo G_{buck} que resulta de uma linearização em torno de um ponto de funcionamento, $V_{in}=3V$ e $R=3.33\Omega$. Assim, e de modo a validar o controlador procedeu-se à análise da resposta do sistema em torno de outros pontos de funcionamento, V_{in} e R . Desta forma podemos verificar se o controlador permite que o sistema tenha o comportamento desejado para toda a sua gama de funcionamento, caso contrário, será necessário adaptar o controlo em função do seu ponto de funcionamento.

A Tabela 6-1 mostra a sobreelongação (sbl), o tempo de estabelecimento (t_s) e a frequência da primeira oscilação (fosh), para variações de 10% e de 20% em relação a diversos valores nominais de corrente.

Tabela 6-1 Sobreelongação e tempo de estabelecimento para variações de 10% e 20%, em torno de diversas correntes nominais, para $V_{out}=1V$.

Resultados para $V_{out}=1V$; $V_{in}=3V$							
carga nominal (ohm)	corrente nominal (mA)	carga (ohm)	corrente (mA)	sbl (mV)	t_s (us)	tosc (us)	fosh (KHz)
		1250	1	0	0	0	0
		1111	1	0	0	0	0
1000	1						
		909	1	0	0	0	0
		833	1	0	0	0	0
		13	80	12	5	14	71
		11	90	10	5	14	71
10	100						
		9	110	10	5	14	71
		8	120	14	13	14	71
		6	160	18	18	14	71
		6	180	18	18	14	71
5	200						
		5	220	18	12	14	71
		4	240	10	5	14	71

		4	240	19	11	14	71
		4	270	13	11	14	71
3	300						
		3	330	14	5	14	71
		3	360	0	0	14	71
		3	320	18	10	14	71
		3	360	13	5	14	71
3	400						
		2	440	9	0	14	71
		2	480	9	0	14	71
		3	400	20	10	14	71
		2	450	18	5	14	71
2	500						
		2	550	7	0	14	71
		2	600	17	5	14	71
		2	480	22	10	14	71
		2	540	17	5	14	71
2	600						
		2	660	6	0	14	71
		1	720	17	7	14	71

Analisando a Tabela 6-1, verifica-se que para variações na corrente de saída muito baixas, 0.1mA, 0.2mA, a sobreelongação e o tempo de estabelecimento são praticamente inexistentes, a saída quase não oscila. Também verificamos que variações bruscas de 20%, para diversos valores de carga nominal, produzem, nos piores casos, uma sobreelongação de 22mV e um tempo de estabelecimento de 18us, o que satisfaz as restrições do projecto.

Os resultados anteriores foram obtidos para uma tensão de saída e de entrada fixas, $V_{out}=1V$ e $V_{in}=3V$. Ora o nosso conversor permite o correcto funcionamento para uma tensão de entrada entre 1.7V e 3.6V. E também possui uma tensão de saída programável entre 0.8V e 1.4V, com uma resolução de 10mV. Sendo necessário simular o comportamento do controlador para os diversos pontos de funcionamento (V_{out} , V_{in}), foram para tal, realizadas as seguintes simulações:

Tabela 6-2 Sobreelongação e tempo de estabelecimento para diversas tensões de saída, para uma variação de corrente 1mA para os 300mA.

Variação Iout (1mA-300mA) ; Vin=3V		
Vout	sbl (mV)	ts (us)
0.8	34	5
0.9	40	5
1	47	8
1.1	48	5
1.2	50	5
1.3	50	5
1.4	50	5

A Tabela 6-2 mostra que o sistema reage de uma forma quase idêntica para diversas tensões de saída da gama de funcionamento do conversor, para uma variação de 1mA para os 300mA na corrente de saída.

Tabela 6-3 Sobreelongação e tempo de estabelecimento para diversas tensões de entrada, para uma variação de corrente 1mA para os 300mA.

Variação Iout (1mA-300mA), Vout=1V		
Vin	sbl (mV)	ts (us)
1.7	75	10
2	61	10
2.3	56	10
2.6	54	10
2.9	47	10
3.2	44	5
3.6	40	5

Através da Tabela 6-3 verifica-se que o sistema satisfaz os máximos de sobreelongação e tempo de estabelecimento para valores de tensão de entrada de 1.7V a 3.6V, a variações na carga 1mA-300mA.

Tabela 6-4 Sobreelongação e tempo de estabelecimento para diversas tensões de saída, para uma degrau de entrada (3V-2V).

Variação Vin (3V-2V) ; Corrente 300mA		
Vout	sbl (mV)	ts (us)
0.8	40	15
0.9	40	15
1	50	15
1.1	55	15
1.2	50	15
1.3	50	15
1.4	55	15

Através da Tabela 6-4 verifica-se que o sistema satisfaz os máximos de sobreelongação e tempo de estabelecimento para valores de tensão de saída de 0.8V a 1.4V, a variações na tensão de entrada 3V-2V.

6.5. Conclusões

Analisando os resultados, concluímos que:

1. O controlador reage convenientemente a variações de 10% e de 20% na corrente de saída, para uma tensão de saída de 1V.
2. O sistema tem um comportamento satisfatório, a uma variação na corrente de saída de 1mA para os 300mA, para tensões de saída entre 0.8V e 1.4V.
3. O controlador regula de uma forma eficaz a tensão de saída de 1V para tensões de entrada entre 0.8V e 1.4V, para uma variação na corrente de saída de 1mA para 300mA.
4. O controlador garante o correcto funcionamento do conversor para tensões de saída entre 0.8V e 1.4V a um degrau na tensão de entrada.

Todos os resultados obtidos confirmam que este controlador regula convenientemente o processo. Contudo não foram realizadas simulações mais exaustivas, que verificassem o seu comportamento para variações de carga superiores a 20%, e para as várias tensões de saída de funcionamento do conversor. Todavia o seu correcto funcionamento para uma tensão de saída de 1V a variações de carga de 20%, o seu correcto funcionamento a variações de um degrau na entrada, e a variações na corrente de 1mA para os 300mA, permitem, com alguma segurança, validar o projecto do controlador a nível analógico.

Apresentados os controladores desenhados no domínio analógico, o controlador PID foi o que satisfaz todos os requisitos do projecto. Realizadas simulações em *PSIM*, com o controlador PID, ficou confirmado que controla convenientemente o conversor *buck* em toda a sua gama de funcionamento. Na presença do controlador que satisfaz os requisitos do projecto em analógico, a dissertação prossegue, no capítulo seguinte, com a descrição digital do sistema, processo e controlador.

Capítulo 7

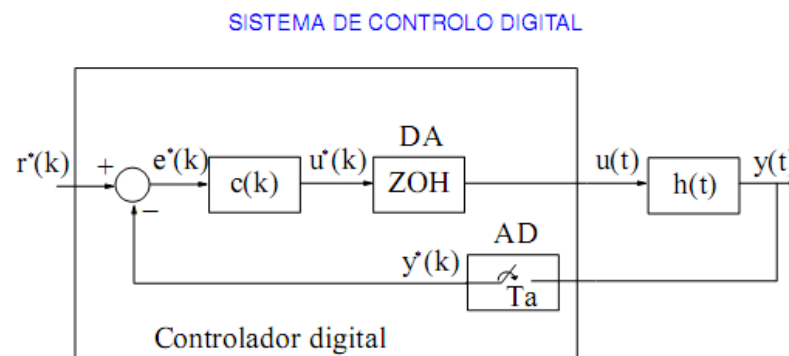
Descrição digital do sistema

7.1. Introdução

Os controladores contínuos são construídos utilizando dispositivos analógicos como resistências, condensadores e amplificadores operacionais. Actualmente, a maioria dos sistemas de controlo são implementados em digital com recurso a microprocessadores ou microcontroladores, com os respectivos dispositivos de entrada/saída.

Ao contrário dos dispositivos analógicos, os dispositivos digitais não são capazes de integrar. Daí que para resolver uma equação diferencial num computador, a equação tem de ser reduzida a uma equação algébrica, envolvendo apenas somas. Estas técnicas de aproximação são usualmente referidas de integração numérica. (Franklin, Powell, & Workman)

A Figura 7-1 ilustra os blocos fundamentais que constituem um sistema de controlo digital. O sistema é composto pelo controlador digital $c(k)$, por um DA (conversor digital para analógico), pelo processo analógico a controlar $h(t)$, e por um AD (conversor analógico digital).



- AD — Conversor Analógico Digital
- DA — Conversor Digital-Analógico (retentor de ordem zero)
- $C(k)$ — Algoritmo de Controlo (Sistema Discreto)

Figura 7-1 Modelo dum sistema de controlo digital.

Os compensadores e controladores utilizados em sistemas com controlo por realimentação podem ser considerados como filtros. Possuem características específicas de resposta nas frequências, ganho e fase. Deste modo muitas das técnicas desenvolvidas no projecto de filtros digitais podem ser aplicadas ao projecto de controladores. (Verwer)

Em seguida é analisado o problema de descobrir o sistema discreto que possui, de forma aproximada, as mesmas características do seu equivalente contínuo. O problema consiste em converter um sistema do domínio 's' para o domínio 'z', e os métodos que efectuem a conversão são designados de técnicas de mapeamento. (Verwer)

Uma possível abordagem é considerar um filtro contínuo, como sendo o sistema contínuo a amostrar. Para obter a sua função de transferência discreta é colocado em série um *zero-order hold*³ e aplica-se a transformada 'z'. Infelizmente esta abordagem genericamente não produz bons resultados no domínio das frequências. A razão tem a ver com o facto do *zero-order hold*, que guarda o valor da entrada durante o período de amostragem, produz um atraso adicional. A baixas frequências, em relação à frequência de amostragem, o *zero-order hold* produz um efeito similar a um atraso de transporte equivalente a metade do período de amostragem, $T/2$. Ou seja introduz um desvio de fase de $\omega T/2$. Logo o sistema discreto possui também um atraso de $\omega T/2$, não sendo portanto uma boa aproximação no domínio das frequências. (Franklin, Powell, & Workman)

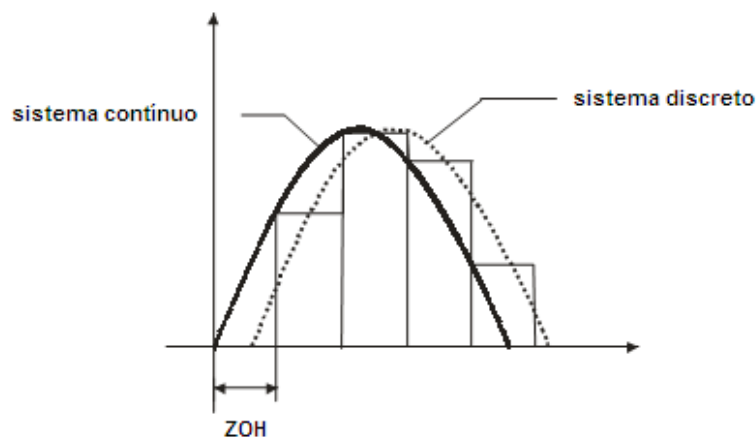


Figura 7-2 Conversão AD e DA por ZOH.

³ O *zero-order hold (ZOH)* é o modelo matemático que descreve a reconstituição de um sinal por um DA (conversor digital analógico) convencional. Ou seja realiza a operação de manter o valor amostrado inalterável até novo valor amostrado.

A grande maioria dos controladores digitais utilizados na indústria é baseada em protótipos analógicos. Os clássicos controladores baseados em 3 termos como já foi analisado, possuem bom desempenho. Daí que a escolha de qual o melhor método de mapeamento é normalmente puramente académico, mas tal não é o caso do nosso controlador.

O comportamento do processo em controlo será diferente com o controlador digital, porque o processo encontra-se em malha aberta entre amostras. Logo a escolha da frequência de amostragem é crucial, e para que o desempenho do sistema digital seja equivalente ao analógico, é necessário alimentar o controlador a uma frequência de amostragem elevada face à dinâmica do processo. (Verwer) A taxa de amostragem necessária para assegurar um bom desempenho do controlador digital é cerca de 30 vezes superior à largura de banda do sistema em malha fechada (Franklin, Powell, & Workman).

Portanto quanto mais rápida for realizada a amostragem do sistema, melhor será o controlo. Esta afirmação, porém, é incorrecta porque uma amostragem demasiado rápida pode originar diversos problemas numéricos, relacionados com a exactidão dos cálculos, problemas de quantificação, ruído de amostragem e robustez do controlador. **E sobretudo o aumento da frequência de amostragem acarreta um aumento dos custos de produção e consumo de potência.** (Verwer)

Existem duas categorias distintas de controladores digitais. Os controladores discretos emulados de equações de controlo contínuas, e os controladores discretos desenhados inteiramente em digital, utilizando técnicas de projecto em digital. Os controladores discretos emulados de sistemas analógicos tipicamente necessitam de frequências de amostragem mais elevadas. (Verwer)

7.1.1 Considerações sobre a frequência de amostragem

Como elemento de partida, para a escolha da frequência de amostragem, pode ser utilizado o teorema de amostragem de *Shannon* que fornece o limite teórico para a frequência de amostragem de um sinal de banda limitada. O projectista deve ter em consideração qual a largura de banda pretendida, para o sistema em malha fechada. Na ausência de ruído, a largura de banda corresponde à gama de frequências da variável de controlo que pretendemos amostrar. Logo pelo teorema de *Shannon*, podemos afirmar que a frequência de amostragem deverá ser cerca de 5 a 20 vezes superior à largura de banda pretendida. Outra abordagem é analisar o *zero-order hold*, introduzido pelo *DAC*, para efectuar a passagem para analógico. Como já foi referido, o *zero-order hold* pode ser aproximado por um atraso de metade do período de amostragem. Tal equivale, no domínio das frequências, a um atraso de fase de $\omega T/2$ na dinâmica do processo. Assumindo que o compensador ou controlador emulado, possui um bom desempenho, para pequenos períodos de amostragem comparados com a resposta do processo, qualquer aproximação digital, terá uma margem de fase degradada de $\omega_c T/2$ (ω_c , frequência de travessia de ganho). Limitando esta degradação a 5 graus, estabelecemos o seguinte critério:

$$\frac{\omega_c T}{2} \leq \frac{2\pi}{180}$$
$$f_s \geq 36f_c$$

(7.1)

Estas abordagens são heurísticas, pretendendo apenas servir como guia na selecção de um bom projecto em digital.

7.1.2 Considerações sobre as técnicas de mapeamento

Segundo *Hanselmann* (1987), os métodos de discretização disponíveis podem ser classificados em dois grandes grupos, métodos de malha aberta e métodos de malha fechada. Nos primeiros, o controlador é discretizado sem ter em conta o uso do controlador em malha fechada, e é recomendado quando o processo é pouco conhecido. Os métodos de malha fechada são aplicados quando existe informação significativa acerca do processo, e permitem melhorar o projecto analógico - digital, no sentido de que tornam-se possíveis taxas de amostragem mais baixas, reduzindo a complexidade do hardware. Sob este tema, apareceu um grande número de métodos, e continuarão a aparecer, uma vez que constituem um tópico de investigação corrente. Podemos agrupar estes métodos como métodos de função de transferência e métodos por espaço de estados. (Carvalho)

Diferentes métodos de discretização originam controladores com diferentes desempenhos. Os métodos mais comuns são:

- *Step Invariant*;
- *Zero Order Hold (ZOH)*;
- *Matched Pole-Zero*;
- *Backward difference (Euler)*;
- *Bilinear transformation (Tustin)*;

(Tihamér Ádám)

Para converter o sistema em estudo para digital foi utilizada, inicialmente, a transformação bilinear (*Tustin*). Esta mapeia o plano 's' no círculo unitário de raio 1 no plano 'z', ficando o sistema no domínio de 'z' sempre estável desde que o sistema contínuo seja estável. Este é o método mais utilizado para efectuar a conversão para digital por emulação directa do controlador analógico.

De forma a melhorar a resposta do controlador em digital foi em seguida aplicado o método de *Tustin* para a aproximação ao integral e o método rectangular, ou de *Euler*, como aproximação à derivada. A aplicação destes métodos é referida no subcapítulo seguinte, conversão para digital. (Verwer)

7.2. Conversão para digital

7.2.1 Aproximação trapezoidal ou de *Tustin*

A aproximação trapezoidal aproxima a variável 's' do modo seguinte:

Fazendo:

$$z = e^{sT} = \frac{e^{sT/2}}{e^{-sT/2}} \triangleq \frac{1 + sT/2}{1 - sT/2}$$

Resulta:

$$s = \frac{2(z - 1)}{T(z + 1)} \quad (7.2)$$

O nosso sistema de controlo é definido pela seguinte equação:

$$G_{pid}(s) = 3.54E^{-6} * \frac{(s + 2.43E5)(s + 4.59E5)}{s} \quad (7.3)$$

Um sistema contínuo com mais zeros que pólos, o que é o caso em estudo:

$$G(s) = \frac{b_0 + b_1 + \dots + b_n s^n + b_{(n+1)} s^{(n+1)}}{a_0 + a_1 s + \dots + a_n s^n} \quad (7.4)$$

Pode ser representado como uma função de transferência em cascata com um diferenciador puro:

$$G(s) = \frac{b_0 + b_1 + \dots + b_n s^n + b_{(n+1)} s^{(n+1)}}{a_0 s + a_1 s^2 + \dots + a_n s^{(n+1)}} * s \quad (7.5)$$

Aplicando o método de *Tustin* ao diferenciador produz o seguinte termo:

$$s \xrightarrow{\text{yields}} \frac{2(z - 1)}{T(z + 1)} \quad (7.6)$$

Logo o sistema discreto irá ter um pólo em $z=-1$, exactamente no limiar da estabilidade (circulo unitário). Assim, a aproximação de *Tustin* não é uma boa abordagem para este tipo de sistemas. De forma a provar esta afirmação irão ser realizadas as simulações com o controlador obtido através deste método. Aplicando-o à equação do nosso controlador, resulta na seguinte equação, que descreve o controlador digital em termos da conversão das componentes proporcional, integral e derivativa.

$$\tilde{G}_{pid}(z) = K \left(1 + \frac{T(z + 1)}{2(z - 1)T_r} + \frac{2(z - 1)T_d}{T(z + 1)} \right) \quad (7.7)$$

7.2.2 Simulação do controlador $\tilde{G}_{pid}(z)$

Como foi mencionado na secção 7.1, a taxa de amostragem necessária para assegurar um bom desempenho do controlador digital é cerca de 30 vezes superior à largura de banda do sistema em malha fechada. A largura de banda do nosso sistema é de 1.68MHz (como se verifica pela

Figura 6-20), logo uma frequência de amostragem de 64MHz seria ideal. Contudo as restrições de projecto não permitem uma frequência de amostragem superior a 2MHz. O SAR ADC utilizado na conversão analógico digital da tensão de saída funciona a 2MHz, não sendo possível aumentar a sua frequência de funcionamento devido ao elevado custo e aumento de consumo que tal implicaria. Em consequência desta restrição serão realizadas as simulações às frequências de 64Mhz, 32Mhz e 2Mhz, e comparados os resultados.

Aplicando o método de *Tustin*, para uma frequência de amostragem de 64MHz, vem:

$$\tilde{G}_{buck_64MHz}(z) = \frac{1.89E - 5z^2 + 3.779E - 5z + 1.89E - 5}{z^2 + 1.998 * z + 0.9979} \quad (7.8)$$

$$\tilde{G}_{pid_64Mhz}(z) = 455.61 \frac{(z - 0.9962)(z - 0.9929)}{(z - 1)(z + 1)} \quad (7.9)$$

Aplicando o método de *Tustin*, para uma frequência de amostragem de 32MHz, vem:

$$\tilde{G}_{buck_32MHz}(z) = \frac{7.55E - 5z^2 + 0.000151z + 7.55E - 5}{z^2 + 1.996 * z + 0.9957} \quad (7.10)$$

$$\tilde{G}_{pid_32Mhz}(z) = 229.05 \frac{(z - 0.9924)(z - 0.9858)}{(z - 1)(z + 1)} \quad (7.11)$$

Aplicando o método, para uma frequência de amostragem de 2MHz (utilizada no nosso SOC) , vem:

$$\tilde{G}_{buck_2MHz}(z) = \frac{0.0185z^2 + 0.037z + 0.0185}{z^2 - 1.885 * z + 0.9348} \quad (7.12)$$

$$\tilde{G}_{pid_2MHz}(z) = 16.735 * \frac{(z - 0.885)(z - 0.794)}{(z - 1)(z + 1)} \quad (7.13)$$

Em seguida são analisadas as respostas do processo e do controlador para as frequências em estudo 64, 32 e 2MHz.

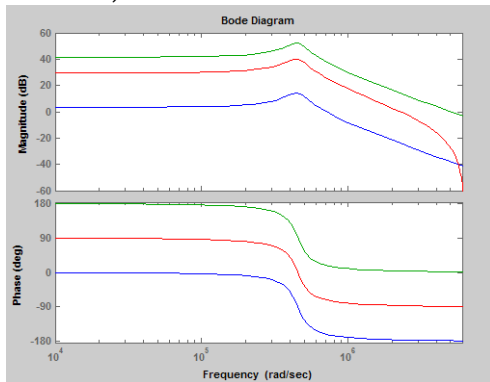


Figura 7-3 Traçados de Bode de $G_{buck}(s)$, a azul, $G_{buck_2MHz}(z)$, a vermelho, e de $G_{buck_32MHz}(z)$ a verde.

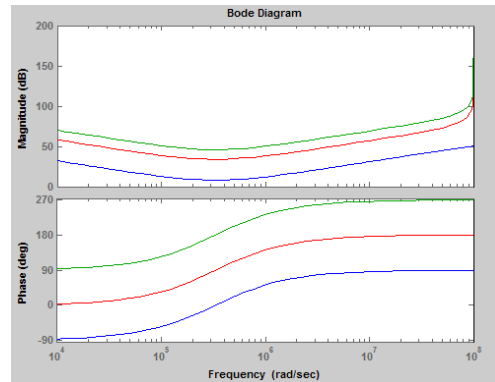


Figura 7-4 Traçados de Bode de $G_{pid}(s)$, a azul, $G_{pid_2MHz}(z)$, a vermelho, e de $G_{pid_32MHz}(z)$ a verde.

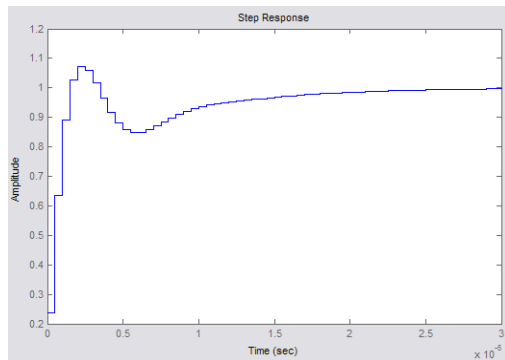


Figura 7-5 Resposta ao degrau unitário do sistema realimentado a 2MHz.

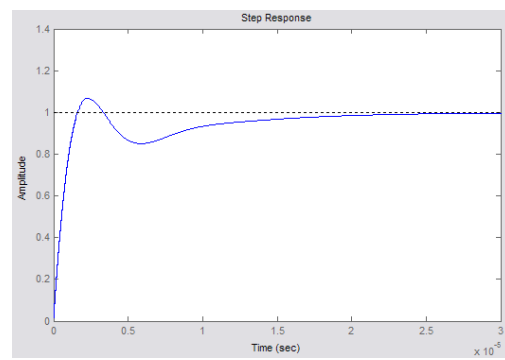


Figura 7-6 Resposta ao degrau unitário do sistema realimentado a 32MHz.

A Figura 7-3 e a Figura 7-4 representam as respostas em frequência do processo e do controlador nos domínios analógico, e em digital a 2MHz e a 32MHz, respectivamente. Em ambas as figuras é visível que os sistemas discretos a 2MHz e a 32MHz acompanham a resposta analógica, para as frequências em análise. Os desvios no ganho e na fase foram introduzidas de forma a não existir sobreposição entre os traçados.

Validada a resposta nas frequências, a Figura 7-5 e a Figura 7-6 ilustram a respostas dos sistemas a 2MHz e a 32MHz a um degrau na entrada. Comparando os resultados com a Figura 6-21, que representa a resposta do sistema analógico ao degrau, verifica-se que ambas as respostas são semelhantes ao sistema analógico, contudo é visível o efeito da baixa frequência de amostragem na resposta do sistema realimentado a 2MHz.

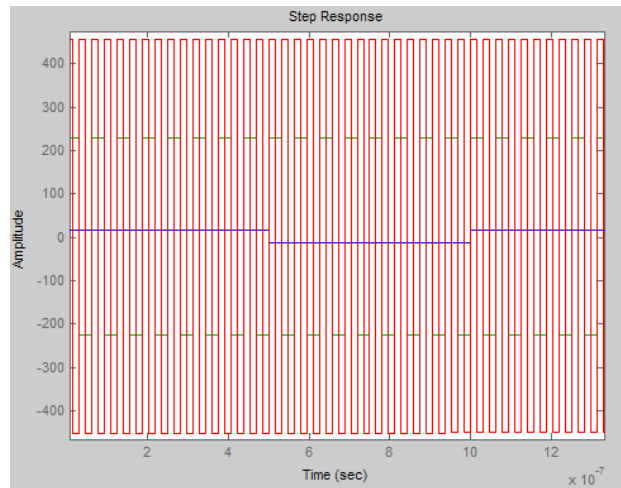


Figura 7-7 Resposta ao degrau do controlador a 2MHz, azul, a 32MHz, verde, e a 64MHz, vermelho.

Como podemos verificar pela Figura 7-7, o controlador apresenta uma variação muito elevada face ao valor médio a cada instante de amostragem, mesmo a 2Mhz. Esta variação em torno do valor médio é devido ao pólo no círculo unitário ($z=-1$), que prejudica a resposta do sistema realimentado.

Analizadas as respostas temporais e nas frequências do controlador digital PID a 2MHz e 32MHz, irá ser realizado um teste comparativo em malha fechada em ambiente *Matlab*. O teste seguinte tem o objectivo de efectuar uma comparação mais realista entre as representações analógica e digital às frequências de 2, 32 e 64MHz. Como base para a comparação irá ser utilizado o modelo realimentado analógico, no qual serão colocados, em série com o sinal de erro, os controladores digitais 64MHz, 32MHz e 2MHz seguidos do processo analógico, e comparadas as suas respostas a uma variação da referência de 10% de 1V para os 0.9V.

A figura seguinte ilustra o exposto:

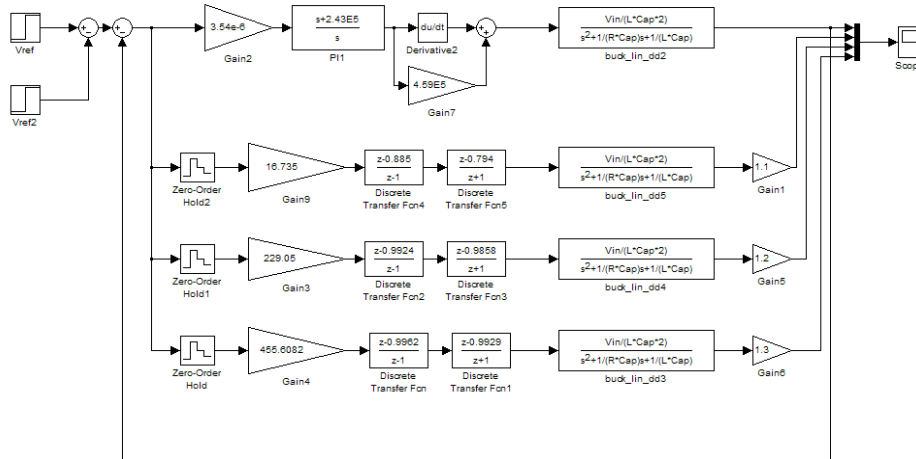


Figura 7-8 Modelo analógico realimentado, com os controladores digitais $G_{pid_2MHz}(z)$, $G_{pid_32MHz}(z)$ e $G_{pid_64MHz}(z)$ mais processo analógico, em série com o valor de erro.

A Figura 7-9 apresenta os resultados obtidos.

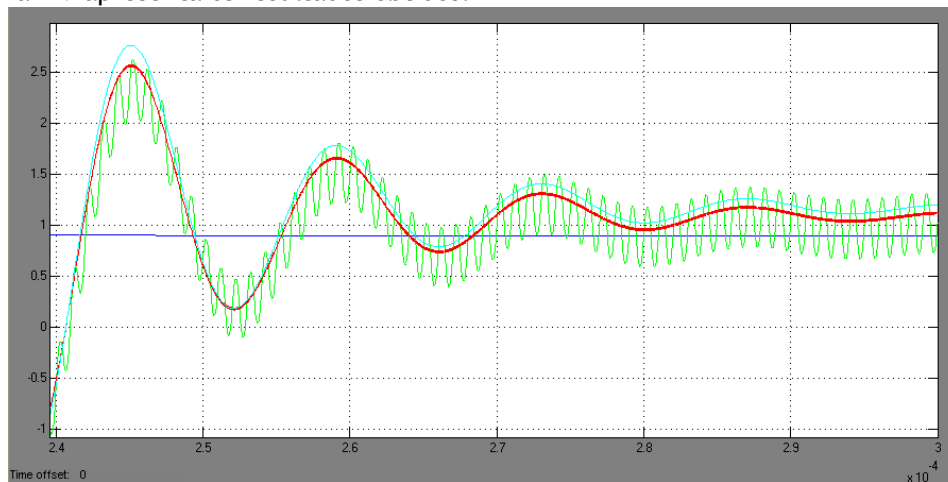


Figura 7-9 Resposta do sistema em malha fechada a uma variação de 10% na referência. A azul está representado o traçado correspondente ao sistema contínuo, a verde o sistema com controlo digital a 2MHz, a vermelho o sistema com controlo digital a 32MHz, e a azul claro o sistema com controlo digital a 64MHz.

Analisando a Figura 7-9 verificamos que a resposta do sistema é degradada com a diminuição da frequência de amostragem, maior oscilação em torno do valor nominal perfeitamente visível a 2MHz e parcialmente visível a 32MHz, devido ao pólo no círculo unitário. Por fim é também visível que as diferenças entre os sistemas digitais amostrados 32MHz e 64MHz são desprezáveis o que valida os 32MHz como sendo uma boa frequência para se efectuar a discretização. (Franklin, Powell, & Workman) Desta forma daqui em diante apenas serão utilizadas para efeitos de projecto e simulação em digital as frequências entre 32 e 2MHz.

7.2.3 Aproximação de *Tustin* e de *Euler*, ou rectangular

A aproximação rectangular, à derivada consiste em utilizar para a variável 's' a seguinte aproximação em 'z':

$$y(t) = \frac{d_x}{d_t}(t) \xrightarrow{\text{yields}} \frac{Y}{X}(s) = s$$

$$y(i) \triangleq \frac{x(i) - x(i-1)}{T} \xrightarrow{\text{yields}} \frac{Y}{X}(z) \triangleq \frac{1 - z^{-1}}{T}$$

Comparando as duas equações, podemos aproximar 's' pela seguinte função em 'z':

$$s \triangleq \frac{z-1}{Tz} \quad (7.14)$$

Como foi verificado, o método de *Tustin* quando aplicado a sistemas inapropriados pode ter resultados desastrosos. Logo terá de ser adoptada outra abordagem para efectuar a conversão do controlador para digital.

O nosso controlador de 3 termos é definido pelos seguintes parâmetros:

$$G_{pid} = K \left(1 + \frac{1}{sT_i} + sT_d \right)$$

$$K = 2.4850 ; T_i = 2.5327E - 6 ; T_d = 3.5400E - 6 \quad (7.15)$$

De modo a não originar o pólo em $z=-1$, ao termo derivativo irá ser aplicado o método rectangular, e ao termo integral o método de *Tustin*, originando a seguinte equação de controlo:

$$\begin{aligned} \widetilde{G}_{pid2}(z) &= K \left(1 + \frac{T(z+1)}{2(z-1)T_r} + \frac{(z-1)T_d}{Tz} \right) \\ \Leftrightarrow K \left[\frac{2TT_r z(z-1) + T^2 z(z+1) + 2T_d T_r (z-1)^2}{2T_r T z(z-1)} \right] &\Leftrightarrow \\ \Leftrightarrow K \left[\frac{z(z-1) + \frac{T}{2T_r} z(z+1) + \frac{T_d}{T} (z-1)^2}{z(z-1)} \right] &\Leftrightarrow \end{aligned} \quad (7.16)$$

Apresentando o numerador a seguinte forma:

$$\begin{aligned} z(z-1) + \frac{T}{2T_r} z(z+1) + \frac{T_d}{T} (z-1)^2 &= \\ = z^2 \left(1 + \frac{T}{2T_r} + \frac{T_d}{T} \right) + z \left(\frac{T}{2T_r} - 2\frac{T_d}{T} - 1 \right) + \frac{T_d}{T} & \end{aligned} \quad (7.17)$$

Podemos então representar o nosso controlador da seguinte forma:

$$\tilde{G}_{pid2}(z) = K \left(\frac{b_0 + b_1 z + b_2 z^2}{z(z-1)} \right) \quad (7.18)$$

Em que os coeficientes b_0, b_1 e b_2 são os seguintes:

$$b_0 = \frac{T_d}{T} ; b_1 = \left(\frac{T}{2T_r} - \frac{2T_d}{T} - 1 \right) ; b_2 = \left(\frac{T}{2T_r} + \frac{T_d}{T} + 1 \right) \quad (7.19)$$

Verifica-se que o controlador PID possui um pólo em $z=1$ correspondente à acção integral, o que permite anular o erro em regime estacionário, e é uma equação possível de ser implementável cujo tempo necessário para efectuar o cálculo do novo valor do *duty cyle* é pequeno face ao intervalo de amostragem. (Verwer)

Em seguida é estudada a resposta do controlador digital $\tilde{G}_{pid2}(z)$, no domínio das frequências, no domínio dos tempos e o seu comportamento em malha fechada, tal como foi efectuado no estudo do controlador digital $\tilde{G}_{pid}(z)$ obtido exclusivamente pelo método de *Tustin* na secção anterior.

Novamente será realizado o estudo para as funções de transferência obtidas com as frequências de amostragem de 2MHz e 32MHz:

$$\begin{aligned}\tilde{G}_{pid2}(z) &= K \left(1 + \frac{T(z+1)}{2(z-1)T_r} + \frac{(z-1)T_d}{Tz} \right) \\ \tilde{G}_{pid2_2MHz}(z) &= 2.48508 \left(1 + 0.03972 \frac{z+1}{z-1} + 2.849 \frac{z-1}{z} \right) \\ \tilde{G}_{pid2_32MHz}(z) &= 2.48508 \left(1 + 0.00248 \frac{z+1}{z-1} + 45.584 \frac{z-1}{z} \right)\end{aligned}\tag{7.20}$$

7.2.4 Simulação do controlador $\tilde{G}_{pid2}(z)$

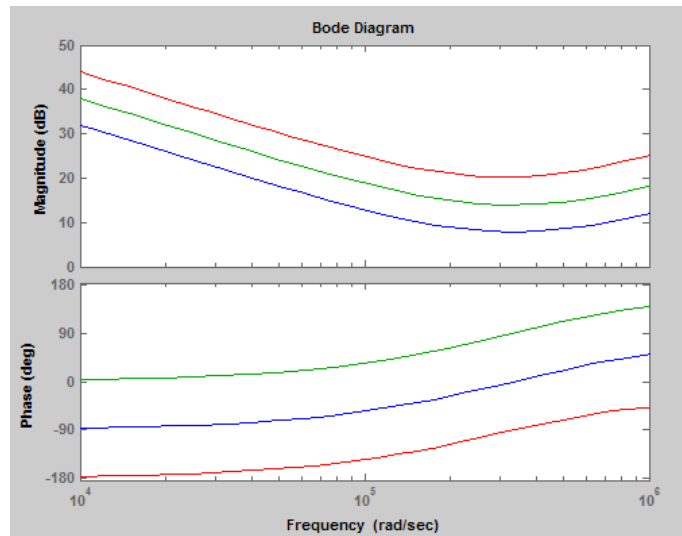


Figura 7-10 Traçados de Bode de $G_{pid}(s)$, a azul, $\tilde{G}_{pid2_2MHz}(z)$, a vermelho, e de $\tilde{G}_{pid2_32MHz}(z)$ a verde.

A Figura 7-10 ilustra a resposta em frequência para o controlador analógico e a sua representação digital a 2 e 32MHz. É visível, quer em magnitude quer em fase, que o controlador digital, $\tilde{G}_{pid2_2MHz}(z)$, e $\tilde{G}_{pid2_32MHz}(z)$, segue o equivalente contínuo para a gama de frequências em análise.

Validada a resposta nas frequências, a Figura 7-11 e a Figura 7-12 ilustram a respostas do sistema a 2 e 32MHz a um degrau na entrada. Comparando os resultados com a Figura 6-21, que representa a resposta do sistema analógico ao degrau, verifica-se que ambas seguem a resposta em analógico, contudo é novamente visível o efeito da baixa frequência de amostragem na resposta do sistema realimentado a 2MHz.

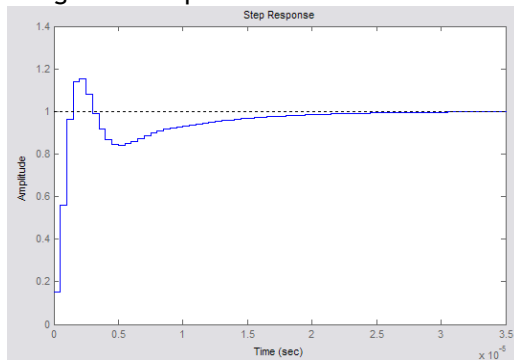


Figura 7-11 Resposta ao degrau unitário do sistema realimentado a 2MHz.

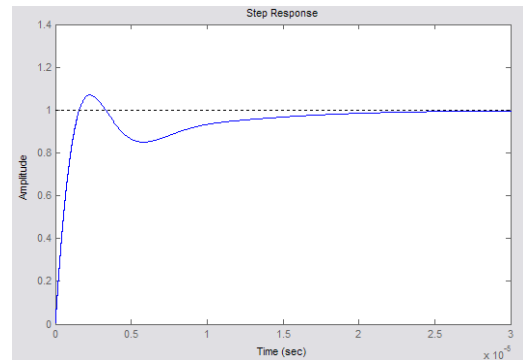


Figura 7-12 Resposta ao degrau unitário do sistema realimentado a 32MHz.

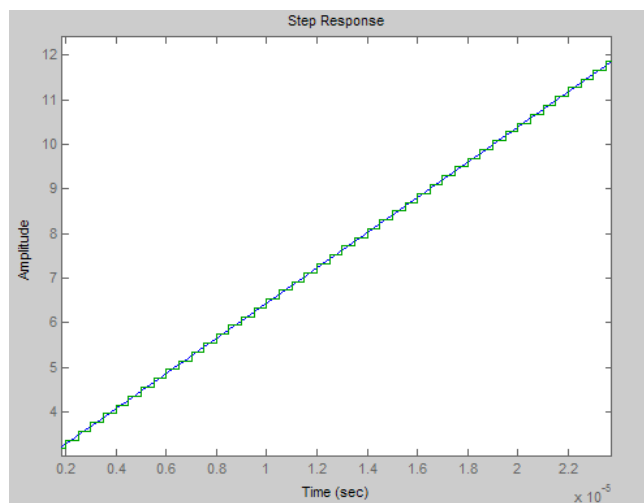


Figura 7-13 Resposta ao degrau do controlador a 2MHz, verde, e a 32 MHz a azul.

Como podemos verificar pela Figura 7-13, o controlador apresenta uma variação pequena face ao valor médio a cada instante de amostragem, mesmo a 2MHz. Comparados os resultados com a Figura 7-7, já não apresenta uma variação em torno do valor pretendido tão elevada, o que melhora bastante a resposta do sistema realimentado.

Por fim irá novamente ser realizado um teste comparativo em malha fechada, em ambiente *Matlab*, tal como foi realizado na secção 7.2.2.

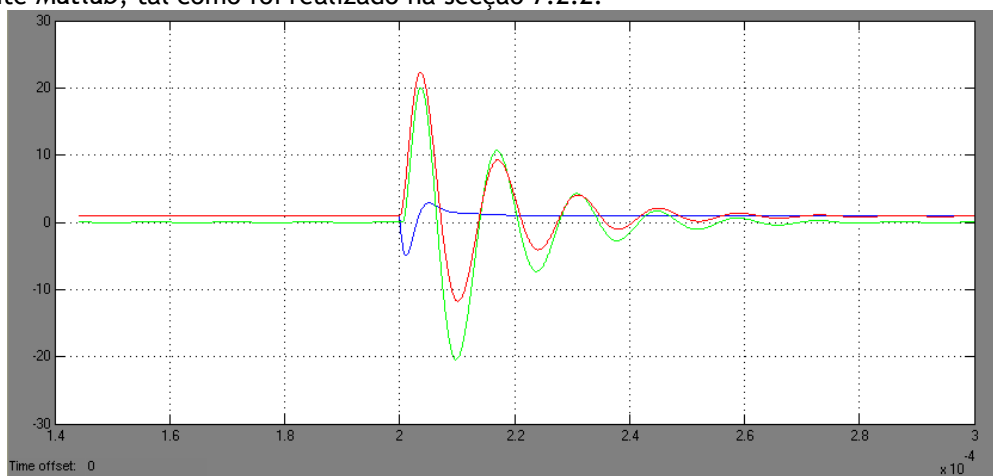


Figura 7-14 Resposta do sistema em malha fechada a uma variação de 10% na referência. A azul está representado o traçado correspondente ao sistema contínuo, a verde o sistema com controlo digital a 2MHz. E a vermelho o sistema com controlo digital a 32MHz.

Os resultados são bastante parecidos com os da Figura 7-9, da secção anterior. Todavia já não apresenta a oscilação em torno do valor nominal, mesmo a 2MHz. O pequeno erro no valor final, é devido às aproximações efectuadas no cálculo dos coeficientes do controlador a 2MHz.

7.3. Implementação do controlador

O controlador discreto de três termos, mencionado na secção anterior, pode ser implementado de diferentes formas. Em seguida são apresentadas duas formas de o fazer, o algoritmo de posição e o algoritmo de velocidade, ou incremental. No primeiro o esforço de controlo é calculado a cada instante de amostragem, formado pelas 3 acções independentes, proporcional, integral e derivativa. No algoritmo de velocidade ou incremental, é calculado o diferencial de acção de controlo, a cada instante de amostragem.

7.3.1 Aplicação do algoritmo de posição

A aplicação deste algoritmo faz-se do modo seguinte:

- A componente proporcional é simplesmente:

$$u_p(i) = Ke(i) \quad (7.21)$$

- A componente integral é obtida através de:

$$\begin{aligned} \frac{U_r}{E}(z) &= \frac{KT(z+1)}{2T_r(z-1)} = \frac{KT(1+z^{-1})}{2T_r(1-z^{-1})} \Rightarrow \\ \Rightarrow u_r(i) &= u_r(i-1) + \frac{KT}{2T_r}[e(i) + e(i-1)] \end{aligned} \quad (7.22)$$

- De igual forma a componente derivativa:

$$\begin{aligned} \frac{U_d}{E}(z) &= \frac{KT_d(z-1)}{Tz} \Rightarrow \\ \Rightarrow u_d(i) &= \frac{KT_d}{T}[e(i) - e(i-1)] \end{aligned} \quad (7.23)$$

Resumindo o nosso controlador é descrito pelas seguintes componentes:

$$\begin{aligned} u_c(i) &\triangleq u_p(i) + u_r(i) + u_d(i) \\ u_p(i) &\triangleq Ke(i) \\ u_r(i) &\triangleq u_r(i-1) + \frac{KT}{2T_r}[e(i) + e(i-1)] \\ u_d(i) &\triangleq \frac{KT_d}{T}[e(i) - e(i-1)] \end{aligned} \quad (7.24)$$

7.3.2 Aplicação do algoritmo de velocidade

A aplicação deste algoritmo faz-se do modo seguinte:

$$\begin{aligned} \widetilde{G}_c(z) &= K \left(\frac{b_0 + b_1 z + b_2 z^2}{z(z-1)} \right) \\ b_0 &= \frac{T_d}{T} ; b_1 = \left(\frac{T}{2T_r} - \frac{2T_d}{T} - 1 \right) ; b_2 = \left(\frac{T}{2T_r} + \frac{T_d}{T} + 1 \right) \end{aligned} \quad (7.25)$$

O que origina directamente a seguinte equação às diferenças:

$$\begin{aligned} u_i(i) - u(i-1) &= K[b_2 e(i) + b_1 e(i-1) + b_0 e(i-2)] \\ u_i(i) - u(i-1) &= \Delta u(i) \end{aligned} \quad (7.26)$$

Em que $\Delta u(i)$ representa o incremento no esforço de controlo, obtendo-se então as respectivas equações às diferenças a 2 e 32MHz:

$$\begin{aligned} \tilde{d}(i)_{2MHz} &= 9.663777\tilde{e}(i) + 16.54635\tilde{e}(i-1) + 7.07999\tilde{e}(i-2) \\ \tilde{d}(i)_{32MHz} &= 115.771\tilde{e}(i) + 229.03877\tilde{e}(i-1) + 113.2799\tilde{e}(i-2) \end{aligned} \quad (7.27)$$

Assim, no algoritmo posicional os parâmetros do controlador são utilizados directamente no cálculo do esforço de controlo. Desta forma é possível colocar condições ou restrições especiais em cada termo do controlador, por exemplo inibir a acção integral. O algoritmo de velocidade possui a vantagem de poder ter implícito o mecanismo de *anti-reset windup*⁴. Quando a acção de controlo é limitada, o que acontece no nosso sistema, este algoritmo de controlo pára de integrar, assegurando o correcto funcionamento do controlo. Devido a esta vantagem e como dinamicamente ambos os algoritmos são idênticos, a implementação irá ser baseada no algoritmo incremental. (Verwer)

⁴ *Reset-windup*, é o efeito provocado pela acção integral do controlador de 3 termos que não para de integrar, após a acção de controlo estar limitada.

7.4. Sistema digital, modelação e simulação em *PSIM*

7.4.1 Sistema digital, modelação em *PSIM*

Em posse da função de transferência digital que descreve de forma aproximada o controlador analógico PID, e a respectiva equação às diferenças. É apresentado, de seguida, o modelo digital em *PSIM* que contempla a resolução utilizada para os cálculos envolvidos na obtenção do valor do erro e da lógica combinacional implementada pelo controlo. Estabelecendo como base uma representação binária de *9bits* em complemento para dois na obtenção do valor do erro $[-255:255]$, e para saída do controlador um sinal binário de *8bits* $[0:255]$, *duty cycle*. Foi elaborado um modelo que, apesar de não efectuar os cálculos em vírgula fixa, o que seria demasiado complexo para os objectivos em vista, realiza os cálculos com vírgula flutuante, que aproximados pelos respectivos inteiros, representam o valor em vírgula fixa dos sinais correspondentes.

A figura seguinte representa a arquitectura do sistema que irá ser modelada, a parte de potência, a tensão de entrada e a carga. A cinza a parte digital, o conversor AD que calcula o erro, o controlador PID e o modulador *PWM*.

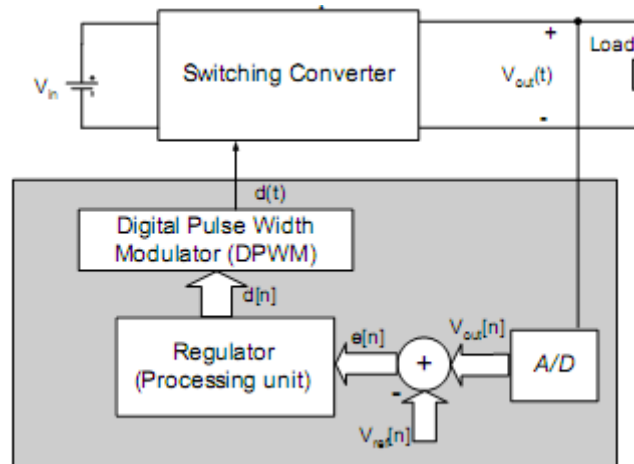


Figura 7-15 Sistema digital com controlador PID, conversor analógico digital (AD) e *PWM* digital.

7.4.2 Cálculo do erro

Para o cálculo do erro, foi emulado o modelo do SAR ADC a utilizar numa versão implementável, fornecido pela *Chipidea*, que é analisado na secção 8.5.2.

A figura seguinte ilustra os blocos constituintes, em *PSIM*, do modelo emulado do SAR ADC a utilizar para o cálculo da tensão de saída V_{out} .

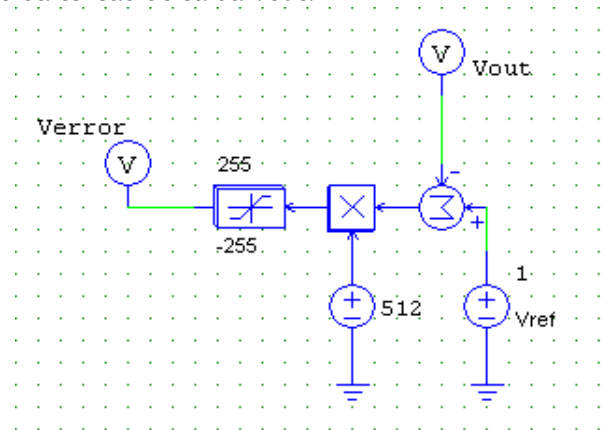


Figura 7-16 Modelo em *PSIM* do SAR ADC utilizado para amostrar a saída V_{out} .

Este modelo efectua a diferença entre a saída em tensão do conversor e a tensão de referência. De modo a obter uma representação binária aproximada em complemento para dois o valor é multiplicado a 512 e limitado entre -255 e 255.

7.4.3 Modelo do controlador $G_{pid2}(z)$

O próximo passo é a criação em *PSIM* do modelo que descreve o comportamento dos controladores, $\tilde{G}_{pid2_2MHz}(z)$ e $\tilde{G}_{pid2_32MHz}(z)$.

Utilizando as equações às diferenças:

$$\begin{aligned}\tilde{d}(i)_{2MHz} &= 9.663777\tilde{e}(i) + 16.54635\tilde{e}(i-1) + 7.07999\tilde{e}(i-2) \\ \tilde{d}(i)_{32MHz} &= 115.771\tilde{e}(i) + 229.03877\tilde{e}(i-1) + 113.2799\tilde{e}(i-2)\end{aligned}\quad (7.28)$$

Verifica-se que ambas as equações às diferenças apenas diferem nos valores dos coeficientes à aplicar ao sinal de erro, ao sinal de erro atrasado de uma unidade e ao sinal de erro atrasado de duas unidades.

O seguinte diagrama de blocos descreve o comportamento da equação às diferenças que implementa o controlador PID, neste caso a 2MHz.

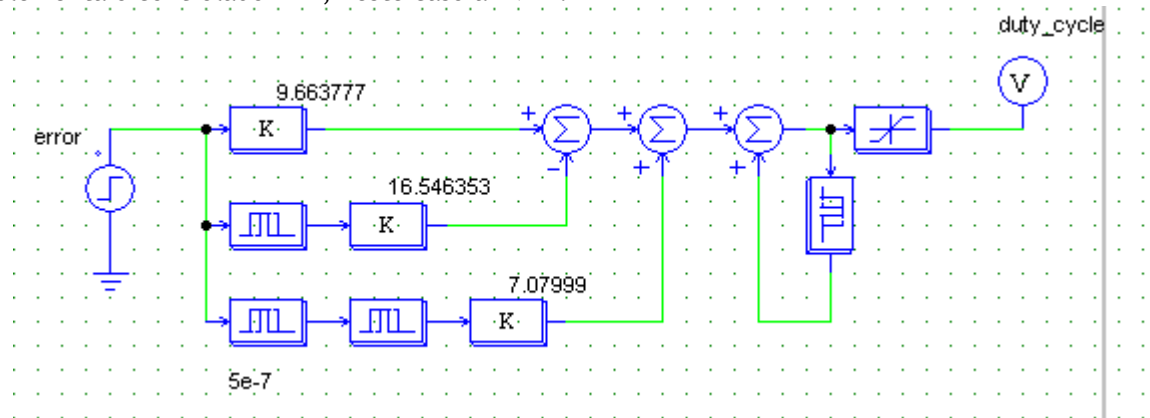


Figura 7-17 Diagrama de blocos do controlador $G_{pid2_2MHz}(z)$.

O controlador PID, como é visível na figura anterior, efectua somas e aplica ganhos que fazem variar consideravelmente o sinal de *duty cycle* a aplicar ao nosso comparador que gera o sinal *PWM*. Se para todos os modelos até este momento, o *duty cycle* variava entre zero e a unidade, é necessário um bloco que limite o valor de saída do PID. Como o sinal de *duty cycle* possui 8bits [0:255] o limitador terá de limitar o sinal da saída do controlador para esta gama de valores.

7.4.4 Sistema digital, simulação em *PSIM*

O modelo do conversor abaixador em *PSIM* é um modelo não linear que descreve de forma aproximada o seu comportamento. Para as simulações realizadas em seguida e de modo a tornar o modelo mais realista, irão ser acrescentadas, as resistências internas dos interruptores MOS, o tempo de atraso da comutação dos interruptores, a queda de tensão do diodo, e as resistências *ESR* (*equivalent series resistor*), da capacidade e da bobina. A figura seguinte ilustra o exposto:

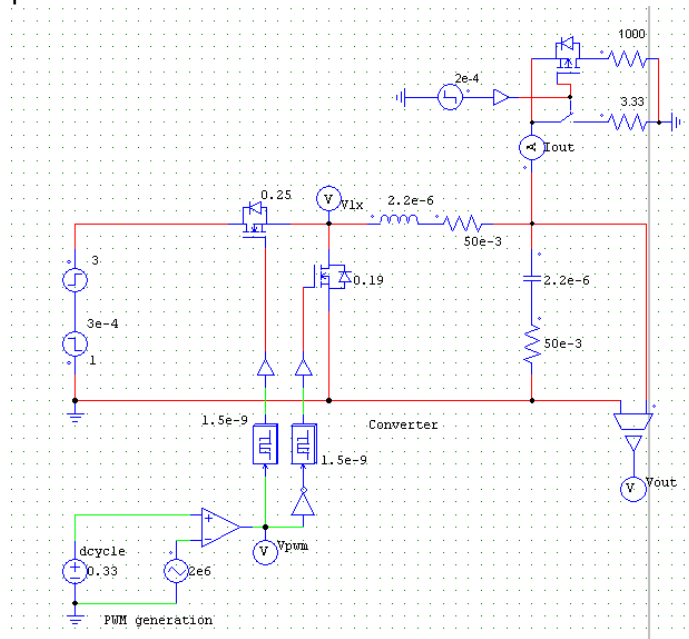


Figura 7-18 Modelo real do abaixador em *PSIM*, com *duty cycle* de 0.33, variação na carga e na tensão de entrada.

A partir do exposto podemos construir o modelo em *PSIM* em malha fechada. Neste modelo não irá ser considerado o tempo de atraso da comutação dos interruptores, é um valor muito pequeno 1.9ns, que não influencia a resposta do sistema.

Na Figura 7-19 podemos observar o circuito final obtido:

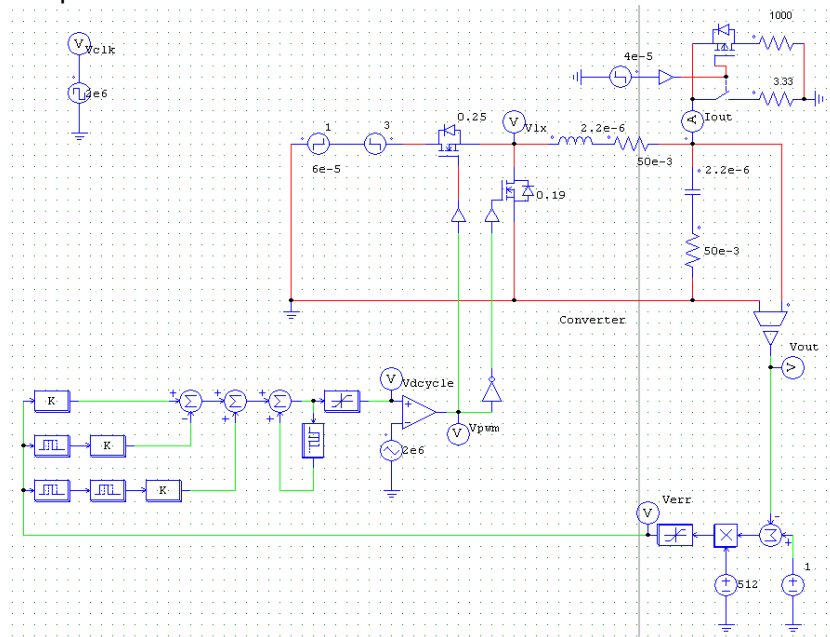


Figura 7-19 Modelo do abaixador com o controlador digital PID, com variação na carga e na tensão de entrada, em PSIM.

Embora não sendo um modelo verdadeiramente digital, devido à não utilização do conversor AD, os cálculos serem realizados na base real, com resolução infinita, e o sinal *PWM* ser gerado pela comparação entre o sinal *duty cycle* e um sinal dente de serra à frequência de amostragem (*PWM* analógico), este modelo, é um bom ponto de partida para a análise da resposta do sistema a variações na carga e na entrada, para as diversas frequências de funcionamento. Os resultados das simulações a 2MHz e a 32MHz são apresentados em seguida:

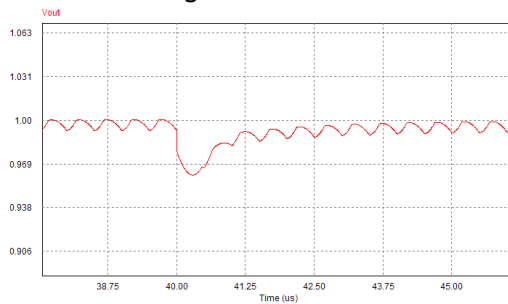


Figura 7-20 Variação na corrente de saída de 1mA para os 300mA, na resposta a 2MHz.

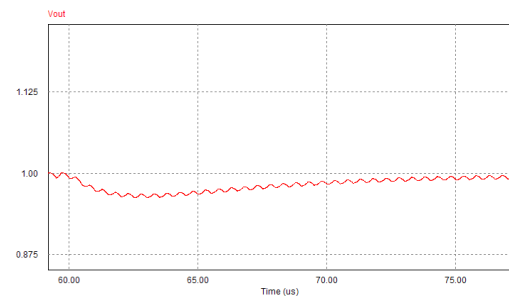


Figura 7-21 Variação na tensão de entrada de 3V para 2V, na resposta a 2MHz.

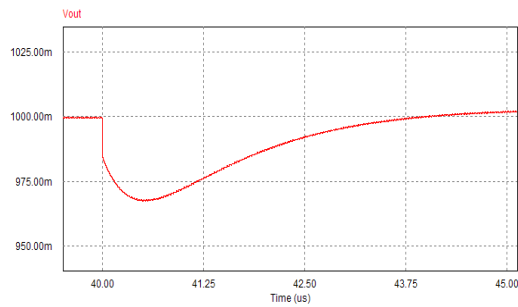


Figura 7-22 Variação na corrente de saída de 1mA para os 300mA, na resposta a 32MHz.

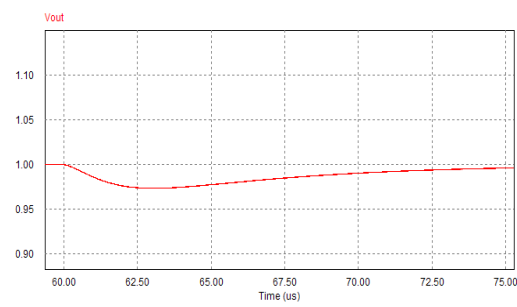


Figura 7-23 Variação na tensão de entrada de 3V para 2V, na resposta a 32MHz.

Da análise dos resultados anteriores, confirmam-se os resultados obtidos em *Matlab* na secção 7.2.4. Verifica-se que o sistema discreto possui um comportamento muito semelhante ao sistema analógico, mesmo a 2MHz. Para variações na carga de 1mA para os 300mA a sobreelongação é cerca de 40mV e o tempo de estabelecimento de 5us, para ambas as frequências. Para variações na entrada de 3V para os 2V a sobreelongação é cerca de 30mV e o tempo de estabelecimento de 15us, para ambas as frequências. Também são visíveis as diferenças de comportamento do sistema a 2MHz face ao modelo a 32MHz. O modelo a 32MHz apresenta uma evolução muito semelhante ao analógico, enquanto o sistema a 2MHz possui uma maior ondulação e uma dinâmica ligeiramente diferente às perturbações, devido à baixa frequência de amostragem em relação à dinâmica do processo.

Podemos então concluir, que o controlador digital cumpre os requisitos de projecto, para as frequências em estudo 2 e 32MHz.

Apesar de este modelo ser uma boa aproximação ao comportamento do controlador em digital, uma importante variável de processo não foi incluída, o atraso relacionado com o conversor *SAR ADC*. O *SAR* demora um ciclo de relógio a efectuar a aproximação à tensão de saída, logo o valor do erro é atrasado de um período de amostragem. Este atraso tem um efeito relevante na acção de controlo sobretudo a baixas frequências de amostragem face à dinâmica do processo.

É necessário ter uma boa exactidão na modelação dos sistemas com grandes atrasos de transporte, dado que são bastante sensíveis a erros de modelação. (Verwer) Adicionando ao modelo um atraso ao sinal de erro de 500ns a 2MHz e de 31.25ns a 32MHz, obtêm-se os seguintes resultados:

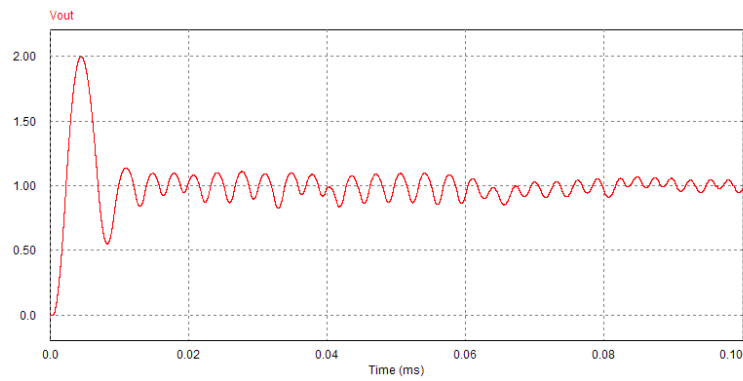


Figura 7-24 Resposta do sistema a 2MHz com um atraso de propagação no sinal de erro de 500ns.

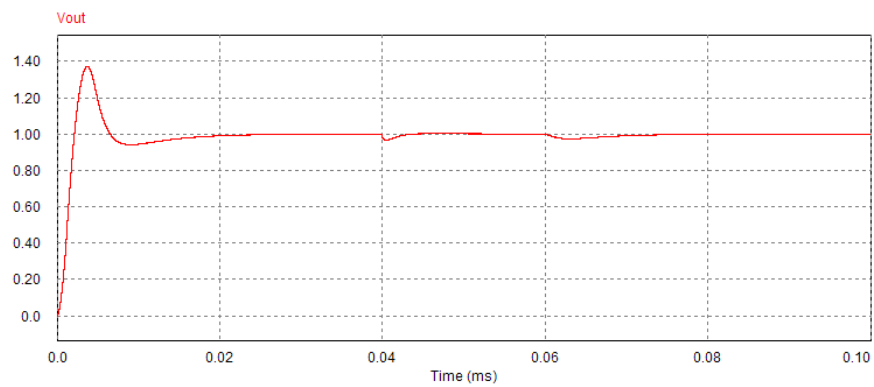


Figura 7-25 Resposta do sistema a 32MHz com um atraso de propagação no sinal de erro de 31.25ns.

Analisando os resultados conclui-se que a introdução de um atraso de 500ns, não permite o correcto controlo do sistema, sendo necessário reformular o controlador. Tal não acontece a 32MHz, visto que o atraso é pequeno face à constante de tempo de resposta do conversor.

7.5. Sistema digital com atraso

Um atraso puro num sistema digital produz um ou mais pólos na origem do plano 'z'. Quando o período de amostragem é pequeno em relação ao atraso do sistema, são criados muitos pólos na origem do plano 'z', piorando o comportamento do sistema ou tornando-o mesmo instável.

Para controlar o sistema a 2MHz, o controlador digital será revisto, de forma a ter o comportamento mais próximo possível do pretendido. Para tal foram efectuados os seguintes passos:

1. Adicionar ao processo, pólos na origem do plano 'z'.
2. Através da aplicação *sisotool*, redesenhar o controlador de forma a garantir o comportamento desejado do sistema.
3. Efectuar a simulação do controlador no modelo *PSIM*, com atraso.

Inicialmente foi adicionado um pólo na origem, contudo os resultados com o novo controlador não foram os desejados. Com a adição de outro pólo e adaptação do controlador obtiveram-se resultados mais próximos dos pretendidos. Em seguida são apresentados as figuras e os resultados de todo este processo.

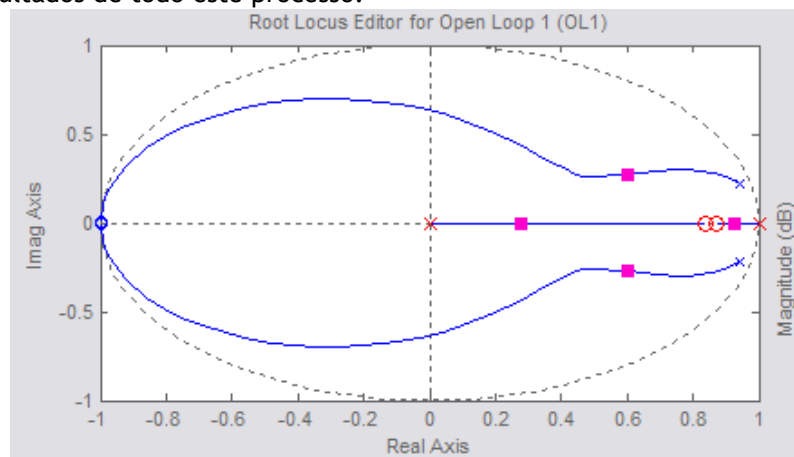


Figura 7-26 LGR do sistema com controlo digital, sem considerar o atraso.

A Figura 7-26 representa o LGR do sistema sem considerar o atraso de propagação. Os pólos complexos dominantes estão no local pretendido.

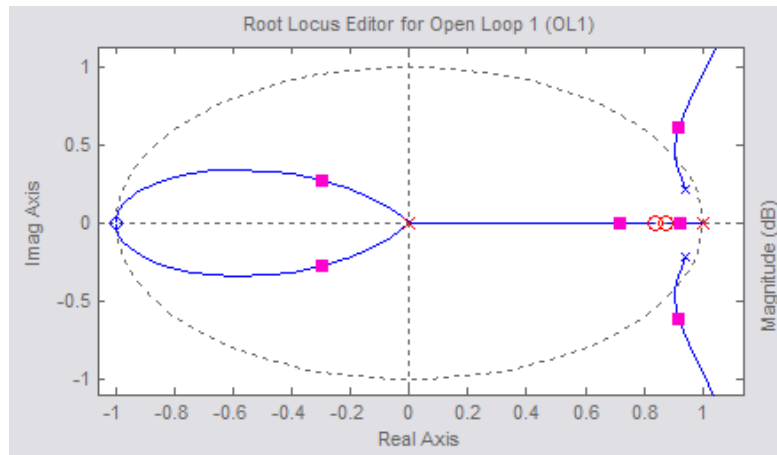


Figura 7-27 LGR do sistema com controlo digital, considerando o atraso.

Como a Figura 7-27 ilustra, a inclusão de dois pólos na origem do eixo 'z', para considerar o efeito do atraso de propagação, torna o sistema instável, estando os pólos dominantes no exterior do círculo unitário.

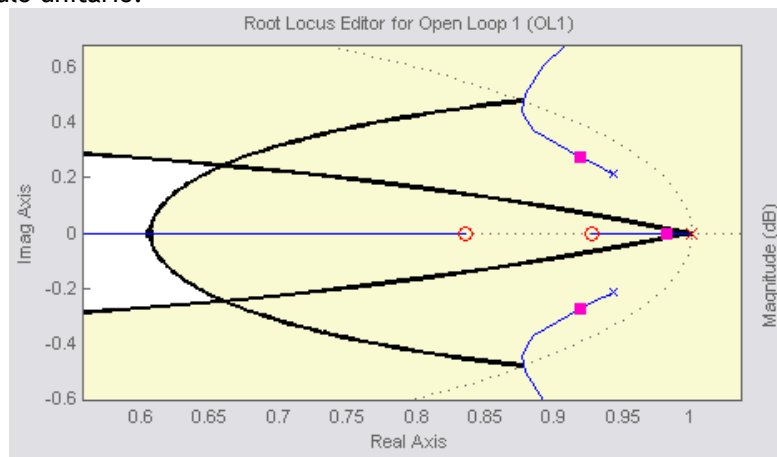


Figura 7-28 LGR do sistema com controlo digital modificado, considerando o atraso.

A Figura 7-28 ilustra o reposicionamento dos zeros, pólo e ganho do controlador de forma a controlar o sistema com atraso. O local ideal para o posicionamento dos pólos dominantes em malha fechada é a intercepção das duas linhas a preto, local onde o coeficiente de amortecimento e a frequência natural são:

$$\zeta \triangleq 0.7$$

$$w_n \triangleq 1E6rad/s$$

Contudo devido aos pólos na origem é impossível com este tipo de controlador obter o comportamento desejado. Através da análise da sua resposta nos tempos foi obtido um controlador que mantém uma relação entre o tempo de estabelecimento e sobreelongação aceitável, obtendo-se os seguintes resultados, Figura 7-29.

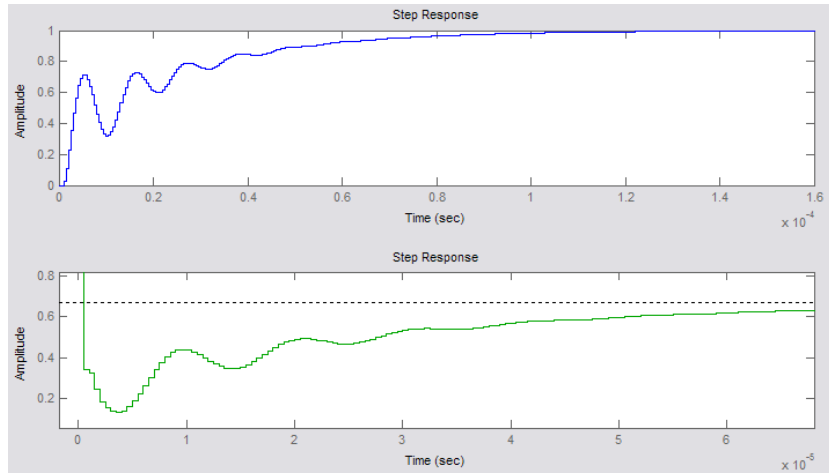


Figura 7-29 Em cima resposta ao degrau do novo controlador.

Em baixo está representada a acção de controlo.

A nova equação de controlo:

$$\tilde{G}_{pid2_2MHz_delay2}(z) = 1.4525 \left(\frac{(z - 0.927)(z - 0.836)}{(z - 1)z} \right) \quad (7.29)$$

O que origina a respectiva equação às diferenças:

$$\tilde{d}(i)_{2MHz_delay2} = 1.453\tilde{e}(i) - 2.555\tilde{e}(i - 1) + 1.125\tilde{e}(i - 2) \quad (7.30)$$

A Figura 7-30 ilustra a resposta ao degrau do novo controlador. É visível a degradação no tempo de estabelecimento de cerca 100us, e principalmente, a degradação na sobreelongação. Este é o principal efeito que vai prejudicar a resposta do sistema às perturbações, como irá ser analisado em seguida, com o auxílio do *PSIM*.

As figuras seguintes apresentam os resultados obtidos para uma variação da corrente de saída de 1mA para os 300mA, aos 0.4ms, bem como a uma variação na tensão de entrada 3V-2V, aos 0.6ms.

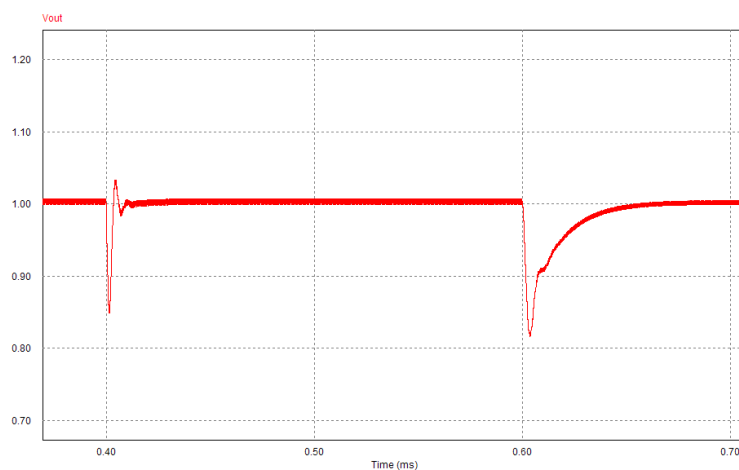


Figura 7-30 Resposta do sistema em *PSIM* a uma variação da corrente de saída de 1mA-300mA, aos 0.4ms, e a uma variação na tensão de entrada 3V-2V aos 0.6ms.

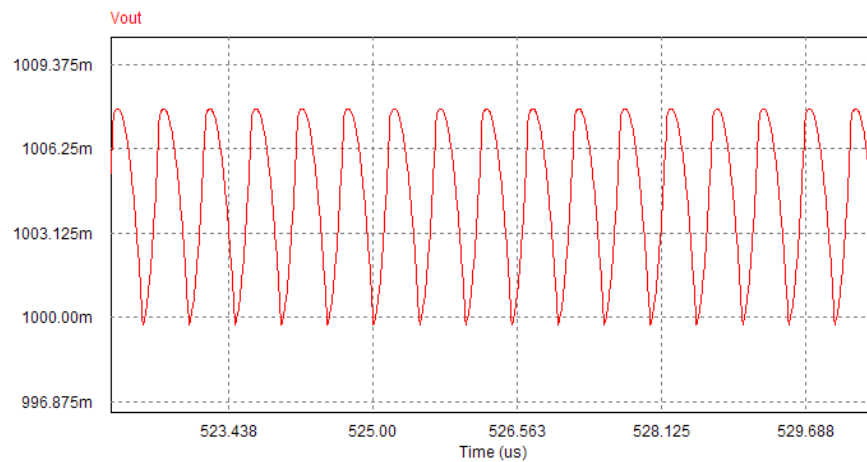


Figura 7-31 Resposta do conversor com detalhe no erro em regime permanente de aproximadamente 4mV, e ondulação de 8mV.

Analisando a Figura 7-30 verifica-se que a sobreelongação é cerca de 150mV, para a variação na corrente de saída, e cerca de 180mV, para a variação da tensão de entrada. O tempo de estabelecimento é cerca de 10us, para a variação na corrente de saída, e aproximadamente 45us para o degrau na tensão de entrada. A Figura 7-31 apresenta em detalhe a resposta em regime permanente, que apresenta um erro de 4mV em relação à referência de 1V, e uma ondulação de 8mV.

7.6. Conclusões

Neste capítulo foi realizada a descrição digital do sistema. Inicialmente foram estudados os métodos para efectuar a emulação do sistema analógico para digital. Para efectuar o mapeamento do sistema para digital foram estudadas e aplicadas duas abordagens: o método de *Tustin*, e o método composto por *Tustin* e *Euler*. Ficou comprovada a análise teórica efectuada, que indica que o método composto por *Tustin* e *Euler* produz melhores resultados, através da simulação em ambiente *Matlab*.

Em seguida foi criado o modelo “digital” do sistema em *PSIM*, e realizadas as primeiras simulações do controlador em ‘z’, confirmando que a resposta, em tensão, para variações na carga e para variações na tensão de entrada eram equivalentes ao sistema analógico.

Por fim, foi analisado a influência do atraso de propagação do sinal de erro no sistema. Ficou demonstrado que um atraso de propagação de um período de amostragem a 2MHz, 500ns, torna o sistema instável, devido à inclusão de dois pólos na origem do círculo unitário (como se pode observar pela Figura 7-27). Sendo necessário redesenhar o controlador em digital de forma a obter um comportamento satisfatório (Figura 7-28).

Ficou demonstrado que o novo controlador não satisfaz as restrições do projecto, considerando o tempo de atraso de um período a 2MHz. **Com esta topologia de controlo, a 2MHz, não é possível obter um comportamento que satisfaça os requisitos do projecto.**

No capítulo seguinte é efectuada a modelação do sistema em *Verilog HDL*, que permitirá obter o modelo digital do sistema, e será criada uma versão sintetizável da secção digital do nosso sistema (a parte cinza da Figura 7-15).

Capítulo 8

Verilog HDL

8.1. Introdução

As principais linguagens de descrição de hardware utilizadas pelos IC designers (projectistas de sistemas digitais) são o *Verilog HDL* e o *VHDL*._(wikipedia)

As *HDL's* (*hardware description languages*) possibilitam aos projectistas efectuar simulações nos estados iniciais de projecto, úteis para corrigir erros e simular diferentes arquitecturas de projecto. A descrição de projectos em *HDL* é independente da tecnologia utilizada, fácil de projectar, depurar, e tipicamente mais legível que os esquemas principalmente em circuitos de grandes dimensões._(Wawrzynek)

O *Verilog* foi inventado por *Phil Moorby* e *Prabhu Goel* em 1983/1984 no *Automated Integrated Design Systems*, que posteriormente, se passou a chamar *Gateway Design Automation*. Foi adquirida pela *Cadence Design Systems* em 1990, que desde então é a proprietária intelectual do *Gateway's Verilog*. A linguagem tornou-se de domínio público em 1995, referida como *Verilog 95*. Desde então foram lançadas duas actualizações o *Verilog 2001* e recentemente o *Verilog 2005* (versão utilizada neste trabalho)._(wikipedia)

O *Verilog* permite descrever os projectos em 4 níveis de abstracção:

1. Nível algorítmico (próximo de uma linguagem de alto nível como C);
2. Nível *RTL* (*register transfer level*);
3. Nível das portas lógicas (*AND*, *NOR*, ...);
4. Nível do interruptor (transístores *MOS*).

A linguagem também é utilizada para controlar as entradas/saídas de informação das simulações.

Recentemente o *Verilog* é a ferramenta de entrada de programas de síntese lógica, que geram automaticamente uma descrição do circuito, para portas lógicas (*netlist*). Contudo nem todos os comandos de *Verilog* são sintetizáveis e a descrição do circuito pode afectar consideravelmente o seu tamanho, a sua frequência de operação e o seu consumo de energia, após síntese. Os circuitos não sintetizáveis são tipicamente utilizados para elaborar bancadas de teste (*testbenches*) que permitem simular o circuito.

Existem dois tipos de descrição nas *HDLs*:

- Estrutural, a qual descreve directamente o hardware a utilizar, no nível das portas lógicas;

- Comportamental, que se assemelha a uma linguagem de alto nível como *C*.

Neste trabalho ambos os tipos são utilizados, sendo a comportamental mais utilizada para modelos não sintetizáveis. A parte analógica/potência do conversor será descrita em *Verilog* com base em aproximações às equações diferenciais que descrevem o comportamento dos seus componentes, como a bobina e o condensador.

8.2. Modelo ideal: modelação e simulação

8.2.1 Modelo ideal: modelação

Tendo como base o modelo funcional do conversor cc-cc em *Verilog*, fornecido pela *Chipidea*, foi criada uma nova descrição do sistema, controlador e conversor, e a sua bancada de teste (*testbench*). Inicialmente foi criada uma descrição comportamental, equivalente ao modelo em *PSIM* mencionado anteriormente. O erro foi gerado através da emulação do modelo do *SAR ADC*, o controlador *PID* é ideal⁵, e todos os cálculos intermédios são operações reais, apenas o módulo que gera o sinal *PWM* é implementável e efectua as operações em vírgula fixa. Para a parte de potência do conversor foi adaptado o modelo em *Verilog* que descreve de uma forma aproximada o seu comportamento (interruptores *MOS*, condensador e bobina), de forma a criar o modelo realimentado do conversor e controlador. Por fim foram realizadas simulações com recurso ao simulador da *Cadence*, *NCsim*, e comparados os resultados com os modelos em *PSIM*.

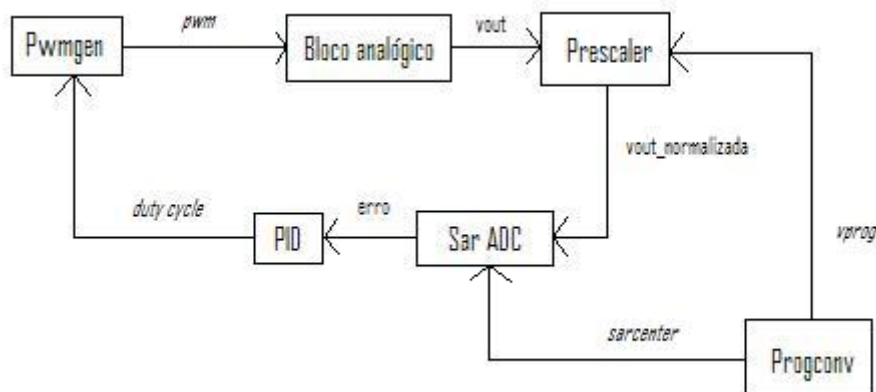


Figura 8-1 Figura representativa do sistema em *Verilog*.

A Figura 8-1 representa a topologia do sistema em *Verilog* que irá ser utilizada para elaborar os modelos, ideal e sintetizável do nosso controlador e conversor.

⁵ Ideal no contexto significa que as operações aritméticas realizadas no cálculo do novo valor de *duty cycle* são realizadas em vírgula flutuante, e que os ganhos utilizados nos cálculos possuem até 5 casas decimais.

De modo a obter o modelo realimentado em *Verilog*, foram realizados diversos passos intermédios:

1. Descrição da parte analógica, sua simulação e comparação com os modelos em *PSIM*.
2. Descrição do *SAR ADC* e sua simulação.
3. Descrição do controlador PID, simulação e comparação com os modelos em *PSIM*.
4. Descrição em malha aberta do conversor e controlador, variando o sinal de erro, simulação e comparação com os modelos em *PSIM*.
5. Por fim descrição do modelo realimentado, simulação e comparação com os modelos em *PSIM*.

Em seguida são apresentados os resultados da simulação do sistema em malha fechada. Os resultados dos passos intermédios, indicados anteriormente, não são mencionados, para não tornar este documento demasiado longo.

8.2.2 Modelo ideal: simulação

A Figura 8-2, ilustra a resposta do sistema realimentado ideal, em *NCsim* a 2MHz. Aos 0.4ms existe uma variação na corrente de saída de 1mA para os 300mA e aos 0.6ms existe uma variação na tensão de entrada de 3V para os 2V.

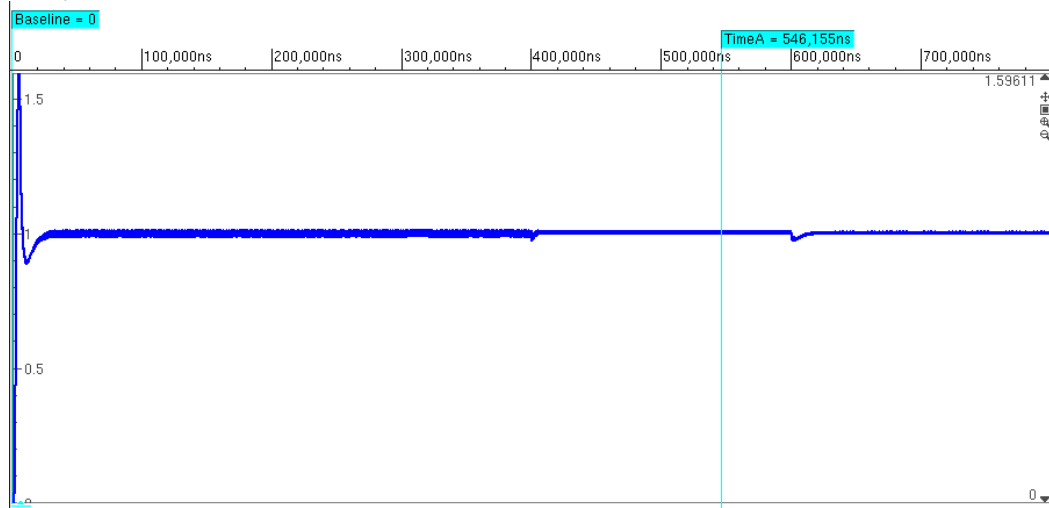


Figura 8-2 Simulação em *NCsim*, variação na corrente de saída 1mA-300mA, aos 0.4ms e variação na tensão de entrada de 3V-2V, aos 0.6ms.

A Figura 8-3, ilustra a resposta do sistema a uma variação na corrente de saída de 1mA para os 300mA. A sobreelongação é cerca de 50mV e o tempo de estabelecimento de 5us.

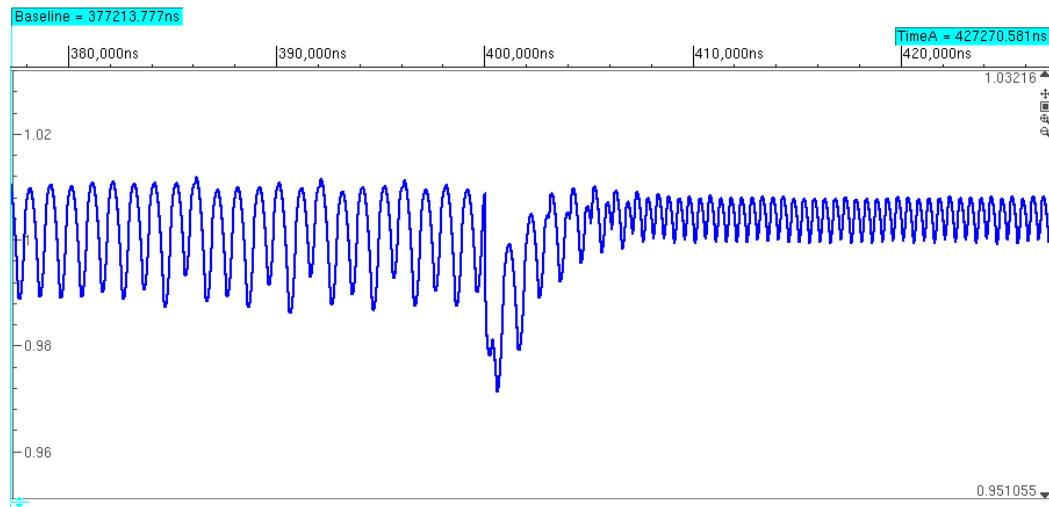


Figura 8-3 Variação na corrente de saída de 1mA-300mA em mais detalhe.

A Figura 8-4, ilustra a resposta do sistema a uma variação na tensão de entrada 3V-2V. A sobreelongação é cerca de 50mV e o tempo de estabelecimento de 15us.

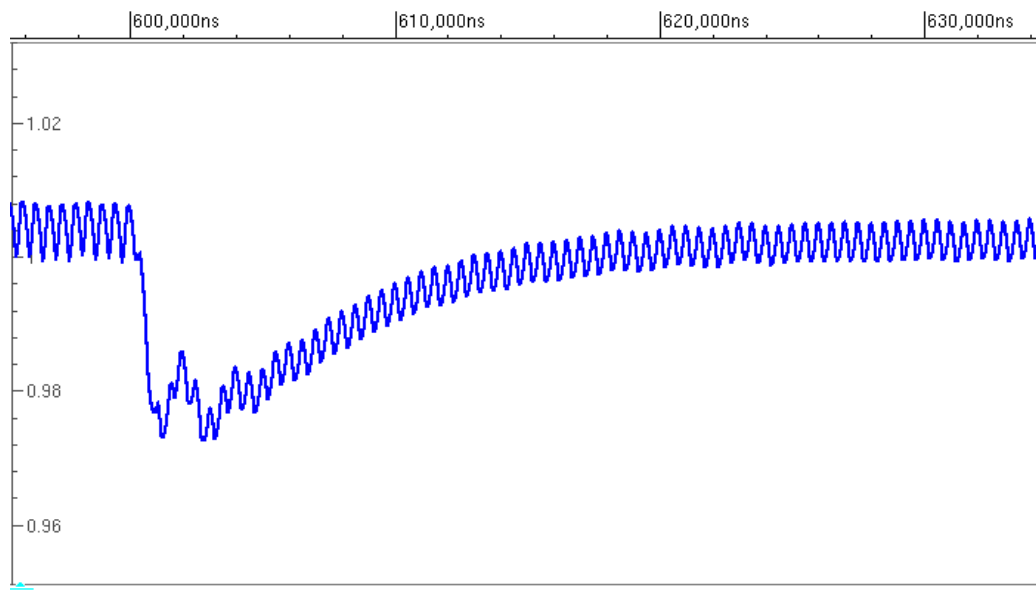


Figura 8-4 Variação na tensão de entrada 3V-2V ao pormenor.

A Figura 8-5, ilustra a resposta do sistema em regime permanente. Possui um erro de aproximadamente 4mV e uma ondulação de 8mV.

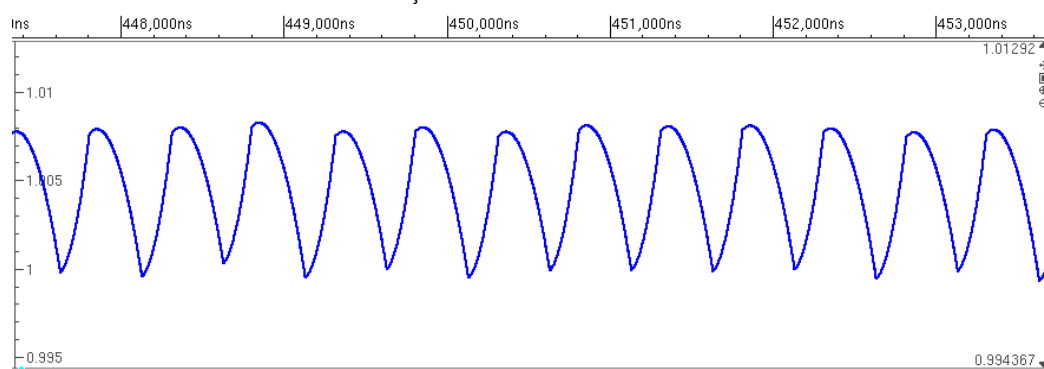


Figura 8-5 Ondulação na tensão de saída de 8mV e erro em regime permanente de aproximadamente 4mV.

Analisando as figuras anteriores, verifica-se que resultados são semelhantes aos obtidos na secção 7.4.4, o que valida o modelo em *Verilog* e comprova que o sistema ideal (sem atraso de propagação) cumpre as restrições de projecto.

8.3. Modelo sintetizável: modelação e simulação

8.3.1 Modelo sintetizável: modelação

Neste modelo já é utilizada a descrição do SAR ADC que calcula o erro de tensão da saída do conversor, em relação à referência pretendida. Todos os cálculos realizados na lógica de controlo são efectuados em vírgula fixa, com resolução finita. Também a descrição do controlador é implementável com utilização de multiplicadores, somadores e registos.

Aqui não é utilizado o módulo *pwmgen512MHz*, mas sim o seu equivalente a 128MHz, *pwmgen128MHz*. Desta forma é possível introduzir pelo *pad* o sinal de relógio a 128MHz, evitando-se o uso de um *pll* para criar o sinal de relógio interno a 512MHz.

A simulação é novamente realizada a 2MHz, o SAR ADC e o DPWM possuem uma resolução de 8bits, os resultados das simulações são apresentados na secção 8.3.5.

Todos os módulos utilizados na construção deste modelo são referenciados no capítulo 8.5, (descrição dos módulos). Em seguida são apresentadas questões relacionadas com a resolução do SAR ADC e do DPWM que influenciam o desempenho do sistema digital, e questões relacionadas com os efeitos nocivos da metaestabilidade.

8.3.2 Considerações sobre a resolução do SAR ADC

O número de bits do SAR ADC é crucial na resolução pretendida para a tensão de saída do conversor. Para satisfazer os requisitos para a ondulação na tensão de saída, a resolução do SAR ADC tem de possuir um erro inferior à ondulação na tensão de saída. Se o valor máximo da ondulação de saída é ΔV_o , a tensão máxima para o SAR ADC é V_{ADCmax} e a tensão de saída é normalizada por um ganho G para cumprir os níveis de tensão do ADC, o bit menos significativo do ADC tem de ser inferior ao produto da ondulação máxima pelo ganho G :

$$\Delta V_o * G \geq \frac{V_{ADCmax}}{2^{k_{ADC}}} ; k_{ADC} \text{ é o número de bits do ADC} \quad (8.1)$$

Resolvendo em ordem a k_{ADC} :

$$k_{ADC} = \text{int}[\log_2(\frac{V_{ADCmax}}{\Delta V_o * G})] \quad (8.2)$$

Para as simulações realizadas:

$$\begin{aligned} V_{ADCmax} &= 1V ; G = 0.512 ; k_{ADC} = 8bits \\ \Delta V_o &\geq \frac{1}{256 * 0.512} \geq 7.6mV \end{aligned} \quad (8.3)$$

8.3.3 Considerações sobre a resolução do *DPWM*

Um controlador analógico não possui qualquer limitação inerente à geração do sinal *PWM* mas, em digital, o *DPWM* só consegue produzir um número finito de larguras de impulso *PWM*. Do ponto de vista da saída em regime permanente apenas uma gama de tensões é igualmente possível. Porque o *DPWM* é parte da malha fechada, é necessário que a sua resolução seja suficientemente elevada para que a saída não apresente o fenómeno descrito por “*limit cycle*”. Este é caracterizado pela presença de uma oscilação de amplitude e frequência fixa na saída, independentemente do seu estado inicial. (Miller)

O número de bits necessários para não apresentar “*limit cycle*” depende da topologia, da tensão de saída, e da resolução do *ADC*.

Para o conversor abaixador, *buck*:

$$V_o = DV_i \quad ; \quad D \text{ é o duty cycle} \quad (8.4)$$

Derivando a equação anterior, resulta:

$$\Delta V_o = V_i \Delta D \quad (8.5)$$

Substituindo V_i por V_o/D , e se o *DPWM* tiver k_{pwm} bits, o menos significativo é:

$$\Delta D = \frac{D \Delta V_o}{V_o} = \frac{1}{2^{k_{pwm}}} \quad (8.6)$$

De (8.1) e de (8.6) deriva-se a equação para k_{pwm} :

$$k_{pwm} = \text{int} \left[k_{ADC} + \log_2 \left(\frac{G * V_o}{V_{ADCmax} * D} \right) \right] \quad (8.7)$$

No nosso caso:

$$\begin{aligned} V_{ADCmax} &= 1V \quad ; \quad G = 0.512 \quad ; \quad k_{ADC} = 8bits \quad ; \quad D = 0.333 \\ k_{pwm} &= \text{int} \left[8 + \log_2 \left(\frac{0.512 * 1}{1 * 0.333} \right) \right] = 9bits \end{aligned} \quad (8.8)$$

8.3.4 Considerações sobre a metaestabilidade

Num circuito digital síncrono é necessário garantir que a probabilidade do sistema permanecer no estado metaestável (*quasi stable state*) seja reduzida. Este estado é caracterizado por um período de tempo em que o *flip-flop* não se encontra no valor '1' nem no valor '0', e ocorre quando existem violações temporais no tempo de *setup* ou no tempo de *hold* do *flip-flop*.

Em teoria um *flip-flop* pode permanecer indefinidamente no estado metaestável. Mas, na realidade, pequenas diferenças térmicas, ou ruído induzido, causam que a saída tenda para o estado '0' ou '1'. (Tala)

A metaestabilidade pode ocorrer quando:

1. As entradas do circuito são sinais assíncronos.
2. Quando o sinal de relógio possui um *skew/slew* muito elevado (tempo de subida e descida são superiores aos valores toleráveis).
3. Quando existem dois domínios que operam a diferentes frequências ou à mesma frequência mas com diferente fase.
4. Se o atraso combinacional for muito elevado para que o sinal de dados do *flip-flop* comute no interior da janela crítica (janela de tempo de *setup* + *hold*).

A figura seguinte ilustra uma possível situação de metaestabilidade:

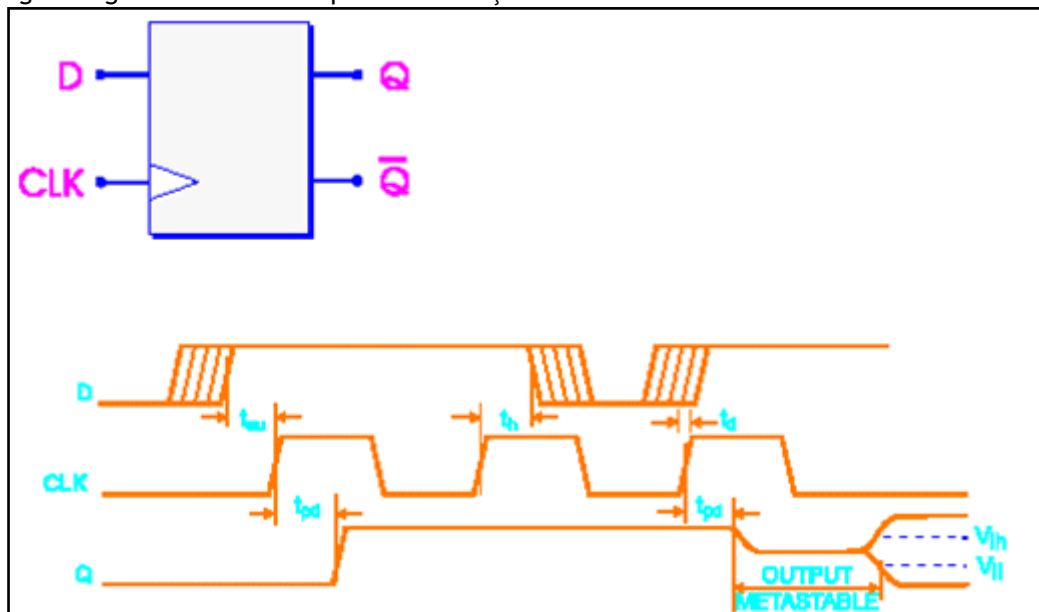


Figura 8-6 Possível situação de metaestabilidade de um *flip-flop*.

Não é possível eliminar a metaestabilidade mas é possível diminuir a sua probabilidade de ocorrência. O caso mais simples é aumentar o período de relógio permitindo que o estado metaestável se resolva e que o tempo de propagação até ao próximo *flip-flop* na cadeia de lógica do circuito seja admissível. Contudo esta abordagem não é praticável porque não satisfaz os requisitos de desempenho dos sistemas modernos. (Tala)

A forma mais comum de diminuir a ocorrência da metaestabilidade é adicionar sucessivos *flip-flops* de sincronização às entradas do circuito síncrono. Esta abordagem permite que num período de amostragem os eventos de metaestabilidade do primeiro *flip-flop* se resolvam. Contudo possui a desvantagem de aumentar a latência do circuito lógico síncrono a comutações na sua entrada. Este método não garante que a metaestabilidade não ultrapassa os estágios do sincronizador, apenas reduz a sua probabilidade para níveis satisfatórios. (Tala)

Esta é a abordagem utilizada neste trabalho. Foram utilizados dois módulos para sincronizar os sinais de entrada assíncronos do circuito (*rstz* e o *progconv*), o *rstzgen.v* para sincronizar o sinal de *reset* e o *datasync.v* para sincronizar o sinal *progconv*. Ambos utilizam 3 *flip-flops* de sincronização, reduzindo a probabilidade de metaestabilidade.

8.3.5 Modelo sintetizável: simulação em *NCsim* com *SAR ADC de 5 bits*

Em seguida são apresentados os resultados da simulação do modelo sintetizável apresentado na secção anterior. Será utilizada a descrição de um *SAR ADC* de 5bits, e os testes consistem em variar na corrente de saída de 1mA para os 300mA e em variar a tensão de entrada de 3V para 2V.

A figura seguinte ilustra a resposta em tensão do conversor a uma variação na corrente de saída dos 300mA para 1mA, no instante 0.5ms.

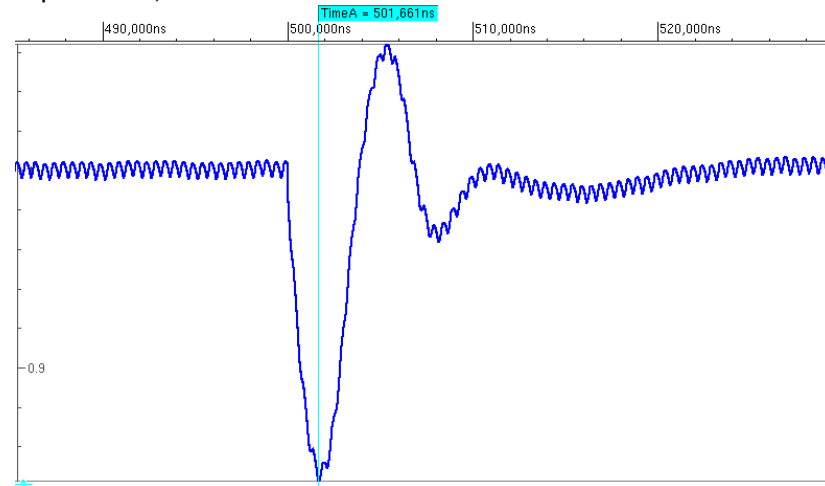


Figura 8-7 Detalhe da variação da tensão de saída a uma variação na corrente de saída de 1mA para os 300mA. Sobreelongação cerca de 180mV e tempo de estabelecimento de 15us.

A Figura 8-8 mostra a resposta em tensão do conversor para uma variação na tensão de entrada de 3V para os 2V no instante 0.5ms.

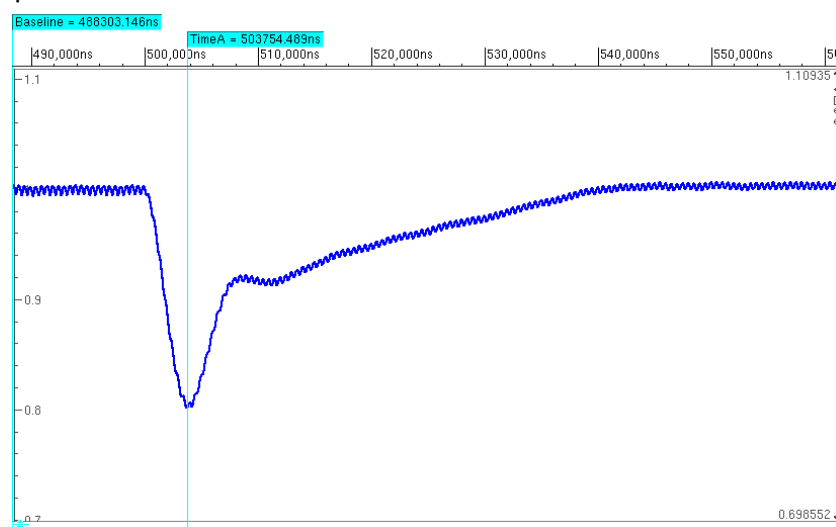


Figura 8-8 Detalhe da variação na tensão de entrada dos 3V para os 2V. Sobreelongação de 200mV e tempo de estabelecimento de 40us.

A figura seguinte ilustra a resposta em tensão do conversor em regime permanente, para uma tensão de saída de 1V.

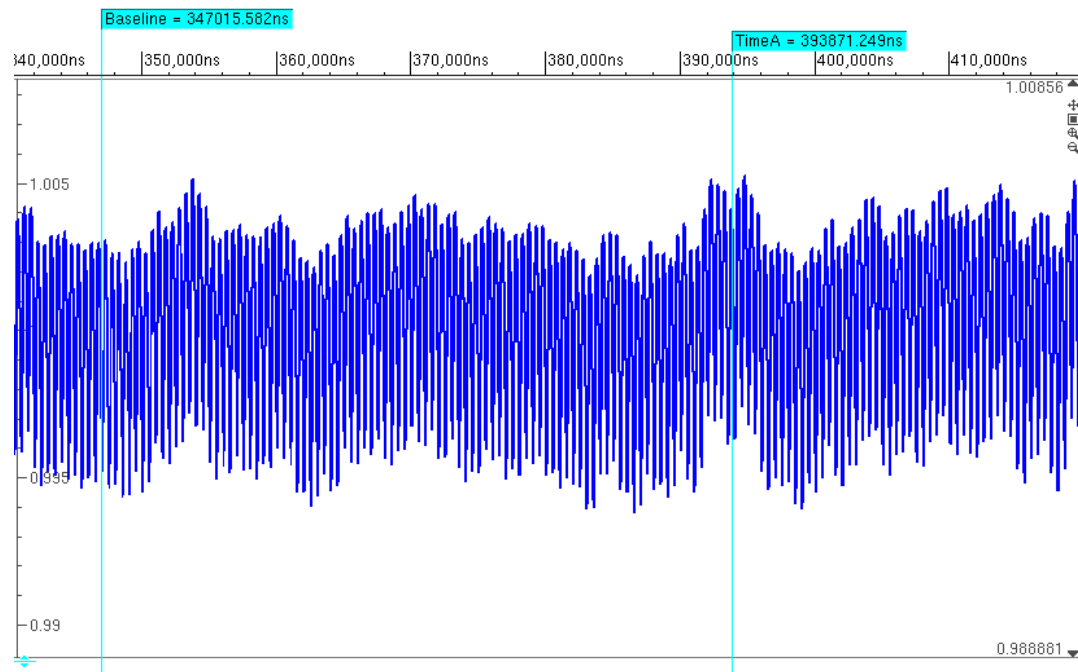


Figura 8-9 Detalhe da ondulação em regime permanente do sistema. Erro nulo em relação à referência e ondulação de cerca de 8mV.

De notar na Figura 8-7 que a sobreelongação e a oscilação na resposta à variação na carga pioram substancialmente em relação aos resultados em *PSIM*. Isto acontece devido à limitação imposta pelo *SAR ADC*, que sendo de 5bits em complemento para dois apenas suporta variações de 30mV a cada período de amostragem.

Os resultados da Figura 8-9 comprovam os resultados teóricos, o erro nulo em regime permanente característica do controlador PID, e a oscilação na tensão de saída de valor de 8mV, face ao resultado teórico esperado de 7.6mV equação (8.3). Também é visível que não ocorre o fenómeno de “*limit cycle*” comprovando que o *DPWM* de 8bits é suficiente, apesar do resultado teórico aconselhar uma resolução de 9bits, equação (8.8).

8.3.6 Modelo sintetizável: simulação em *NCsim* com *SAR ADC* de 6bits

Em seguida são apresentados os resultados da simulação do modelo sintetizável. É agora utilizada a descrição de um *SAR ADC* de 6bits, e os testes consistem em variar a corrente de saída de 1mA para os 300mA e em variar a tensão de entrada de 3V para 2V.

A Figura 8-10 ilustra o arranque do sistema para uma tensão de entrada de 3V, carga de 3.330hm e tensão de saída de 1V.

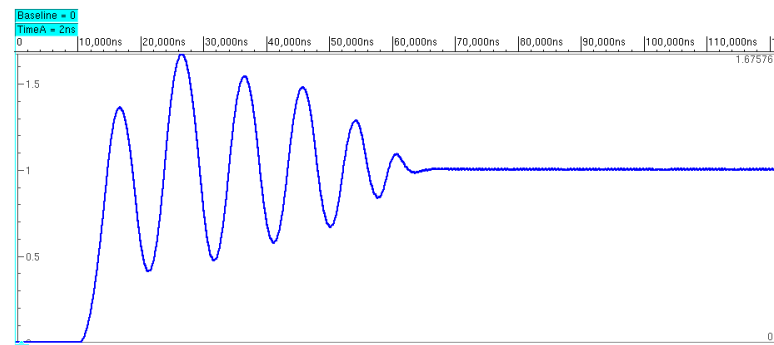


Figura 8-10 Arranque do sistema sem *soft start*.

Como a figura anterior ilustra, o sistema ao arrancar oscila durante 60us até estabilizar. Tal acontece porque o sistema sobre uma grande perturbação, para o qual o controlador não está dimensionado para reagir convenientemente. Este comportamento pode ser evitado utilizando-se um mecanismo de *soft start*⁶, que limita o sinal de *duty cycle* enviado para o *DPWM* durante o arranque do sistema.

A figura seguinte ilustra o exposto:

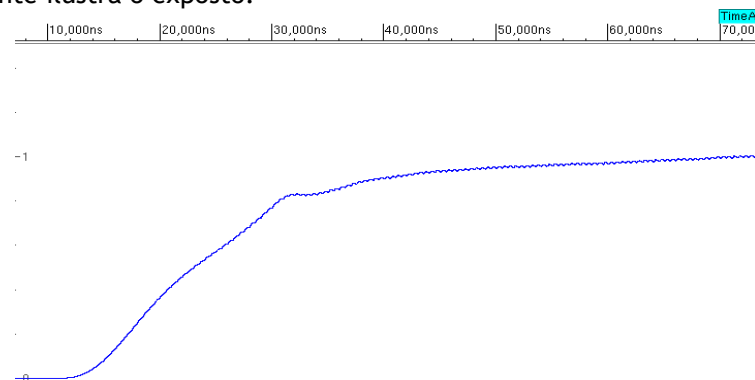


Figura 8-11 Arranque do sistema com *soft start*.

Como a figura anterior demonstra, com o mecanismo de *soft start* o sistema não oscila ao arrancar.

⁶ *Soft start* é o termo utilizado em electrónica que descreve um circuito que reduz o excesso de corrente durante o arranque de um sistema.

A figura seguinte ilustra a resposta em tensão do conversor a uma variação na corrente de saída dos 300mA para 1mA, no instante 0.515ms.

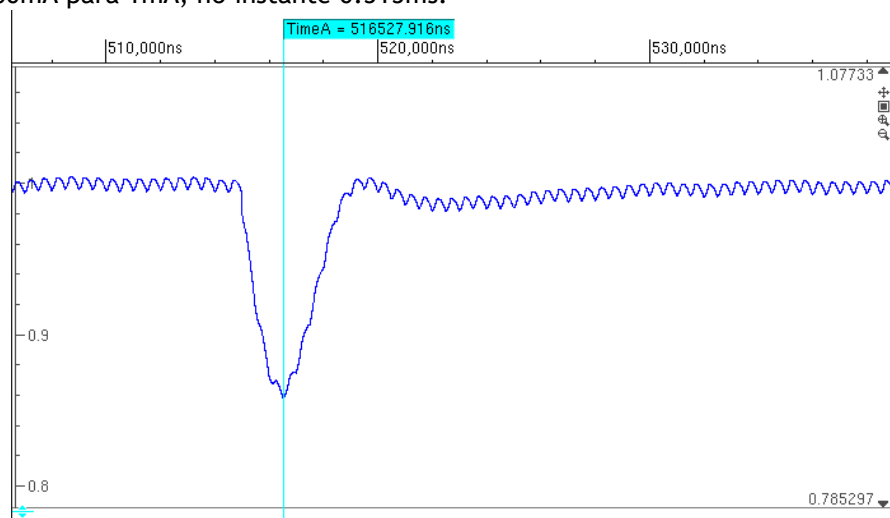


Figura 8-12 Detalhe da variação da tensão de saída a uma variação na corrente de saída de 1mA para os 300mA. Sobreelongação de 150mV e tempo de estabelecimento de 5 μ s.

A figura Figura 8-13 mostra a resposta em tensão do conversor para uma variação na tensão de entrada de 3V para os 2V no instante 0.5ms.

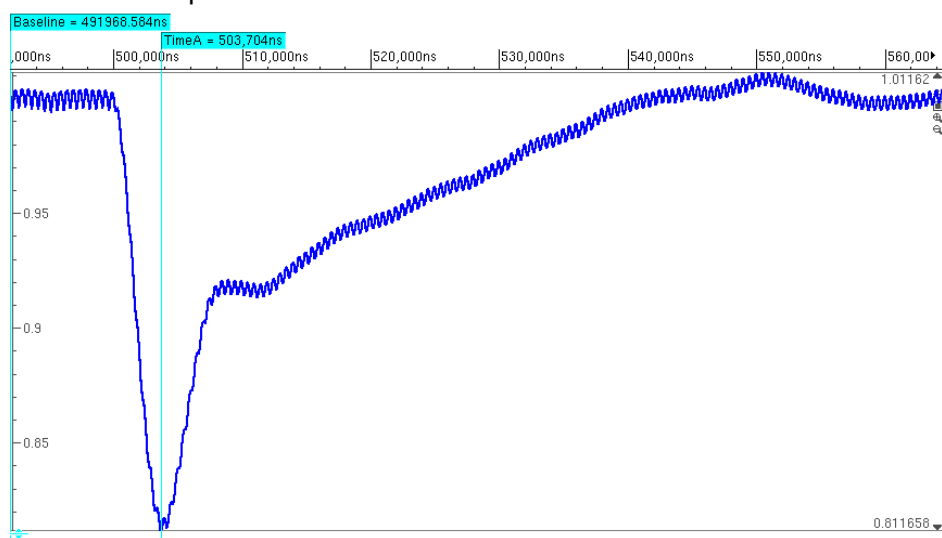


Figura 8-13 Detalhe da variação na tensão de entrada dos 3V para os 2V.
Sobreelongação de 200mV e tempo de estabelecimento de 40 μ s.

A figura seguinte ilustra a resposta em tensão do conversor em regime permanente, para uma tensão de saída de 1V.

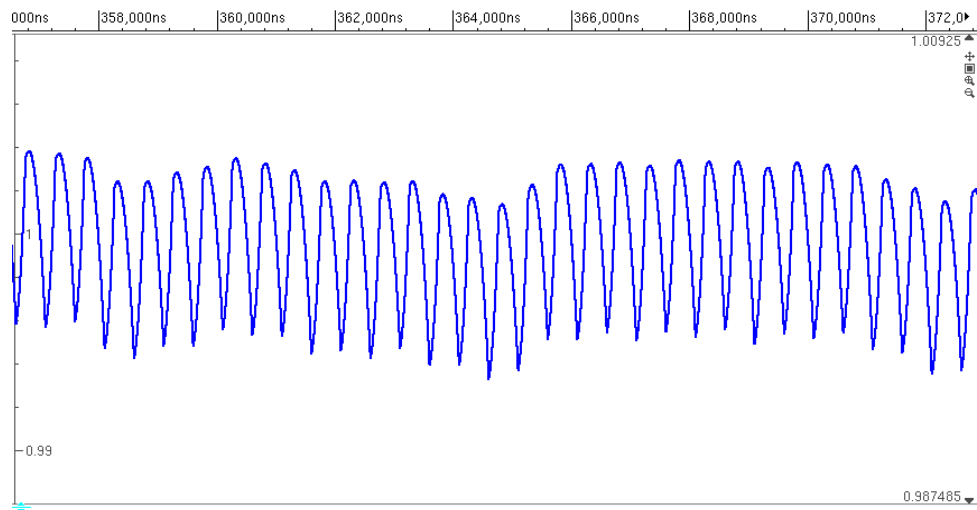


Figura 8-14 Detalhe da ondulação em regime permanente do sistema. Erro nulo em relação à referência de e ondulação de cerca de 8mV.

Este controlador foi otimizado para o processo G_{buck} que resulta de uma linearização em torno de um ponto de funcionamento, $V_{in}=3V$ e $R=3.33\Omega$. Assim, e de modo a validar o controlador procedeu-se à análise da resposta do sistema em torno de outros pontos de funcionamento, V_{in} e R . Tal como foi realizado no domínio analógico.

A Tabela 8-1 mostra a sobreelongação (sbl), e o tempo de estabelecimento (t_s) para variações de 10% e de 20% em relação a diversos valores nominais de corrente. A frequência da primeira oscilação (f_{osh}) neste caso não foi determinada (na).

Tabela 8-1 Sobreelongação e tempo de estabelecimento para variações de 10% e 20%, em torno de diversas correntes nominais, para Vout=1V e Vin=3V.

Resultados para Vout=1V ; Vin=3V							
carga nominal (ohm)	corrente nominal (mA)	carga (ohm)	corrente (mA)	sbl (mV)	ts (us)	tosc (us)	fosh (KHz)
		1250	1	0	0	0	na
		1111	1	0	0	0	na
1000	1						
		909	1	0	0	0	na
		833	1	0	0	0	na
		13	80	14	15	14	na
		11	90	12	5	14	na
10	100						
		9	110	10	5	14	na
		8	120	14	10	14	na
		6	160	30	20	14	na
		6	180	10	16	14	na
5	200						
		5	220	8	5	14	na
		4	240	28	20	14	na
		4	240	33	12	14	na
		4	270	20	10	14	na
3	300						
		3	330	14	5	14	na
		3	360	28	12	14	na
		3	320	44	6	14	na
		3	360	22	5	14	na
3	400						
		2	440	21	6	14	na
		2	480	36	6	14	na

		3	400	46	6	14	na
		2	450	25	5	14	na
2	500						
		2	550	26	6	14	na
		2	600	47	6	14	na
		2	480	48	10	14	na
		2	540	34	5	14	na
2	600						
		2	660	30	6	14	na
		1	720	56	7	14	na

Analisando a Tabela 8-1 verifica-se que para variações na corrente de saída muito baixas, 0.1mA, 0.2mA, a sobreelongação e o tempo de estabelecimento são praticamente inexistentes, a saída quase não oscila. Também verificamos que variações bruscas de 20% para diversos valores de carga nominal produzem, nos piores casos, uma sobreelongação de 56mV e um tempo de estabelecimento de 20us, o que satisfaz as restrições do projecto.

Os resultados anteriores foram obtidos para uma tensão de saída e de entrada fixas, $V_{out}=1V$ e $V_{in}=3V$. Ora, o conversor permite o correcto funcionamento para uma tensão de entrada entre 1.7V e 3.6V. Possui ainda uma tensão de saída, programável entre 0.8V e 1.4V, com uma resolução de 10mV. Sendo necessário simular o comportamento do controlador para os diversos pontos de funcionamento (V_{out} , V_{in}), foram, para tal, realizadas as seguintes simulações:

Tabela 8-2 Sobreelongação e tempo de estabelecimento para diversas tensões de saída, para uma variação de corrente 1mA para os 300mA.

Variação I_{out} (1mA-300mA) ; $V_{in}=3V$		
V_{out}	sbl (mV)	t_s (us)
0,8	110	8
0,9	131	8
1	138	8
1,1	158	10
1,2	170	10
1,3	182	10
1,4	osc	osc

A Tabela 8-2 mostra que a sobreelongação do sistema aumenta sucessivamente com o aumento da tensão de saída, para uma variação de 1mA para os 300mA na corrente de saída. E que para as tensões de saída em análise o limite máximo de sobreelongação de 100mV é sempre ultrapassado.

Tabela 8-3 Sobreelongação e tempo de estabelecimento para diversas tensões de entrada, para uma variação de corrente 1mA para os 300mA.

Variação Iout (1mA-300mA), Vout=1V		
Vin(V)	sbl (mV)	ts (us)
1,7	173	20
2	170	15
2,3	149	10
2,6	145	10
2,9	140	12
3,2	130	8
3,6	130	8

Através da Tabela 8-3 verifica-se que o sistema não satisfaz o máximo de sobreelongação para valores de tensão de entrada de 1.7V a 3.6V, a variações na carga 1mA-300mA.

Tabela 8-4 Sobreelongação e tempo de estabelecimento para diversas tensões de saída, para um degrau de entrada (3V-2V).

Variação Vin (3V-2V) ; Iout=300mA		
Vout(V)	sbl (mV)	ts (us)
0,8	147	34
0,9	160	35
1	184	32
1,1	201	40
1,2	215	54
1,3	250	30
1,4	osc	osc

Através da Tabela 8-4 verifica-se que o sistema não satisfaz o máximo de sobreelongação para valores de tensão de saída de 0.8V a 1.4V, a variações na tensão de entrada 3V-2V. Para a tensão de saída de 1.4V o sistema oscila, designado por “osc”.

8.4. Conclusões

Os resultados com o modelo ideal demonstram a validade da descrição em *Verilog*, os resultados obtidos são iguais aos obtidos em ambiente *PSIM*.

Através dos resultados obtidos com os modelos sintetizáveis, conclui-se o seguinte:

1. Com o *SAR ADC* de 6bits já não se verifica a resposta oscilatória da Figura 8-12, a uma variação na carga. A sobreelongação e o tempo de estabelecimento também diminuem, em relação aos resultados obtidos com o *SAR ADC* de 5bits.
2. Os resultados para uma variação na tensão de entrada dos 3V para os 2V são sensivelmente os mesmos, comparando as respostas obtidas com o *SAR ADC* de 6bits e o *SAR ADC* de 5bits.
3. Os resultados da descrição com o *SAR ADC* de 6bits são semelhantes aos obtidos em ambiente *PSIM* com atraso de propagação.
4. O comportamento, em regime permanente, de ambas as simulações realizadas, comprova as considerações teóricas sobre a resolução do *ADC* e do *DPWM*.

Analisando os resultados obtidos com o modelo sintetizável com *SAR ADC* de 6bit, conclui-se:

1. O controlador reage convenientemente a variações de 10% e de 20% na corrente de saída, para uma tensão de saída de 1V.
2. O sistema não possui um comportamento satisfatório, a uma variação na corrente de saída de 1mA para os 300mA, para tensões de saída entre 0.8V e 1.4V.
3. O controlador não regula de uma forma eficiente a tensão de saída de 1V para tensões de entrada entre 0.8V e 1.4V, para uma variação na corrente de saída de 1mA para 300mA.
4. O controlador não garante o correcto funcionamento do conversor para tensões de saída entre 0.8V e 1.4V a um degrau na tensão de entrada.

Conclui-se que os requisitos de projecto não são cumpridos, devido à sobreelongação excessiva na resposta a uma variação na carga de 150mV face ao limite imposto de 100mV.

Este foi o último esforço de modelação na obtenção de uma descrição sintetizável do nosso sistema de controlo digital. Em seguida é apresentada a descrição de todos os blocos *Verilog*, e no Capítulo 9 são apresentadas as conclusões do trabalho.

8.5. Descrição dos módulos

8.5.1 Módulo *clkgen.v*, gerador de sinais de relógio

8.5.1.1 Modo de funcionamento

Este módulo produz todos os sinais de relógio que permitem o funcionamento do bloco de controlo do nosso sistema. À entrada possui o principal relógio do sistema, com uma frequência de funcionamento de 32MHz, e o sinal de reset assíncrono. À saída possui os seguintes sinais apresentados em seguida:

1. *cycleclk*, relógio de funcionamento do controlador, com frequência de 2MHz.
2. *lastclk*, relógio que indica o antepenúltimo flanco ascendente do relógio de 32MHz, em cada período de amostragem (2MHz).
3. *compclk*, relógio para o funcionamento do comparador do SAR ADC.
4. *sarclk*, relógio para o funcionamento do SAR do ADC.

8.5.1.2 Descrição da implementação do componente

Os sinais de relógios são gerados a partir do sinal de relógio principal de 32MHz, através de divisores de relógio.

8.5.1.3 Descrição do *testbench* e verificação dos resultados

Na figura seguinte é apresentada o resultado da simulação deste bloco onde se pode verificar todos os sinais de relógio criados.

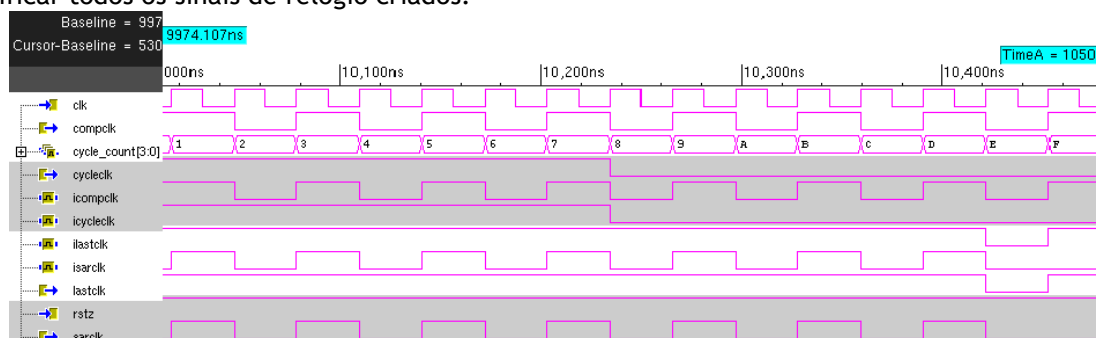


Figura 8-15 Formas de onda geradas pelo módulo *clkgen.v*.

8.5.2 Módulo *vsar.v*, SAR ADC de tensão

8.5.2.1 Modo de funcionamento

Este módulo efectua a operação conversão analógico digital, através do conversor SAR (*successive approximation*) ADC. O SAR ADC aplica o algoritmo *binary search*, a todos os níveis de quantificação possíveis até se obter a representação digital da tensão de entrada V_{IN} .

A Figura 8-16 ilustra os blocos constituintes do SAR ADC, o seu funcionamento inicia-se com a inicialização do registo do SAR (*MSB*) a '1'. Este valor é fornecido ao DAC o qual responde com a tensão $V_{REF}/2$. Em seguida este valor é comparado com V_{IN} , se for superior, causa um reset ao registo (*MSB*) do SAR e coloca o bit seguinte a '1'. Se for inferior a V_{IN} , o (*MSB*) mantêm o valor '1' e o bit seguinte passa a '1'. Este processo é repetido até todos os *bits* do SAR serem percorridos. O código resultante é a aproximação digital da tensão de entrada e é por fim a saída do ADC no final da conversão (*EOC*) [\(wikipédia\)](#); [\(Understanding SAR ADCs\)](#)

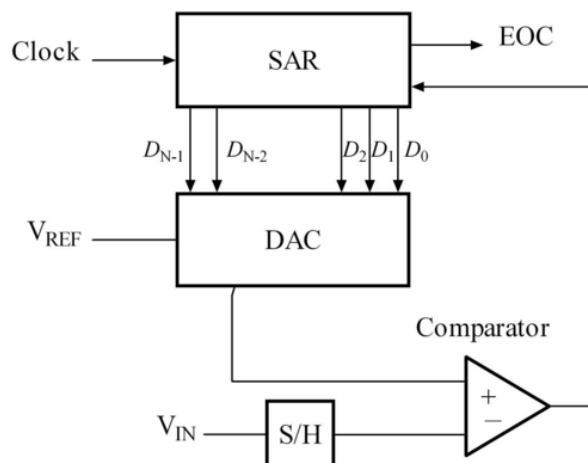


Figura 8-16 Blocos constituintes do SAR ADC.

8.5.2.2 Descrição da implementação do componente

O *vsar.v* é constituído pelos seguintes módulos:

1. *bitsar.v*, implementa o algoritmo de *binary search* e calcula a nova tensão de saída do SAR ADC, que seguida do DAC irá ser comparada no comparador.
2. *clkgen.v*, gera todos os sinais de relógio necessários à operação do SAR ADC.
3. *comp.v*, descreve o comparador, que efectua a comparação entre o valor de saída do DAC, e a tensão de entrada do conversor V_{in} .
4. *errcalc.v*, contém os módulos *bitsar.v* e *errcalc.v*, e é o módulo que implementa o SAR.
5. *saracc.v*, efectua o cálculo do valor do erro em relação à referência de tensão programada.
6. *vdac.v*, descreve o DAC que constitui o SAR ADC.

A saída do DAC é um sinal analógico que varia entre os 0V e os 0.512V, a um sinal de entrada de 8bits [0;255], ou seja, cada bit à entrada representa uma de tensão de 2mV (resolução do SAR ADC).

O SAR foi implementado recorrendo às descrições *bitsar.v* e *saracc.v*. O módulo *bitsar.v* executa o algoritmo *binary search* e envia o resultado para o *saracc.v*. Este vai acumulando o resultado até obter o valor do erro, se existir, em relação à tensão de referência (V_{ref}). A cada intervalo de amostragem o SAR, como é de 5bits, em complemento para dois, só consegue efectuar aproximações de [-16:16], ou seja [-32:32]mV em relação à tensão de saída. O valor de saída para o DAC é o valor do erro somado à tensão de referência.

8.5.2.3 Descrição do *testbench* e verificação dos resultados

Para verificar o funcionamento do circuito foi realizada uma breve simulação, colocando o sinal de relógio a 2MHz, a tensão de referência do SAR em 0.252V, e variando a tensão de entrada do SAR ADC de 0.258V para os 0.252V e por fim para os 0.240V. Ficando comprovada que a saída do DAC tende para o valor de entrada V_{in} , e é obtido o correcto valor de erro da tensão de entrada face ao valor de referência 0.252V. A figura seguinte ilustra o exposto:

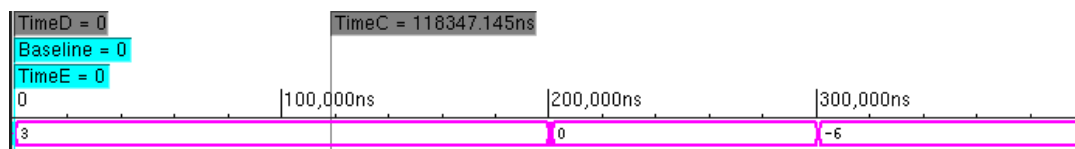


Figura 8-17 Saída do SAR ADC, sinal de erro, para tensões de saída em teste, 0.258V até aos 0.2ms, 0.252V entre os 0.2ms e os 0.3ms, e 0.240V após os 0.3ms.

8.5.3 Módulo pid.v, controlador digital $G_{pid2_2MHz_delay2}(z)$

8.5.3.1 Modo de funcionamento

Este módulo implementa em *Verilog* o controlador digital $\tilde{G}_{pid2_2MHz_delay2}(z)$. O módulo possui como entradas o sinal de relógio, à frequência de amostragem, o sinal de reset assíncrono activo a nível baixo e o sinal de *9bits* do erro em tensão. A saída é o sinal de *8bits duty cycle*. O seu funcionamento baseia-se no cálculo do novo esforço de controlo a aplicar, com base nas operações descritas na equação às diferenças que descreve o controlador.

8.5.3.2 Descrição da implementação do componente

Na descrição sintetizável do controlador é necessário adaptar os ganhos do controlador de forma serem implementáveis em vírgula fixa. Para tal foi utilizada a seguinte aproximação:

- Multiplicar os ganhos por 2^8 e arredondar para os inteiros mais próximos, verificando se o erro em relação aos ganhos ideais é inferior a 0.01dB, o que é um bom critério para a maioria das aplicações.

Inteiro aproximado com *8bits*:

$$\text{round}(\text{gain} * 2^8) \quad (8.9)$$

Erro em dB em relação ao ganho ideal:

$$\text{error}(dB) = 20\log_{10}((\text{round}(\text{gain} * 2^8)/2^8)/\text{gain}) \quad (8.10)$$

A equação de controlo tem a seguinte forma:

$$\tilde{G}_{pid}(z) = (k_c \frac{(z - z_1)(z - z_0)}{(z - 1)z}) \quad (8.11)$$

Os ganhos ideais são obtidos da equação de controlo da seguinte forma:

$$\begin{aligned} k_c &= \text{gain1} \\ k_c(z_0 + z_1) &= \text{gain2} \\ k_c(z_0 z_1) &= \text{gain3} \end{aligned}$$

Logo:

$$z_1 = \frac{\text{gain3} \pm \sqrt{\text{gain2}^2 - 4k_c \text{gain3}}}{2k_c} \quad (8.12)$$

De forma a não criar zeros complexos que iriam degradar o controlo, e estabelecendo os seguintes valores para o k_c e para o $gain3$ vem:

$$\begin{aligned} k_c &= 1.453 \\ gain3 &= 1.125 \\ gain2 &> \sqrt{4k_c gain3} \Leftrightarrow gain2 > 2.55704 \end{aligned} \quad (8.13)$$

O valor do 'gain2' tem de ser superior a 2.55704. De forma a cumprir este requisito, foram obtidos os seguintes ganhos sintetizáveis (a azul):

$$gain1 = 1.45313 \text{ (372)}$$

$$gain2 = 2.55859 \text{ (655)}$$

$$gain3 = 1.12500 \text{ (288)}$$

As figuras seguintes apresentam os cálculos efectuados em lógica combinacional recorrendo a somadores e a deslocamentos que implementam os ganhos do controlador:

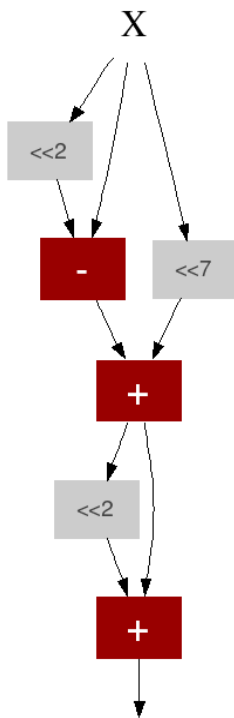


Figura 8-18
Implementação do
ganho 655

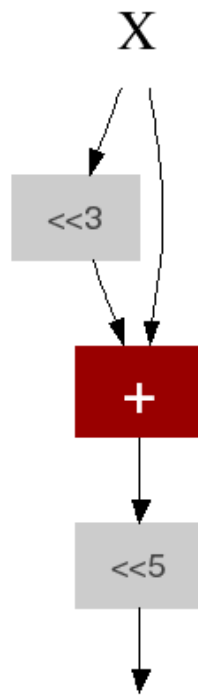


Figura 8-19
Implementação do
ganho 288

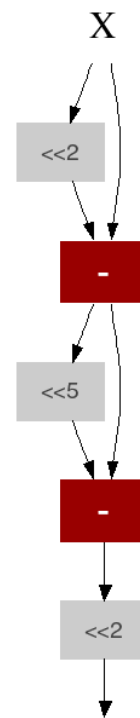


Figura 8-20
Implementação
do ganho 372

Em seguida foi efectuada a simulação dos ganhos em *Verilog* para toda a gama de entrada do sinal de erro [-255,255], para verificar se os resultados são semelhante aos obtidos com os ganhos ideais. Os resultados demonstraram que são diferentes devido às aproximações que ocorrem com os ganhos ideais. Assim se o valor for igual ao superior a 0.5, a saída é arredondada para o valor mais próximo, o que não acontece em vírgula fixa (trunca o valor). Este erro origina no sistema um erro no valor em regime permanente em relação à referência de cerca 20mV (demonstrado através de simulações), que não é aceitável. Como solução foi criado um pequeno bloco de lógica combinacional sintetizável que efectua a aproximação para o inteiro mais próximo, anulando o erro, resultando num sistema sintetizável com uma resposta equivalente ao sistema ideal.

Este módulo funciona de forma síncrona, à cadência do sinal de relógio, em que a nova acção de controlo é calculada ao flanco ascendente do sinal de relógio. O resultado é depois limitado entre 0 e 255. Na implementação dos ganhos para eliminar o erro de aproximação, foi adicionado um bloco combinacional que efectua a aproximação em binário para o inteiro mais próximo ($in \Rightarrow 0.5xxx$; $out=1$).

8.5.3.3 Descrição do *testbench* e verificação dos resultados

Para simular o controlador foi colocado na sua entrada um erro constante durante um determinado período de tempo. A sua saída é comparada com a resposta do modelo em *PSIM*. A figura seguinte ilustra o exposto:

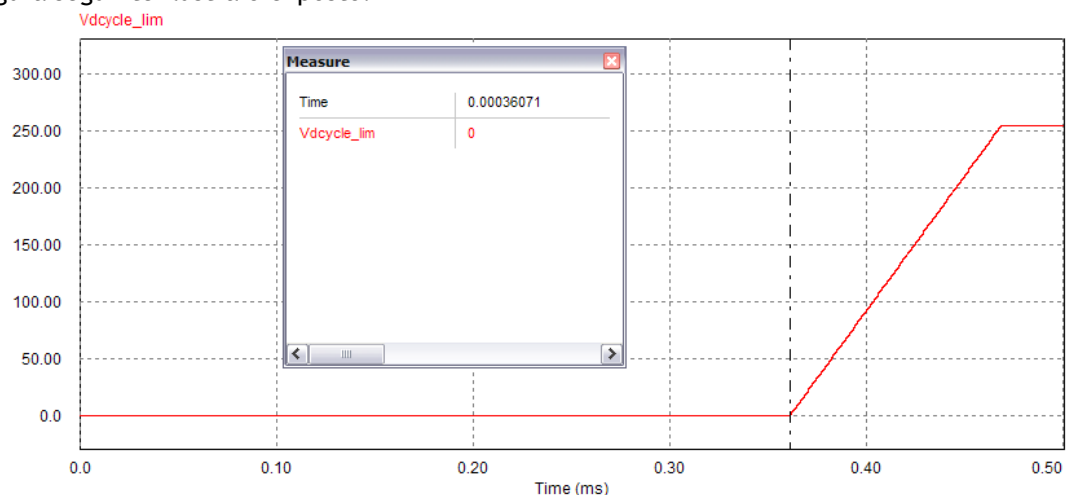


Figura 8-21 Resultados do controlador em *PSIM* para um sinal erro de -2 até os 0.2ms, erro nulo entre os 0.2ms e os 0.3ms. E erro de 6 unidades entre os 0.3ms até os 0.5ms.

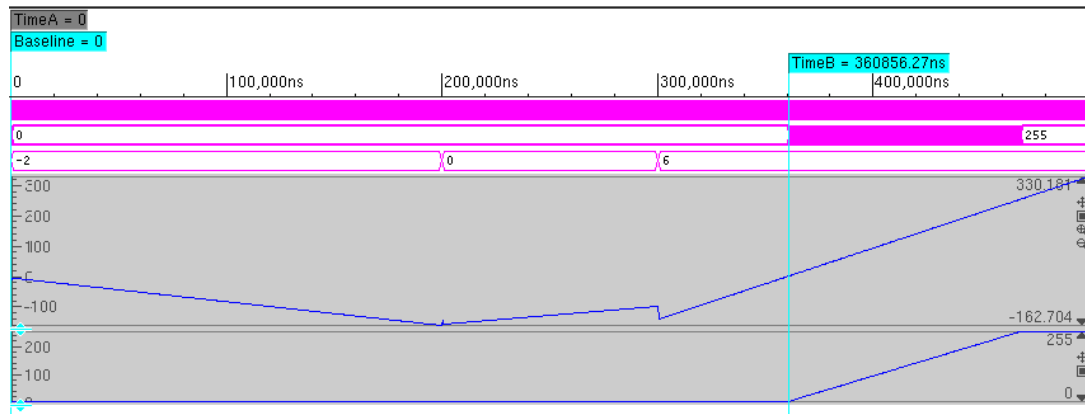


Figura 8-22 Resultados do controlador em *Verilog* para um sinal de erro de -2 até os 0.2ms, erro nulo entre os 0.2 e os 0.3ms e um erro de 6 unidades entre os 0.3ms e os 0.5ms.

A Figura 8-22 ilustra a resposta do controlador PID a uma variação no sinal de erro. É visível que o momento em que o *duty cycle* começa a ter valores não nulos, após os 0.36ms, é igual em *Verilog* e em *PSIM*. Ficando desta forma validada a descrição do controlador em *Verilog*.

8.5.4 Módulo *pwmgen512MHz.v*, modulador *PWM*

8.5.4.1 Modo de funcionamento

Este módulo cria o sinal *PWM* que controla a comutação dos interruptores *MOS*. Tem como entrada o sinal *duty cycle* de 8bits [0:255] proveniente do controlador *PID*, e a sua saída é o sinal *PWM* que controla a comutação dos interruptores *MOS*.

8.5.4.2 Descrição da implementação do componente

O seu funcionamento baseia-se num contador, o qual é incrementado de uma unidade a cada período de amostragem (500ns a 2MHz) até 255. Ou seja divide o período de amostragem, T , em instantes de tempo de $T/255$ (1.92ns a 2MHz), em que cada instante corresponde uma unidade de *duty cycle*. Enquanto o contador for menor ou igual ao valor do *duty cycle* actual, o sinal *PWM* é colocado ao nível lógico alto, '1'. No restante período de tempo o sinal *PWM* é colocado ao nível lógico baixo, '0'.

A Figura 8-23 ilustra o exposto em ambiente *PSIM*. O *DPWM* é composto por um contador de 8bits e um comparador que gera o sinal *PWM*.

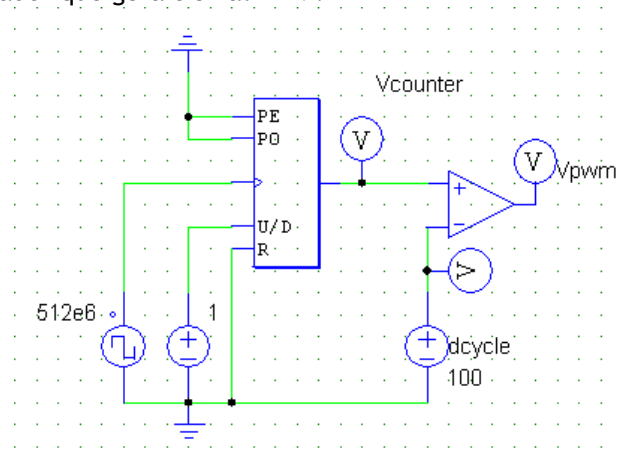


Figura 8-23 *DPWM* em *PSIM*

8.5.4.3 Descrição do testbench e verificação dos resultados

O seu funcionamento foi testado comparando o instante de tempo em que o sinal *PWM* se encontra activo, '1', para cada período de amostragem, para o mesmo valor de *duty cycle*, em *NCsim* e *PSIM*.

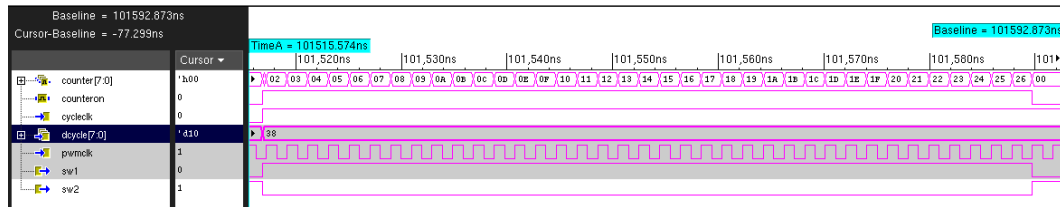


Figura 8-24 Funcionamento do modulador *PWM* de 512MHz.

A Figura 8-24 ilustra o funcionamento do modulador *PWM* de 512MHz. Ao flanco ascendente do sinal de relógio de 2MHz, *cycleclk*, entra um novo valor de *duty cycle*. No mesmo instante o sinal *counter* (contador de 8bits) inicia o seu funcionamento à frequência do sinal de relógio de 512Mhz, *pwmclk*, até esse valor. Enquanto o contador estiver em funcionamento o sinal *sw1* (sinal de controlo do interruptor *pmos*) está activo, e o sinal *sw2* (sinal de controlo do *nmos*) está no nível lógico '0'.

8.5.5 Módulo *pwmgen128MHz.v*, modulador *PWM*

8.5.5.1 Modo de funcionamento

Este módulo, tal como o anterior *pwmgen512MHz*, geram o sinal *PWM* que controla a comutação dos interruptores *MOS*. Tem como entrada o sinal *duty cycle* de 8bits [0:255] proveniente do controlador PID, e a sua saída é o sinal *PWM* que controla a comutação dos interruptores *MOS*.

8.5.5.2 Descrição da implementação do componente

O seu funcionamento baseia-se em 4 sinais de relógio a 128MHz que estão desfasados de forma a emularem um sinal de relógio a 512MHz. Existe um contador global que é activo ao flanco ascendente dos sinais de relógio. O que equivale a uma divisão do período de amostragem, T , em instantes de tempo de $T/255$ (1.92ns a 2MHz), em que cada instante corresponde uma unidade de *duty cycle*. Enquanto o contador for menor ou igual ao valor do *duty cycle* actual, o sinal *PWM* é colocado ao nível lógico alto, '1'. No restante período de tempo o sinal *PWM* é colocado ao nível lógico baixo, '0'.

8.5.5.3 Descrição do *testbench* e verificação dos resultados

O seu funcionamento foi testado comparando o instante de tempo em que o sinal *PWM* se encontra activo, '1', para cada período de amostragem, para o mesmo valor de *duty cycle*, em *NCsim*, com a versão *pwmgen512MHz*.

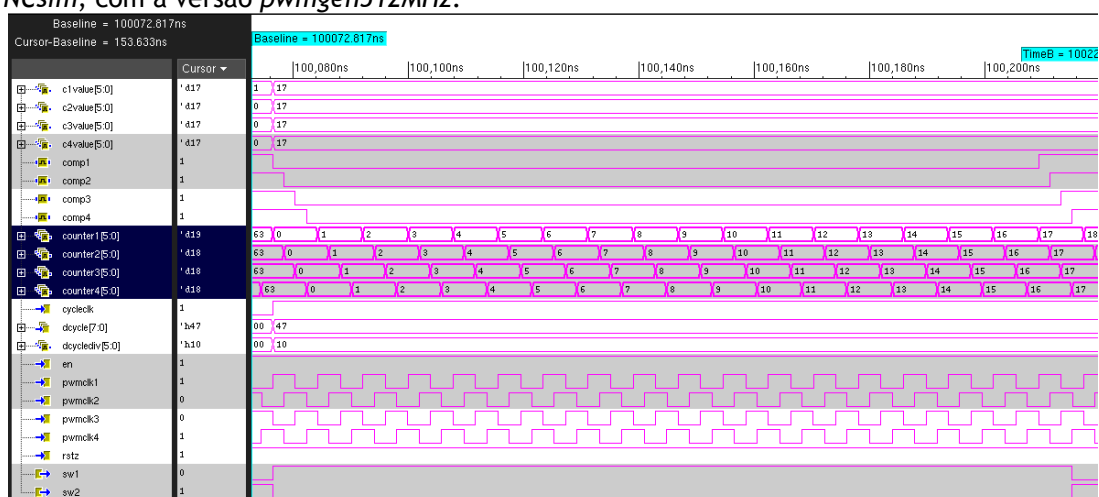


Figura 8-25 Funcionamento do modulador *PWM* de 128MHz.

A Figura 8-25 ilustra o funcionamento do modulador *PWM* de 128MHz. Ao flanco ascendente do sinal de relógio de 2MHz, *cycleclk*, entra um novo valor de *duty cycle*. No mesmo instante os sinais *counter1*, *counter2*, *counter3*, e *counter4* (contadores de 6bits) iniciam o seu funcionamento à frequência dos sinais de relógio de 128Mhz, *pwmclk1*, *pwmclk2*, *pwmclk3* e *pwmclk4*. Enquanto um dos contadores estiver com o valor inferior ao valor atribuído pelo *duty cycle*, o sinal *sw1* (sinal de controlo do interruptor *pmos*) está activo, e o sinal *sw2* (sinal de controlo do *nmos*) está no nível lógico '0'.

8.5.6 Módulo *progconv.v* e *prescaler.v*

8.5.6.1 Modo de funcionamento do *progconv.v*

O *progconv.v* é o módulo que efectua toda a programação dos componentes digitais do nosso sistema, segundo a tensão de funcionamento a que pretendemos que o conversor trabalhe. No caso do nosso sistema o *progconv.v* apenas irá programar o *prescaler.v*, que irá ser apresentado em seguida, e a tensão de funcionamento do SAR. A sua entrada é uma palavra de 6bits que indica a tensão de funcionamento pretendida, e como saída temos a palavra de 4bits de programação do *prescaler.v*, e a palavra de programação de 9bits para o SAR. Internamente este módulo opera como uma multiplexador de 1 entradas e n saídas, que para cada palavra de programação de 6bits, coloca nas saídas o valor pretendido.

8.5.6.2 Modo de funcionamento do *prescaler.v*

A descrição deste módulo será pouco detalhada, devido à sua ligação com a parte analógica do sistema, que é informação confidencial. O nosso conversor funciona na gama de tensões [0.8,1.4] V, que não está preparada para ser entrada do SAR ADC que permite o cálculo do erro em tensão. Este módulo efectua a normalização da tensão de saída para uma tensão entre os 0V e os 0.512V. A operação de normalização não pode ser aqui referida.

8.5.6.3 Descrição do *testbench* e verificação dos resultados

Estes módulos foram testados em conjunto devido à estreita ligação existente no seu funcionamento, e para tal foram colocados no modelo do conversor em malha aberta com o SAR ADC, verificando a sua correcta operação analisando se o SAR respondia com o correcto valor do erro, face à tensão programada no *progconv.v*.

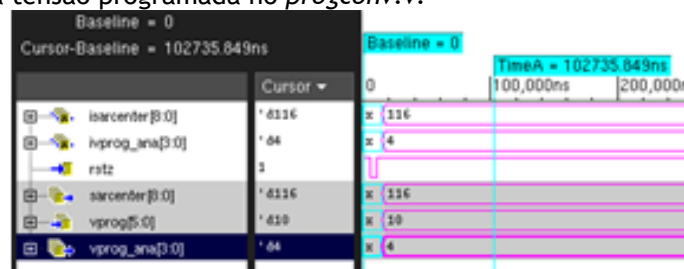


Figura 8-26 Funcionamento do módulo *progconv.v*, programador da lógica de controlo do nosso conversor.

A Figura 8-26 ilustra o funcionamento do módulo *progconv.v*. A figura demonstra a atribuição de valores das palavras de controlo, *sarcenter* e *vprog_ana*, para a palavra de configuração de 6bits *vprog*.

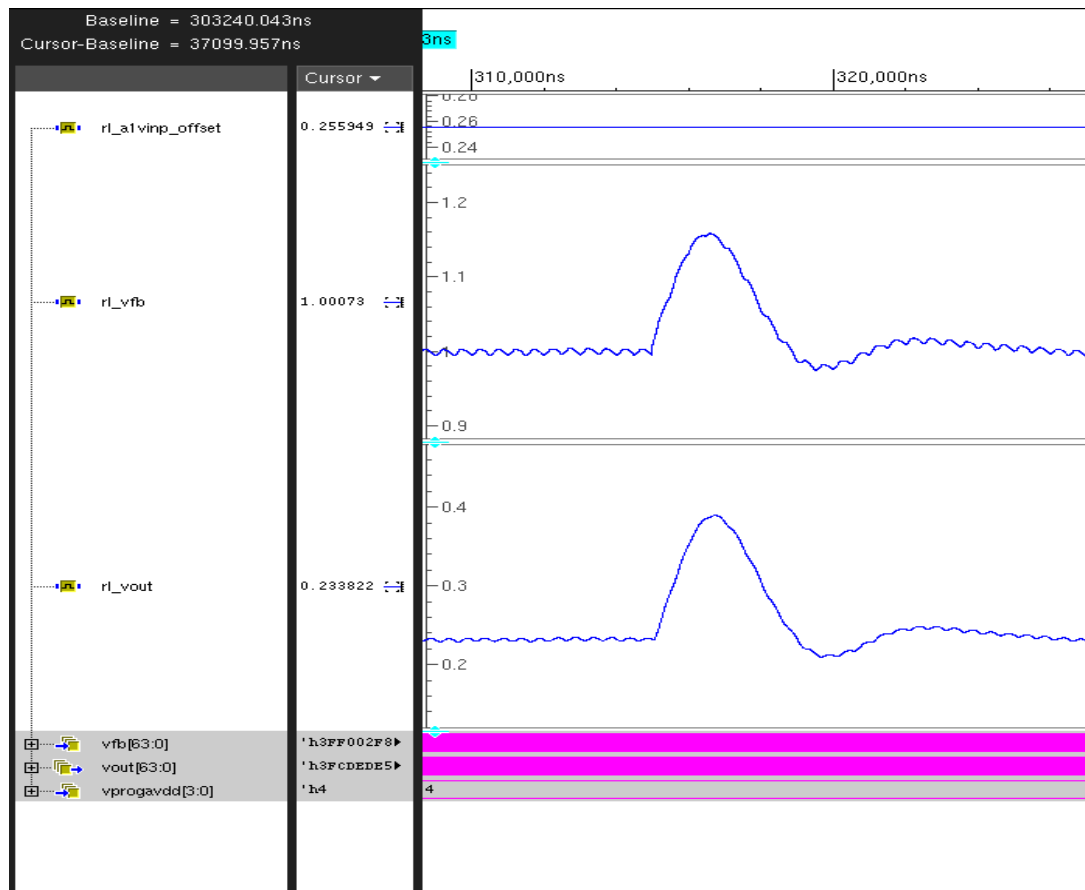


Figura 8-27 Funcionamento do módulo *prescaler.v*, cuja função é normalizar a tensão de saída do conversor para a gama de funcionamento do SAR ADC.

A Figura 8-27 apresenta o funcionamento do módulo *prescaler.v*. O sinal *r1_vfb* representa a tensão de saída do conversor, o sinal *r1_vout* representa a tensão de saída normalizada para a gama [0,0.512] que dá entrada no SAR ADC. A variação da tensão de saída apresentada na figura corresponde a uma variação na corrente de saída dos 300mA para 1mA.

8.5.7 Módulo analógico, bobina, capacidade, resistência e interruptores MOS

8.5.7.1 Modo de funcionamento

Os módulos que emulam o comportamento dos componentes analógicos do controlador, capacidade, resistência de carga e interruptores MOS, não podem ser descritos neste documento, sendo informação confidencial da empresa *Chipidea*. Apenas serão apresentados, em seguida, os resultados da sua simulação e comparação com os modelos em *PSIM*.

A figura seguinte ilustra a resposta em tensão do conversor em malha aberta, em *NCsim*. Aos 0.2ms existe uma variação na corrente de saída de 1mA para os 300mA e aos 0.3ms uma variação na tensão de entrada de 3V para 2V.

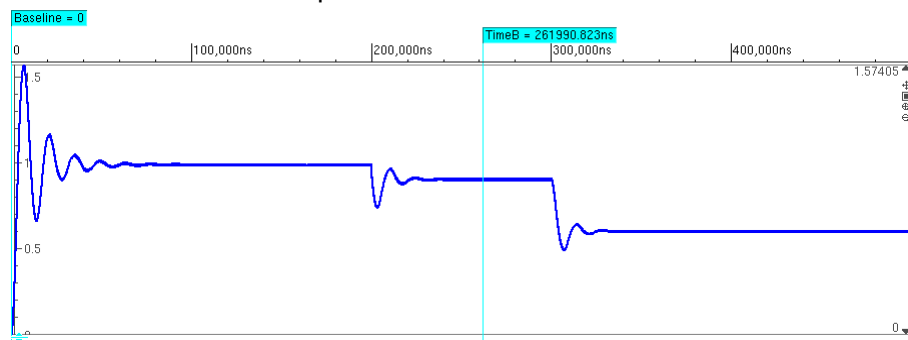


Figura 8-28 Simulação em *NCsim* do sistema em malha aberta com *duty cycle* de 0.33, variação na corrente 1mA- 300mA aos 0.2ms e variação na entrada 3V-2V aos 0.3ms.

A figura seguinte ilustra a resposta em tensão do conversor em malha aberta, em *PSIM*. Aos 0.2ms existe uma variação na corrente de saída de 1mA para os 300mA e aos 0.3ms uma variação na tensão de entrada de 3V para 2V.

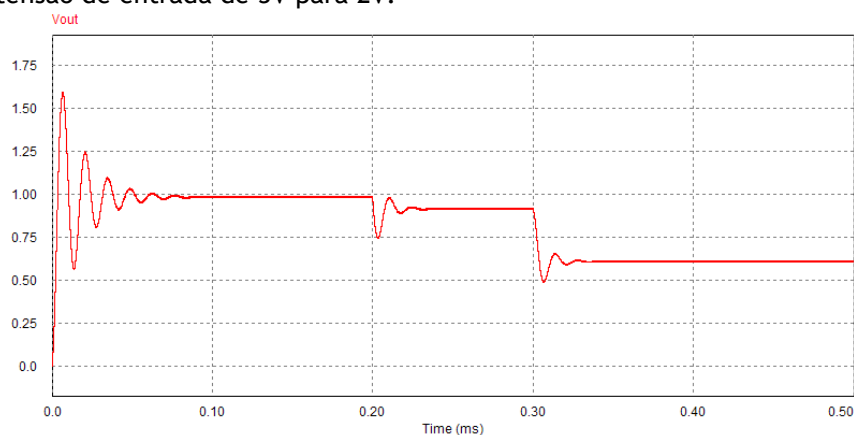


Figura 8-29 Simulação em *PSIM* do sistema em malha aberta com *duty cycle* de 0.33, variação na corrente 1mA- 300mA aos 0.2ms e variação na entrada 3V-2V aos 0.3ms.

Comparando as figuras anteriores verifica-se que os resultados são similares, o que valida a descrição do conversor em *Verilog*.

Capítulo 9

Conclusões

As conclusões deste trabalho são divididas em 4 pontos: uma pequena conclusão sobre a análise realizada no domínio analógico, o esforço de modelação e o desenho do controlador analógico, que permite satisfazer as restrições do projecto. Em seguida é apresentada uma pequena conclusão sobre a conversão do controlador para digital e as consequências de tal processo. Seguidamente é apresentada uma pequena conclusão sobre a modelação digital do sistema em *Verilog HDL*, vantagens e resultados de tal processo. Por fim é apresentada a conclusão de todo o trabalho desenvolvido, analisando os resultados da versão sintetizável do controlador, e verificado se os objectivos foram todos cumpridos.

O trabalho foi evoluindo com base em resultados obtidos através de modelos que descrevem o conversor em malha aberta, o controlador, e o sistema realimentado. O grande esforço de modelação foi realizado no início do trabalho com o objectivo de obter a função de transferência do conversor em estudo. O modelo não linear, de média e o modelo linear foram desenvolvidos e estudados, aplicando ainda a análise em espaço de estados. De posse da função de transferência do conversor, foram aplicados métodos de controlo clássico, num esquema de realimentação unitária, utilizando técnicas de controlo no domínio dos tempos e das frequências com vista à obtenção de um controlador que satisfizesse os requisitos de projecto. Aplicando diversos métodos de análise, como o lugar geométrico das raízes (LGR), o diagrama de *Bode* e as respostas temporais ao degrau, foram obtidos os parâmetros de um controlador PID que cumpriu os requisitos de projecto.

De posse do sistema realimentado em analógico o passo seguinte foi a sua digitalização. Para tal foram utilizadas duas técnicas de mapeamento:

1. A aplicação do método de *Tustin* em todas as componentes do controlador, proporcional, integral e derivativa.
2. A aplicação do método de *Tustin* na componente proporcional e integral, e a aplicação do método de *Euler* na componente de controlo derivativa.

Efectuada a simulação do equivalente digital através das técnicas de mapeamento referidas, conclui-se que o sistema apresenta um resultado mais próximo do analógico através do mapeamento referido no ponto 2. Este permite bons resultados mesmo a 2MHz. Após este passo foi efectuada uma correcção ao controlo em digital de forma a contemplar o atraso de propagação no sinal de erro de um período de amostragem, 500ns a 2MHz (criado pelo *SAR*

ADC). Este passo é que constitui a grande perda no controlo do sistema tornando-o mais lento e também diminuindo o seu coeficiente de amortecimento (aumento da sobreelongação).

Por fim, de posse do controlador digital, foi criado um modelo sintetizável em *Verilog HDL*, que permite obter os resultados mais realistas e efectuar o mapeamento da parte digital do sistema para portas lógicas. O esforço de modelação contemplou, a resolução binária necessária para obter as menores perdas possíveis do controlador, a utilização de um *SAR ADC* de *5bits* e de *6bits* analisando a sua influência sobre o controlo, e a frequência de funcionamento do modulador de *PWM*, que por restrições de projecto, não deve ultrapassar os 128MHz.

Em suma os resultados obtidos em *PSIM* com o sistema analógico satisfazem os requisitos do projecto. Em digital os resultados do sistema realimentado em *PSIM* e em *Verilog* são muito semelhantes, e ambos não satisfazem os requisitos do projecto à frequência de funcionamento de 2MHz. A principal causa é o grande atraso de propagação no sinal de erro, em relação à dinâmica do processo.

Para concluir este documento é apresentado no capítulo seguinte as abordagens que se podem efectuar em trabalhos futuros para melhorar o desempenho do sistema.

Capítulo 10

Trabalho futuro

Como já foi mencionado, no capítulo anterior, o controlador, projectado em digital, não cumpre os requisitos do projecto. De forma a melhorar o desempenho do sistema para satisfazer os requisitos de projecto, podem ser seguidas as seguintes abordagens:

1. Mantendo a topologia do controlador, estudar a possibilidade de variação dos elementos L e C (aumento do valor da capacidade e/ou da bobina).
2. Efectuar o projecto do controlador PID inteiramente em digital optimizando a sua acção de controlo à frequência de operação estabelecida no projecto (2MHz).
3. Colocação de uma malha de *feed-forward* que poderá permitir melhorar a acção derivativa do controlador, melhorando o tempo de estabelecimento do sistema.
4. Estudar a possibilidade de aplicação de outros tipos de controlo, como, por exemplo, um controlador multivariável em espaço de estados.

Referências

Livros

- [1] C.H.Houpis, J.J; Feedback Control System Analysis & Synthesis; Mcgraw-Hill College; 2 Edition June 1966.
- [2] Carvalho, J.L.; Sistemas de Controlo Automático; LTC; 2000.
- [3] Franklin, G., Powell, J. D. & Workman, M. Digital Control of Dynamic Systems; Prentice Hall; 3 Edition December 1997.
- [4] Kassakian, J.G. Principles of Power Electronics; Prentice Hall; Facsimile edition July 1991.
- [5] Ogata, K.; Modern Control Engineering; Prentice Hall; 4 Edition November 2001.
- [6] Rashid, M. H.; Power Electronics Circuits, Devices, and Application; Prentice Hall; 3 Edition August 2003.
- [7] Rashid, M. H.; Power Electronics Handbook; Academic Press; August 2001.
- [8] Verwer, J. G. Control System Design and Simulation; Mcgraw-Hill College; Pap/Dsk Edition December 1991.

Artigos

- [1] Albert M. Wu, Jinwen Xiao, Dejan MArkovic, Seth R. Sanders (s.d.) Digital PWM Control: Application in Voltage Regulation Modules.
- [2] Aleksandar Prodic and Dragan Maksimovic (s.d.) Design of a Digital PID Regulator Based on Look-Up Tables for Control of High-Frequency DC-DC Converters.
- [3] Aleksendar Prodic, Dragan Maksimovic and Robert W. Erickson (s.d.) Design and Implementation of a Digital PWM Controller for a High-Frequency Switching DC-DC Power Converter.
- [4] Angel de Castro, Pablo Zumel, Oscar García, Teresa Riesgo and Javier Uceda (s.d.) Concurrent and Simple Digital Controller of an AC/DC Converter With Power Factor Correction Based on an FPGA.
- [5] Angel V. Peterchev, Seth R. Sanders (s.d.) Quantization Resolution and Limit Cycling in Digitally Controlled PWM Converters.

- [6] Anthony Kelly, Karl Rinne (s.d.) High Resolution DPWM in a DC-DC Converter Application Using Digital Sigma-Delta Techniques.
- [7] Asif Syed, Ershad Admed, Dragan Maksimovic, Eduard Alarcón (s.d.) Digital Pulse Width Modulator Architectures.
- [8] Asif Syed, Ershad Ahmed, Dragan Maksimovic (s.d) Digital PWM Controller with Feed-Forward Compensation.
- [9] Hao Peng and Dragan Maksimovic, Aleksandar Prodic, Eduard Alarcon (s.d.) Modeling of Quantization Effects in Digitally Controlled DC-DC Converters.
- [10] Hung-Lung Tu, Ming-Hui Chiu (s.d.) A Multi-Phase DPWM Based on Fully Table Look-up for High-frequency Power Converters.
- [11] Jian Li, Fred C. Lee and Yang Qiu (s.d.) New Digital Control Architecture Eliminating the Need for High Resolution DPWM.
- [12] Jian Li, Yang Qiu, Yi Sun, Bin Huang, Ming Xu, Dong S. Ha, Fred C. Lee (s.d.) High Resolution Digital Duty Cycle Modulation Schemes for Voltage Regulators.
- [13] Jingquan Chen, Milton Ribeiro, Rafael Payseo, Dongsheng Zhou, James R. Smith and Kent Kernahan (s.d) DPWM Time Resolution Requirements for Digitally Controlled DC-DC Converters.
- [14] Kun Wang, Nabeel Rahman, Zdravko Lukic and Aleksandar Prodic (s.d.) All-Digital DPWM/DPFM Controller for a Low-Power DC-DC Converters.
- [15] L. H. S. C. Barreto, P. P. Praça, C.M. Cruz and R.T. Bascope (s.d.) PID Digital Control Using Microcontroller and FPGA Applied to a Single-Phase Three-Level Inverter.
- [16] Mohammed S. Al-Numay, David G. Taylor (s.d.) One-Cycle-Averaging for Digital PWM Control System Design.
- [17] Oscar García, Angel de Castro, Pablo Zumelis and José A. Cobos (s.d) Digital-Control-Based Solution to the Effect of Nonidealities of the Inductors in Multiphase Converters.
- [18] Oscar García, Pablo Zumel, Angel de Castro and José A. Cobos (s.d.) Automotive DC-DC Bidirectional Converter Made With Many Interleaved Buck Stages.
- [19] Sanders, J. X. (s.d.) An Ultra-Low-Power Digitally-Controlled Converter IC for Cellular Phone Applications..
- [20] Souvik Chattopadhyay (s.d.) Analysis of Limit Cycle Oscillations in Digital Current-Mode Control.
- [21] Yang Qiu, Jian Li, Ming Xu, Dong S. Ha, Fred C. Lee (s.d.) Proposed DPWM Scheme with Improved Resolution for Switching Power Converters.
- [22] Yuen Fong Chan, M. M. (s.d.) Design and Implementation of Modular FPGA-based.

Relatórios

- [1] Faria José, C. L. Conversores DC/DC Up/Down, Análises de Técnicas de Projecto.
- [2] Pereira Carla, S. J. Simulação de um conversor step-down controlador em tensão.
- [3] Pires, A. Estudo de um conversor DC/DC.
- [4] Rogério, P. Controlo analógico da tensão de saída do conversor up/down.

Documentos Electrónicos

- [1] Alves, J. C., & Mendonça, H. S. (s.d.) Verilog HDL.
- [2] Cadence (s.d.) Cadence Nclaunch Tutorial.
- [3] Coito, F. (s.d.) A transformada em Z.
- [4] Garrido, P. (s.d.) Controlo por computador.
- [5] Ishihara, A. N. (s.d.) Sistemas de Controle: Passado, Presente e Futuro.
- [6] Lopes, S. (s.d.) Representação e análise de sistemas no espaço de estados.
- [7] Lopes, S. (s.d.) Sistemas de controlo linear.
- [8] Miller, Z.M. Digital Power Control Highlights.
- [9] Nyasulu, P. M, Introduction to Verilog.
- [10] Power, A. (s.d.) An Introduction to digital control of switching power converters.
- [11] PSIM INC. (s.d.) PSIM User Manual.
- [12] Sutherland, S. (s.d.) Verilog HDL Quick Reference Guide.
- [13] The wikibook of automatic control systems.
- [14] Tihamér Ádám, S. D., Influence of discretization method on the digital control system performance.
- [15] Wawrzynek, J. Verilog Tutorial.
- [16] White, R. V., Digital control concepts for power supply engineering.

Páginas Web

- [1] Control Tutorial for Matlab, Disponível em <http://www.engin.umich.edu/group/ctm/>
- [2] DC-DC Converter Basics, Disponível em <http://www.powerdesigners.com/>
- [3] DC-DC Converter Tutorial, Disponível em http://www.maxim-ic.com/appnotes.cfm/appnote_number/2031/cmp/wp-29
- [4] Understanding SAR ADCs, Disponível em http://www.maxim-ic.com/appnotes.cfm/appnote_number/1080
- [5] What is Metastability, Disponível em <http://www.asic-world.com/tidbits/metastablity.html>