

Faculdade de Engenharia da Universidade do Porto



**Inversor Multinível Trifásico, *Cascaded H-Bridge*,
Controlado por FPGA**

Emanuel Carlos Nunes Pinto de Meireles

Dissertação realizada no âmbito do
Mestrado Integrado em Engenharia Electrotécnica e de Computadores
Major Automação

Orientador: Prof. Dr. António Pina Martins

Junho de 2010

Resumo

A presente dissertação aborda o estudo das principais topologias multinível de conversores electrónicos de potência existentes na actualidade, resultando na implementação experimental de um conversor trifásico *cascaded H-bridge* com cinco níveis.

É realizada uma breve apresentação de todas as principais topologias multinível existentes, com as características de cada topologia, tal como as vantagens e desvantagens entre cada uma delas. Posteriormente é escolhida a topologia a desenvolver e é realizada a simulação segundo dois métodos de controlo distintos aplicados à estrutura *cascaded H-bridge*, sendo eles a modulação por largura de impulsos sinusoidal e a modulação vectorial.

Com vista à implementação do controlo do conversor multinível, realizou-se uma pesquisa e análise relativamente às soluções existentes, tendo-se optado pela implementação do controlo do conversor em FPGA; é, pois, apresentado o estudo realizado no âmbito das FPGA's.

Para concluir, o inversor é implementado e testado. São analisados os resultados experimentais obtidos, que validam o estudo inicialmente realizado em simulação, e é feita uma discussão desses mesmos resultados.

Abstract

This dissertation addresses the study of the main topologies of multilevel power electronic converters available today, resulting in the experimental implementation of a three-phase converter cascaded H-bridge with five levels.

It's made a brief presentation of all major existing multilevel topologies, with the characteristics of each topology as the advantages and disadvantages of each one. After, is chosen the topology to develop and then is performed the simulation in two different control methods to the structure cascaded H-bridge, the pulse width modulation and the space vector. To implement the control of the multilevel converter, there was a research and a analysis on existing solutions and was chosen to implement the control of the converter in a FPGA, therefore is presented the study in the context of FPGAs.

To conclude, the inverter is implemented and tested. The experimental results are analyzed and validate the initial study made in simulation, and in the end is made a discussion of these results.

Agradecimentos

Gostaria de agradecer ao meu orientador, Professor Doutor António Pina Martins, por toda a disposição, conselhos e principalmente por ter acreditado em mim para desenvolver este trabalho.

Ao Professor Doutor José Carlos Alves, por toda a disponibilidade e auxílio na utilização da FPGA, tendo este assunto ocupado grande parte do tempo dedicado no desenvolvimento deste trabalho.

A todos os meus amigos, pelo companheirismo e apoio ao longo destes anos e, em particular, ao Telmo Lima companheiro de laboratório ao longo destes últimos anos.

Finalmente, gostaria de agradecer a toda a minha família por todo o apoio, paciência e motivação transmitida ao longo de todo este tempo, principalmente aos meus pais que sempre acreditaram, apoiaram e investiram na minha formação. Sem o seu apoio toda a minha formação teria sido impossível.

Índice

Resumo.....	i
Abstract.....	iii
Agradecimentos	v
Índice.....	vii
Lista de Figuras.....	x
Lista de Tabelas	xv
Abreviaturas e Símbolos	xvii
Capítulo 1.....	1
Introdução	1
1.1 - Motivação	1
1.2 - Objectivos	2
1.3 - Trabalho realizado	2
1.4 - Estrutura da dissertação	2
Capítulo 2.....	5
Revisão da literatura e estado da arte	5
2.1 - Introdução	5
2.2 - Topologias multinível	6
2.2.1 - Conversor com díodos fixos ao ponto neutro	7
2.2.2 - Conversor de condensadores flutuantes	11
2.2.3 - Conversor multinível em ponte ligado em cascata.....	15
2.2.4 - Conversor <i>Multi Point Clamped</i> (MPC)	17
2.2.5 - Conversor Assimétrico Híbrido.....	18
2.2.6 - Conversor <i>Diode/Capacitor-Clamped</i>	19
2.3 - Modulação multinível	19
2.3.1 - Controlo vectorial.....	20
2.3.2 - Eliminação selectiva de harmónicos.....	21
2.3.3 - Modulação multinível híbrida	22
2.3.4 - Modulação por largura de impulsos	24
2.4 - Conclusões.....	28
Capítulo 3.....	31

Simulação do inversor trifásico	31
3.1 - Introdução	31
3.2 - Simulação por MLI por desfasamento com injeção do 3º harmónico.....	32
3.2.1 - PSPWM com 3 níveis de tensão	34
3.2.2 - PSPWM com 5 níveis de tensão	39
3.2.3 - PSPWM com 7 níveis de tensão	42
3.3 - Simulação por MLI vectorial com 3 níveis.....	46
3.4 - Conclusões.....	54
Capítulo 4	55
Implementação do conversor.....	55
4.1 - Introdução	55
4.2 - Rectificador	56
4.3 - Conversor multinível.....	56
4.3.1 - <i>Drive</i>	57
4.3.2 - Circuito contra erros do controlador	57
4.3.3 - Circuito de protecção de corrente.....	58
4.3.4 - Circuito de <i>dead-time</i>	60
4.3.5 - Circuito de isolamento óptico	60
4.4 - Plataforma de controlo.....	61
4.4.1 - FPGA.....	62
4.4.2 - Linguagens de descrição de Hardware	65
4.4.3 - Xilinx Integrated Software Environment (ISE)	68
4.4.4 - ModelSim	71
4.4.5 - Placa de desenvolvimento.....	73
4.5 - Implementação do PSPWM em FPGA.....	74
4.5.1 - Resultados para o inversor de 5 níveis	75
4.5.2 - Resultados para o inversor de 7 níveis	78
4.6 - Resultados experimentais.....	79
4.7 - Conclusões.....	83
Capítulo 5	85
Conclusões e Futuros Desenvolvimentos	85
5.1 - Conclusões.....	85
5.2 - Futuros Desenvolvimentos	86
Referências	87

Lista de Figuras

Figura 2.1- a) Braço de um conversor com dois níveis; b) Braço de um conversor com três níveis; c) Braço de um conversor com n níveis.	6
Figura 2.2- a) Conversor de três níveis NPC; b) Braço de um conversor de cinco níveis.	8
Figura 2.3- Tensão de saída V_{ao} para o conversor de três níveis apresentado na Figura 2.2 a). ..	9
Figura 2.4 - Tensão de saída para um conversor de 5 níveis.	10
Figura 2.5- a) Conversor de três níveis <i>Flying Capacitor</i> ; b) Braço de um conversor de cinco níveis <i>Flying Capacitor</i>	12
Figura 2.6-Tensão de saída V_{an} para o conversor de três níveis apresentado na figura 2.5.	13
Figura 2.7 - a) Conversor multinível em ponte ligado em cascata de três níveis; b) braço de um conversor multinível em ponte ligado em cascata de cinco níveis.	16
Figura 2.8- Tensão de saída V_{an} para o conversor de três níveis apresentado na Figura 2.7 a). ..	16
Figura 2.9 - Ramo de um conversor <i>Multi Point Clamped</i> de 4 níveis.	18
Figura 2.10 - Braço de um conversor multinível com módulos híbridos assimétricos.	18
Figura 2.11- Ramo de um conversor <i>Diode/Capacitor-Clamped</i> (três níveis).	19
Figura 2.12 - Diagrama com as diferentes estratégias de comutação dos conversores multinível.	20
Figura 2.13 - a) Estados possíveis para um conversor de 3 níveis; b) forma de onda da tensão entre uma fase e o neutro de um conversor de 7 níveis.	21
Figura 2.14 - Forma de onda de tensão de um conversor de sete níveis, com aplicação do método de modulação de eliminação selectiva de harmónicos.....	22
Figura 2.15 - Conversor multinível híbrido de sete níveis.	23
Figura 2.16 - a) Onda de referência e forma de onda obtido para o patamar de alta tensão e baixa frequência; b) onda de referência para o patamar de baixa tensão e alta frequência; c) conjunto das ondas de referência e das tensões de saída.	23
Figura 2.17 - MLI por desfaseamento para um conversor de cinco níveis de cima para baixo: onda portadora e moduladoras; resultado da aplicação do algoritmo; forma de onda de saída resultante (soma das 4 anteriores).	25

Figura 2.18 - MLI por desnivelamento para um conversor de cinco níveis: a) portadoras em fase; b) portadoras em oposição de fase alternada; c) portadoras em oposição de fase...	26
Figura 2.19 - a) Conversor convencional de dois níveis; b) diagrama de vectores de estado....	27
Figura 2.20 - Diagrama de vectores de estado para um conversor de 3 níveis.	28
Figura 3.1- Estrutura do sistema a ser simulado.	
Figura 3.2 - Topologia do inversor multinível <i>cascaded H-bridge</i> de n níveis.	33
Figura 3.3 - Forma de onda sinusoidal e triangular com injeção do terceiro harmónico para um índice de amplitude igual a 1 ($m_a=1,0$).	34
Figura 3.4 - Circuito de simulação com controlo por PSPWM de três níveis.	35
Figura 3.5 - a) Modulação com injeção do 3º harmónico; b)-c) Sinais de controlo dos IGBT's.	36
Figura 3.6 - Tensão de saída em uma das fases; b) Corrente na carga em uma das fases.	37
Figura 3.7 - Distorção harmónica de tensão em uma das fases.	37
Figura 3.8 - a) Tensão de saída entre fases; b) Distorção harmónica da tensão entre fases.	38
Figura 3.9 - Circuito de simulação com controlo por PSPWM de cinco níveis.	39
Figura 3.10 - Modulação com injeção do 3º harmónico com portadoras para diferentes pontes.....	40
Figura 3.11 - a) Tensão de saída em uma das fases (3 níveis); b) Corrente na carga em uma das fases.....	40
Figura 3.12 - Distorção harmónica de tensão numa das fases.....	41
Figura 3.13 - a) Tensão de saída entre fases; b) Distorção harmónica da tensão entre fases....	42
Figura 3.14 - Circuito de simulação com controlo por PSPWM sete níveis.	43
Figura 3.15- Modulação com injeção do 3º harmónico com portadoras para diferentes pontes (7 níveis).	43
Figura 3.16 - a) Tensão de saída em uma das fases; b) Corrente na carga em uma das fases. ..	44
Figura 3.17 - Distorção harmónica da tensão numa das fases.	44
Figura 3.18 - a) Tensão de saída entre fases.	45
Figura 3.19 - Distorção harmónica da tensão entre fases.	45
Figura 3.20 - Diagrama de vectores de um conversor de três níveis com vectores e sectores. ...	47
Figura 3.21 - Mudança de coordenadas cartesianas para hexagonais para o sector I.	47
Figura 3.22 - Diagrama de vectores de estado.	50
Figura 3.23 - Diagrama de vectores com disposição diferente de zonas.	51
Figura 3.24 - Sinais de comando para controlo dos IGBT's de uma fase.....	52

Figura 3.25 - a) Tensão em uma das fases; b) Corrente na carga em uma das fases.....	52
Figura 3.26 - Distorção harmónica em uma das fases.....	53
Figura 3.27 - a)Tensão entre fases; b) Distorção harmónica entre fases.....	53
Figura 4.1 - Diagrama de blocos do equipamento utilizado.	55
Figura 4.2 - Circuito de rectificação do sinal da rede.	56
Figura 4.3 - Conversor multinível em ponte ligado em cascata (<i>cascaded H-bridge</i>) com cinco níveis.	57
Figura 4.4 - Topologia de um inversor monofásico.	57
Figura 4.5 - Circuito de protecção contra erros do controlador.	58
Figura 4.6 - Relação entre tensão de saída e corrente lida no LEM.	59
Figura 4.7 - Circuito de protecção de corrente.	59
Figura 4.8 - Interligação entre o circuito de protecção contra erros do controlador e o circuito de protecção de corrente.....	60
Figura 4.9 - Circuito de <i>dead-time</i>	60
Figura 4.10 - Isolamento óptico.....	61
Figura 4.11 - Diagrama de blocos do controlo implementado.....	61
Figura 4.12 - Níveis de abstracção possíveis através de uma linguagem HDL.	66
Figura 4.13 - Exemplo de implementação de um <i>flip-flop</i> do tipo D em <i>Verilog</i>	67
Figura 4.14 - Metodologia <i>top-down</i> de arquitectura de projecto, [33].....	68
Figura 4.15 - Metodologia <i>bottom-up</i> de arquitectura de projecto, [33].	68
Figura 4.16 - Fluxo de desenvolvimento de um projecto no Xilinx ISE [34].....	69
Figura 4.17 - Ambiente típico do ambiente do software integrado ISE da <i>Xilinx</i>	71
Figura 4.18 - Fluxo de desenvolvimento de um sistema no ModelSim, [35].	72
Figura 4.19 - Ambiente típico do ambiente do software integrado Modelsim.	73
4.20- Kit de desenvolvimento Spartan-3E Starter Kit da Xilinx.	74
Figura 4.21 - Portadoras para fases iguais e pontes diferentes.	75
Figura 4.22- Moduladora com injeção do 3º harmónico.	76
Figura 4.23 - Moduladoras para cada uma das fases.	76
Figura 4.24 - Sinal de comando para IGBT gerado após comparação entre moduladora e portadora.....	77
Figura 4.25 - Sinal de comando para IGBT com moduladora à frequência de 25 Hz e $m_a=0,89$	77

Figura 4.26 - Sinal de comando para IGBT com moduladora à frequência de 25 Hz e $m_a=0,5$. ..	78
Figura 4.27 - Portadoras para um inversor <i>cascaded H-bridge</i> com 7 níveis.....	79
Figura 4.28 - Sinais de comando para os interruptores de uma das fases.....	79
Figura 4.29 - Sinais de comando pormenorizados para os interruptores superiores de uma das fases.....	80
Figura 4.30 - Sinal de comando para um interruptor com o respectivo conteúdo harmónico. ...	80
Figura 4.31- Tensão de saída numa ponte e a sua representação espectral.....	81
Figura 4.32 - Forma de onda da tensão de saída e corrente absorvida por uma das pontes.....	81
Figura 4.33 - Tensão entre fases e respectiva representação espectral.	82
Figura 4.34 - Tensão composta e correntes na carga em cada uma das fases.....	82
Figura 4.35 - Corrente na carga e sua representação espectral e tensão entre fases.	83

Lista de Tabelas

Tabela 2.1- Sequência de comutação para obter os três níveis de tensão.....	9
Tabela 2.2 - Sequência de comutação para obter os cinco níveis de tensão.	10
Tabela 2.3- Sequência de comutação para obter os três níveis de tensão.....	13
Tabela 2.4- Sequência de comutação para obter cinco níveis de tensão.	14
Tabela 2.5 - Sequência de comutação para obter três níveis de tensão.	16
Tabela 2.6 - Combinação dos estados dos interruptores para o conversor da figura 2.19 a).	27
Tabela 3.1 - THD e RMS da tensão entre fases (3 níveis).....	38
Tabela 3.2 - THD e RMS da tensão entre fases (5 níveis).....	41
Tabela 3.3 - Valor da THD e eficaz da tensão entre fases (7 níveis).	45
Tabela 3.4 - Vectores de estado de nível 0 e pequeno, e o nível de tensão nos três ramos.....	50
Tabela 3.5 - Sequência e tempos de comutação dos vectores de estado.	51
Tabela 3.6 - Valor da THD e eficaz da tensão entre fases (3 níveis).	54

Abreviaturas e Símbolos

Lista de abreviaturas (ordenadas por ordem alfabética)

ASIC	<i>Application Specific Integrated Circuit</i>
CA	Corrente Alternada
CC	Corrente Contínua
CLB	<i>Configuration Logical Block</i>
DSP	<i>Digital Signal Processor</i>
EMI	<i>Electromagnetic Interference</i>
FFT	<i>Fast Fourier Transform</i>
FPGA	<i>Field Programmable Gate Array</i>
GTO	<i>Gate Turn-Off Thyristor</i>
HDL	<i>Hardware Description Language</i>
HSDPA	<i>High-Speed Downlink Packet Access</i>
IGBT	<i>Insulated Gate Bipolar Transistor</i>
IOB	<i>Input/Output Block</i>
IP	<i>Programmable Interconnections</i>
ISE	<i>Integrated Software Environment</i>
JTAG	<i>Joint Test Action Group</i>
LCD	<i>Liquid Crystal Display</i>
LEM	<i>Liaisons Électroniques et Mécaniques</i>
LUT	<i>Look-up Table</i>
MAC	<i>Media Access Control</i>
MPC	<i>Multi Point Clamped</i>
NPC	<i>Neutral Point Clamped</i>
OTP	<i>One Time Programmable</i>
PLD	<i>Programmable Logic Device</i>
PROM	<i>Programmable ROM</i>
PSPWM	<i>Phase Shift Pulse Width Modulation</i>
PWM	<i>Pulse Width Modulation</i>

RAM	<i>Random Access Memory</i>
RMS	<i>Root Means Square</i>
ROM	<i>Read Only Memory</i>
RTL	<i>Register Transfer Level</i>
SRAM	<i>Static Random Access Memory</i>
SVPWM	<i>Space Vector Pulse Width Modulation</i>
THD	<i>Total Harmonic Distortion</i>
UCF	<i>User Constraint File</i>
VGA	<i>Video Graphics Array</i>
VHDL	<i>Very High Speed Integrated Circuit Hardware Description Language</i>
WCDMA	<i>Wide Band Code Division Multiple Access</i>
WiMAX	<i>Worldwide Interoperability for Microwave Acces</i>

Lista de símbolos

k	Número de níveis de tensão entre fases
n	Numero de níveis de um conversor
p	Numero de níveis de tensão de fase num conversor
h_m	Amplitude dos harmónicos ímpares m
V_k	k nível da tensão DC
α_k	Ângulo de disparo
p	Número de pólos
V_{ab}	Tensão entre fase a e b
V_{bc}	Tensão entre fase b e c
V_{ca}	Tensão entre fase c e a
V_{ref}	Vector de referência
V_{rm}	Vector representativo do eixo m no referencial hexagonal
V_{rn}	Vector representativo do eixo n no referencial hexagonal
$\vec{V}_{ul}$	Vector mais próximo do vector de referência de índice ul
$\vec{V}_{ll}$	Vector mais próximo do vector de referência de índice ll
$\vec{V}_{uu}$	Vector mais próximo do vector de referência de índice uu
$\vec{V}_{lu}$	Vector mais próximo do vector de referência de índice lu
d	<i>Duty-cycle</i>
f_{sw}	Frequência de comutação dos interruptores
f_{sp}	Frequência de amostragem

f_1	Frequência fundamental
Φ_{cr}	Desfasamento entre portadoras
R_s	Resistência do enrolamento do estator
R_r	Resistência do enrolamento do rotor
L_{ls}	Indutância de fugas do enrolamento do estator
L_{lr}	Indutância de fugas do enrolamento do rotor
L_m	Indutância mútua
M	Momento de inércia

Capítulo 1

Introdução

1.1 - Motivação

Nos últimos anos, a procura por sistemas electrónicos de alta potência e, consequentemente, o uso de conversores de dois níveis cresceu muito. Com altos níveis de tensão e/ou de corrente em aplicações de alta potência faz-se o uso de dispositivos em série e/ou paralelo, de forma a superar as limitações dos semicondutores. No entanto, conversores que utilizam interruptores com elevadas frequências não operam a altos níveis de tensão, apenas em aplicações de baixa tensão. Para contornar este problema pode-se fazer uso de conversores multinível, que podem sintetizar uma forma de onda com vários níveis de tensão. Nos inversores multinível a distorção harmónica total (*Total Harmonic Distortion* - THD) diminui à medida que o número de níveis aumenta e, consequentemente, a forma de onda de saída fica mais próxima da sinusoidal. A conversão multinível em relação à conversão de dois níveis permite, ainda, obter maior rendimento devido a menos perdas em comutação, frequências de comutação superiores, redução de interferências electromagnéticas. Devido a todas estas características, os conversores multinível ganham espaço no mercado em aplicações de média e alta tensão como em fontes de energia renováveis, máquinas eléctricas e distribuição de energia.

Por outro lado, o número de dispositivos aumenta, assim como a complexidade do sistema. A implementação de conversores multinível apenas se tornou possível com o desenvolvimento de semicondutores de potência mais rápidos, com tensões de bloqueio maiores e a preços mais acessíveis e com a existência de controladores de elevada capacidade e velocidade de processamento, como DSP (*Digital Signal Processor*) e FPGA (*Field Programmable Gate Array*).

Com todas as características apresentadas dos conversores multinível, o estudo da estrutura e do controlo de conversores multinível tem grande importância. Nesta dissertação é dada relevância à topologia multinível com pontes ligadas em série (*cascaded H-bridge*), após

efectuado o estudo das várias topologias existentes e da análise das vantagens e desvantagens relativas.

1.2 - Objectivos

Os objectivos propostos no desenvolvimento desta dissertação encontram-se mencionados abaixo:

- Estado da arte sobre conversores multinível e comparação das várias topologias existentes;
- Estudo comparativo dos métodos de controlo aplicáveis a inversores multinível;
- Projecto e simulação da estrutura *cascaded H-bridge*;
- Implementação em FPGA do algoritmo de controlo do conversor;
- Implementação, teste e caracterização do conversor multinível.

1.3 - Trabalho realizado

De acordo com os objectivos propostos, realizou-se a caracterização e comparação das topologias multinível mais usadas nomeadamente, a NPC, a *Flying Capacitor* e a *Cascaded H-bridge*, sendo, no entanto, apresentadas outras topologias que se encontram a emergir. É também apresentada uma síntese dos métodos de modulação existentes para o controlo das topologias descritas.

Como referido, a topologia escolhida foi a *cascaded H-bridge*, que para a sua simulação foram considerados dois métodos de modulação designadamente, a modulação por largura de impulsos com desfasamento e injeção do 3º harmónico e a modulação por largura de impulsos vectorial. Dos métodos de modulação simulados, foi implementado o método de modulação por largura de impulsos com desfasamento e injeção do 3º harmónico para um inversor *cascaded H-bridge* trifásico de 5 níveis, com o recurso à *FPGA XC3S500E* disponibilizada no *kit Spartan-3E Starter Board* que é comercializado pela *Xilinx*.

Posteriormente, o conversor foi caracterizado experimentalmente recorrendo-se, para isso, a um motor de indução de forma a analisar as formas de onda da tensão e da corrente nos diversos pontos da estrutura de potência do inversor trifásico *cascaded H-bridge*.

1.4 - Estrutura da dissertação

Esta dissertação tem mais 4 capítulos, para além do apresentado. O capítulo 2 apresenta uma abordagem às topologias multinível presentes na actualidade, onde são analisadas as vantagens e desvantagens de cada topologia apresentada. Neste capítulo, são ainda referidos e classificados os diferentes métodos de controlo utilizados em conversores multinível. No

capítulo 3, é realizada a simulação do conversor para diferentes métodos de controlo e para inversores com diferentes níveis de tensão.

No capítulo 4, é apresentada a constituição dos diferentes subsistemas do conversor tais como o circuito de controlo, as fontes de alimentação de potência das diferentes pontes, e o funcionamento do inversor multinível trifásico, onde é ilustrado todo o equipamento experimental utilizado assim como os resultados experimentais obtidos.

Por fim, no capítulo 5, são referidas as conclusões finais e futuros desenvolvimentos em torno do trabalho desenvolvido na presente dissertação.

Capítulo 2

Revisão da literatura e estado da arte

2.1 - Introdução

Com a evolução e o crescimento dos dispositivos de electrónica de potência, nomeadamente o aumento da velocidade de comutação, a capacidade de conduzir correntes mais elevadas e suportar grandes valores de tensão quando bloqueados assim como a existência de controladores com maior capacidade e velocidade de processamento como a FPGA e o DSP, tornou-se possível a implementação do conversor multinível.

A conversão multinível tem como principais aplicações a ligação à rede de energias renováveis, como a energia fotovoltaica, energia eólica e pilhas de combustível e em aplicações de tracção eléctrica. O conversor multinível fixa os níveis de tensão em que os diferentes níveis de tensão alternada à saída são gerados através de uma correcta comutação dos interruptores. Sendo assim, o conversor multinível apresenta vantagens e desvantagens sobre os conversores de dois níveis, especialmente para aplicações de média e alta potência. O conceito de utilização de múltiplos níveis de tensão para efectuar conversão de energia eléctrica foi patenteado pelo investigador do MIT (Massachusetts Institute of Technology), R.H. Baker, há mais de trinta anos, [1] e [2]. Desde a sua apresentação que foram demonstradas as vantagens e desvantagens que os conversores multinível apresentam face aos conversores convencionais de dois níveis em aplicações de média e grande potência e média e alta tensão.

Como vantagens destacam-se:

- Redução dos níveis de interferência electromagnética (*Electromagnetic Interference* - EMI);
- Possibilidade de obtenção de níveis mais altos de potência;
- Frequência de comutação superior à de um conversor convencional, e poucas perdas de comutação;

- Redução do conteúdo harmónico, quantos mais níveis de tensão menor a distorção harmónica.

Como desvantagens podem-se referir:

- Maior número de interruptores, que aumenta à medida que se tem mais níveis de tensão à saída do conversor aumentando assim o custo de implementação;
- As estratégias de modulação são mais complexas;
- O lado contínuo do conversor tem diferentes níveis de tensão que podem ser obtidos por fontes contínuas independentes ou por condensadores;
- Elevado número de condensadores;

As desvantagens apresentadas têm sido cada vez mais reduzidas ao longo do tempo devido à evolução dos dispositivos electrónicos que ao longo do tempo têm aumentado a sua potência e frequência de comutação, com preços cada vez mais reduzidos. No que diz respeito ao controlo dos dispositivos electrónicos, actualmente existem diversas soluções tais como DSP's e FPGA's que são processadores de sinal mais rápidos e com grande capacidade de cálculo facilitando, assim, o controlo do conversor multinível.

2.2 - Topologias multinível

Na figura 2.1 está apresentado de forma sistemática um braço de um conversor com diferentes números de níveis, onde o lado contínuo apresenta um conjunto de condensadores em série e o braço do conversor é constituído por uma série de interruptores, apresentando na saída diferentes níveis de tensão formando então uma forma de onda de tensão em escada.

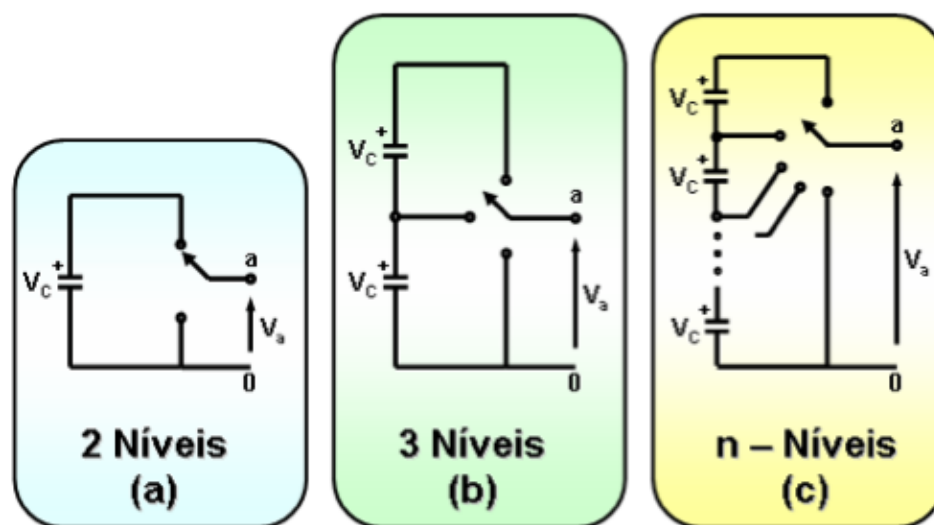


Figura 2.1- a) Braço de um conversor com dois níveis; b) Braço de um conversor com três níveis; c) Braço de um conversor com n níveis [1].

Um conversor de dois níveis possui uma tensão de saída com dois níveis, enquanto o conversor de três níveis possui uma tensão de saída com três níveis e, sucessivamente, o de n níveis apresenta n níveis de tensão de saída, [1].

Considerando que n é o número de níveis por ramo num conversor trifásico, a tensão entre fases terá k níveis, que podem ser calculados através da seguinte equação:

$$k = 2n - 1 \quad (2-1)$$

O número de níveis (p) de tensão de fase que existem num conversor é calculado através da seguinte expressão:

$$p = 2k - 1 \quad (2-2)$$

Desta forma, para um conversor de três níveis a tensão entre fases terá cinco níveis e nove níveis de tensão de fase-neutro.

Existem actualmente diferentes topologias de conversores multinível. Entre todas as topologias existentes há três que se impuseram no mercado sendo as mais desenvolvidas e com um maior número aplicações.

As topologias então estudadas foram:

- Conversor com díodos fixos ao ponto neutro (NPC - *Neutral Point Clamped* ou *Diode Clamped Converter*);
- Conversor de condensadores flutuantes (*Flying Capacitor Converter*);
- Conversor convencional em cascata (*Cascated Full Bridge Converter*).

No entanto, existem outras topologias a emergir tais como:

- Conversor *Multi Point Clamped* (MPC);
- Conversor assimétrico híbrido;
- Conversor *Diode/Capacitor-Clamped*.

2.2.1 - Conversor com díodos fixos ao ponto neutro

O conceito do conversor multinível utilizando díodos fixos ao ponto neutro foi introduzido em 1981, por Nabae, [1], com a proposta de um conversor de três níveis sendo, posteriormente, denominado de conversor com díodos fixos ao ponto neutro (NPC). Na figura 2.2, está representado um conversor de três níveis e um braço de um conversor de cinco níveis.

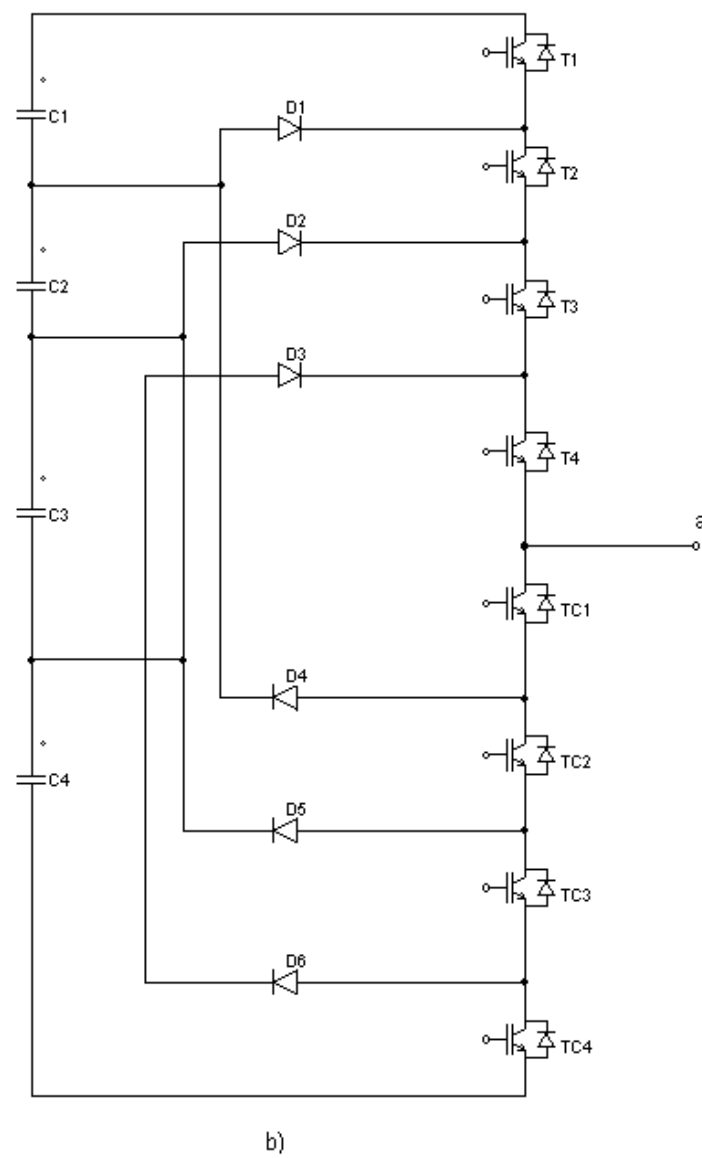
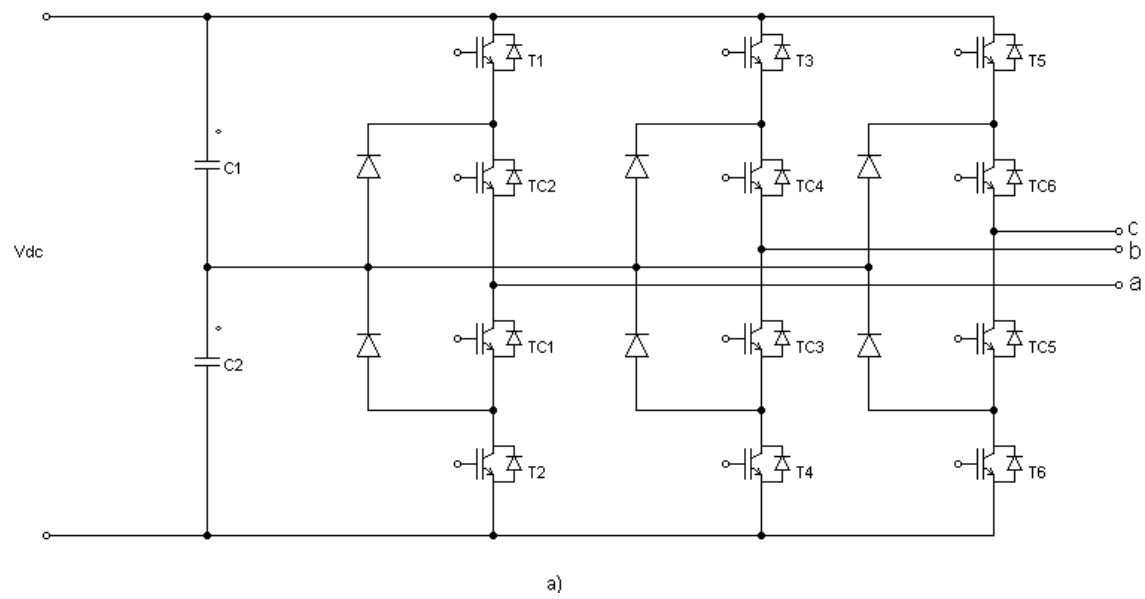


Figura 2.2- a) Conversor de três níveis NPC; b) Braço de um conversor de cinco níveis [1].

O conversor de três níveis representado na Figura 2.2 a) mostra que o barramento DC do conversor é dividido em três níveis pelos dois condensadores ligados em série, C1 e C2. O ponto n entre os dois condensadores pode ser considerado como o ponto neutro. A tensão de saída V_{ao} possui três estados: $V_{dc}/2$; 0 e $-V_{dc}/2$, [3]. Os níveis de tensão referidos são obtidos por um conjunto de estados dos interruptores; esses estados estão apresentados na tabela 2.1 e na figura 2.3 está ilustrada a forma de onda da tensão.

Tabela 2.1- Sequência de comutação para obter os três níveis de tensão.

Interruptores ligados	V_{ao}
T1-TC2	$V_{dc}/2$
TC2-TC1	0
T2-TC1	$-V_{dc}/2$

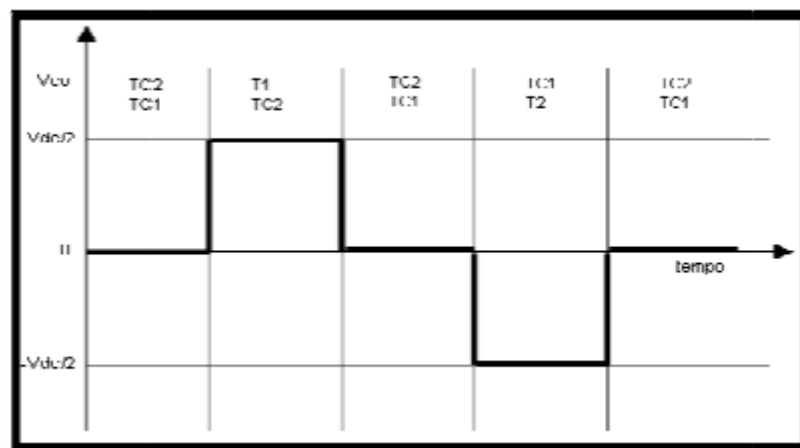


Figura 2.3- Tensão de saída V_{ao} para o conversor de três níveis apresentado na Figura 2.2 a).

Por analogia, os estados dos interruptores das outras fases operam da mesma forma. Em cada braço, encontram-se dois pares de interruptores complementares sendo, neste caso, TC1 e TC2 complementares de T1 e T2, respectivamente. A existência dos díodos ligados ao ponto neutro diferencia esta estrutura em relação à estrutura de um conversor convencional, sendo através dos díodos que se consegue fixar os diferentes níveis de tensão criados no lado DC, à saída do conversor.

A figura 2.2 b) apresenta um braço do conversor de cinco níveis. Este conversor divide a tensão de entrada pelos condensadores C1, C2, C3 e C4 formando, assim, cinco tensões diferentes ($V_{dc}/2$, $V_{dc}/4$, 0, $-V_{dc}/4$ e $-V_{dc}/2$), sendo estes os valores apresentados à saída do conversor. Na Tabela 1.2 encontra-se apresentada a combinação dos estados para os interruptores de forma a obter as tensões descritas anteriormente e, encontrando-se apresentada na figura 2.4, a forma de onda da tensão que tem uma forma mais sinusoidal em

relação àquela que foi apresentada na figura 2.3 pois, à medida que se aumenta o número de níveis do conversor, a forma de onda da tensão assemelha-se cada vez mais a uma forma de onda sinusoidal.

Tabela 2.2 - Sequência de comutação para obter os cinco níveis de tensão.

Interruptores Ligados	V_{ao}
T1-T2-T3-T4	$V_{dc}/2$
T2-T3-T4-TC1	$V_{dc}/4$
T3-T4-TC1-TC2	0
T4-TC1-TC2-TC3	$-V_{dc}/4$
TC1-TC2-TC3-TC4	$-V_{dc}/2$

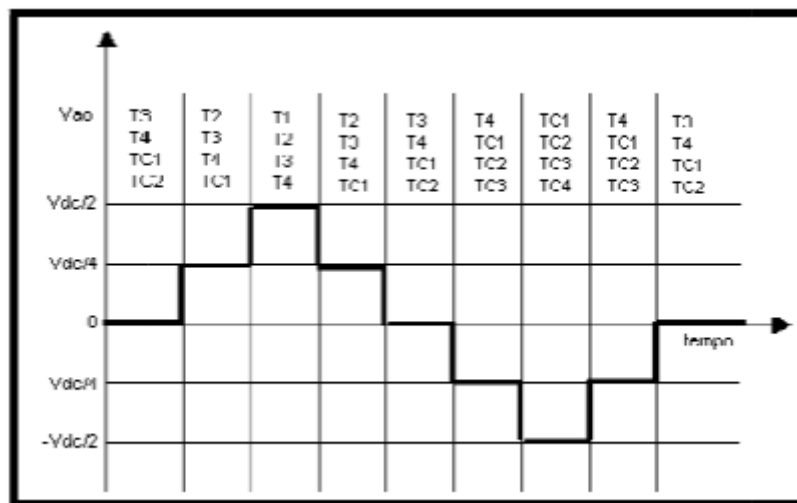


Figura 2.4 - Tensão de saída para um conversor de 5 níveis.

Nesta topologia é necessário ter em atenção a queda de tensão inversa nos díodos uma vez que, quando os interruptores T1-T2-T3-T4 estão ligados, a queda de tensão que o díodo D3 tem de suportar é igual a $3V_{dc}/4$, como é possível verificar na figura anteriormente apresentada. Uma forma de resolver este problema é inserir díodos em série dividindo assim a tensão suportada por estes. No entanto, esta solução aumenta de forma significativa o número de semicondutores a utilizar, o que leva a um aumento da complexidade da estrutura. A mesma situação se verifica no díodo D4 quando os interruptores TC1-TC2-TC3-TC4 estão ligados.

As vantagens que esta topologia apresenta são:

- Cada interruptor tem de bloquear uma tensão igual a $V_{dc}/(n-1)$ para n níveis de tensão;
- O número de condensadores utilizados nesta topologia é inferior em relação a outras topologias multinível, reduzindo assim os custos de implementação;

- A mudança entre níveis de tensão é realizada apenas com o accionamento de um dos interruptores diminuindo as perdas e interferências.

As desvantagens apresentadas por esta topologia são as seguintes:

- Em topologias com mais de três níveis os díodos não bloqueiam os mesmos níveis de tensão sendo necessário adicionar díodos em série, o que aumenta os custos e complexidade do projecto;
- A tensão nos terminais dos condensadores tem de se manter estável e equilibrada, o que leva a um aumento da complexidade do algoritmo de controlo do conversor;
- Os díodos de fixação têm de ser de recuperação rápida uma vez que comutam à frequência de comutação.

Após a análise das vantagens e desvantagens desta topologia, verifica-se que esta topologia apresenta todas as vantagens do conversor multinível e que as desvantagens apenas se tornam significativas quando o número de níveis é superior a três. Logo, para aplicações que apresentem três níveis de tensão o conversor com díodos fixos ao ponto neutro é uma boa escolha.

2.2.2 - Conversor de condensadores flutuantes

A topologia de conversores multinível com condensadores flutuantes é conhecida como *Capacitor Clamped* ou, então, como *Flying Capacitor*. Esta topologia é umas das mais recentes, sendo introduzida na década de 90, [1], [3]. Esta estrutura foi apresentada por *Meynard e Foch* em 1996, [1]. A figura 2.5 apresenta um conversor de condensadores flutuantes de três níveis e um braço de um conversor de cinco níveis onde os díodos da topologia NPC foram substituídos por condensadores.

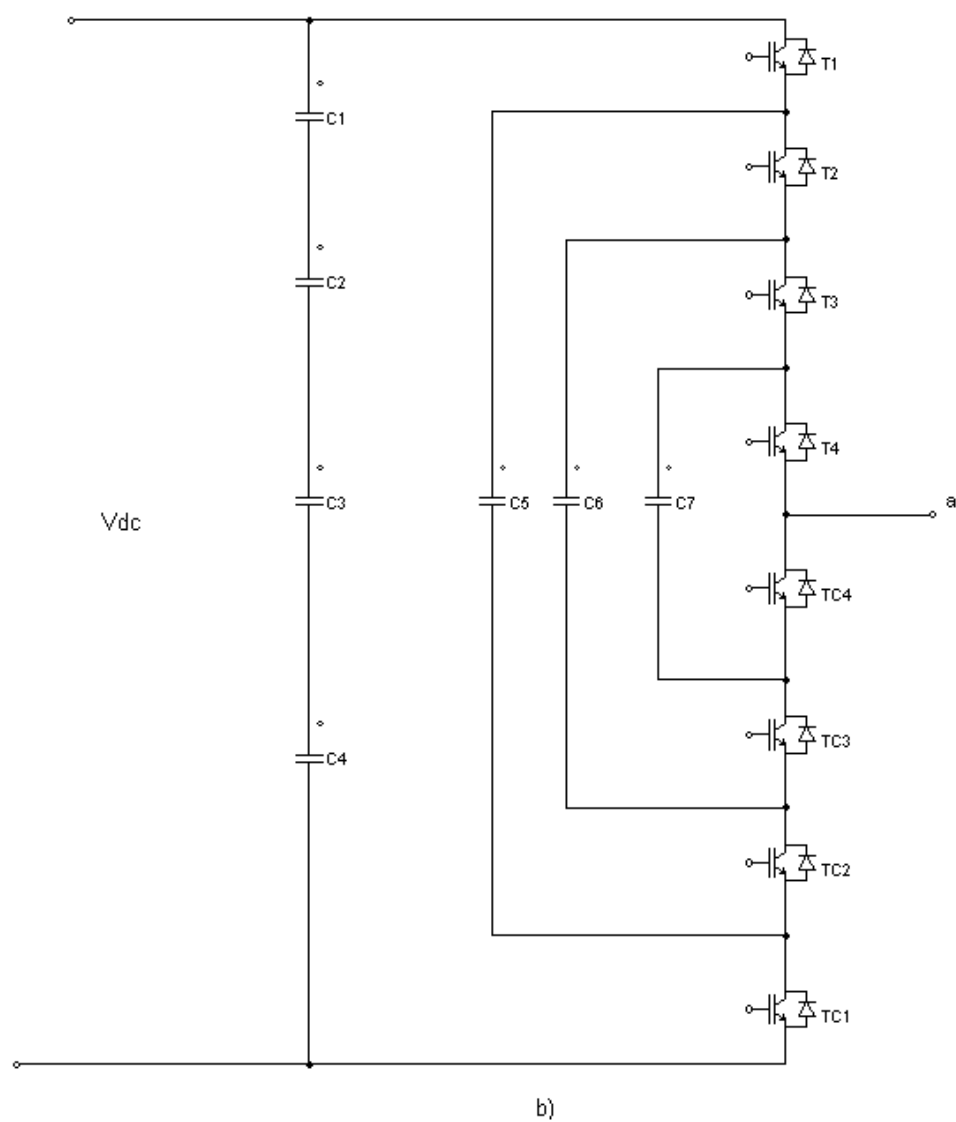
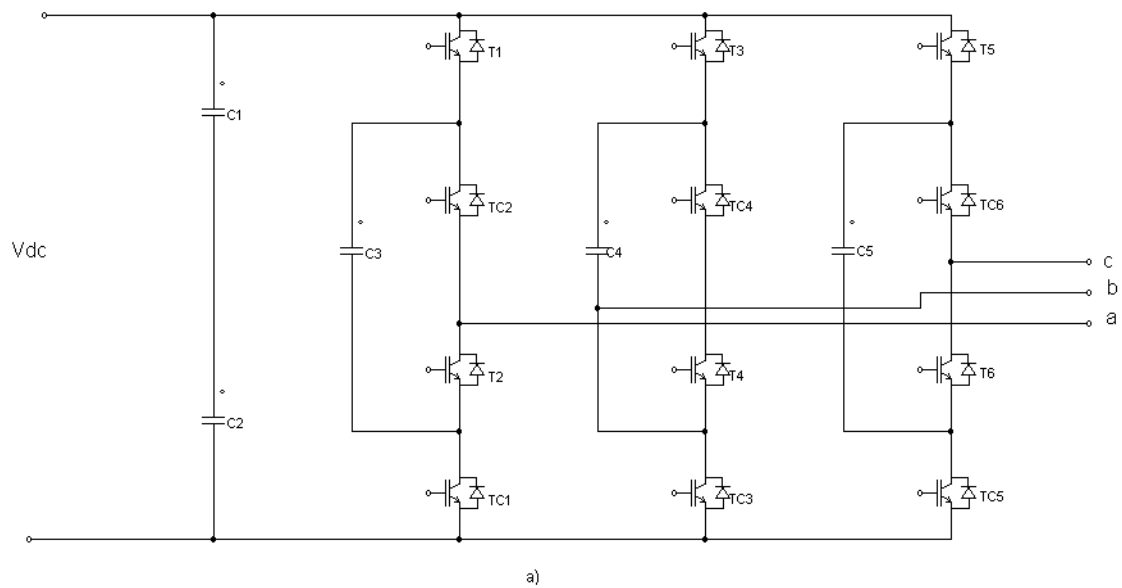


Figura 2.5- a) Conversor de três níveis *Flying Capacitor*; b) Braço de um conversor de cinco níveis *Flying Capacitor* [3].

A topologia de condensadores flutuantes de três níveis, à semelhança da topologia *NPC*, pode apresentar na saída V_{ao} , V_{bo} e V_{co} os seguintes valores: $V_{dc}/2$, 0 e $-V_{dc}/2$. Os pares de interruptores T1 - TC1, T2 - TC2 são complementares, a mesma lógica se aplica para os outros dois ramos. Os valores de tensão na saída são obtidos por diferentes estados que se encontram representados na tabela 2.3. Apesar da forma de onda de saída ser semelhante à da topologia *NPC*, a comutação é diferente, visto existir um estado redundante, ou seja, existem dois estados em que se obtém uma tensão igual, como apresentado na figura 2.6.

Tabela 2.3- Sequência de comutação para obter os três níveis de tensão

Interruptores ligados	V_{ao}
T1-T2	0
T1-TC2	$V_{dc}/2$
TC1-TC2	0
T2-TC1	$-V_{dc}/2$

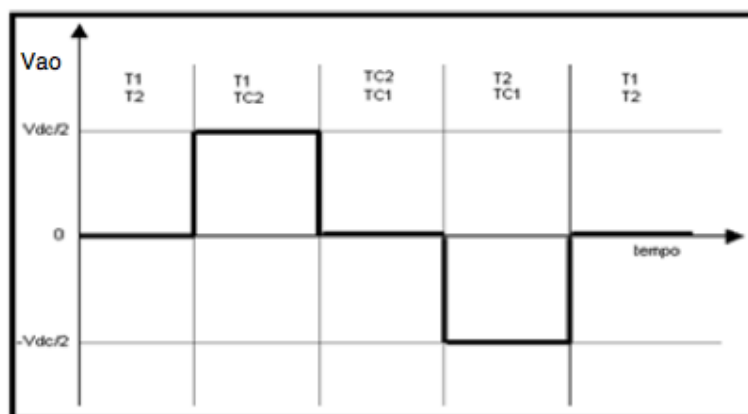


Figura 2.6-Tensão de saída V_{an} para o conversor de três níveis apresentado na figura 2.5.

O condensador flutuante C3 é carregado quando os interruptores T1 e T2 estão ligados e é descarregado quando os interruptores TC1 e TC2 estão ligados. Isto apenas é válido quando a referência positiva da corrente do conversor é considerada a corrente que entra no mesmo, [1]; caso a carga forneça corrente ao conversor esta situação é invertida. O carregamento do condensador C3 pode ser controlado pela selecção da combinação dos interruptores activos no nível zero de tensão.

Os conversores com condensadores flutuantes possuem maior flexibilidade no controlo dos interruptores permitindo, assim, um melhor controlo do fluxo de energia se comparado ao conversor multinível com diodos fixos ao ponto neutro, NPC, [1].

Para o conversor de cinco níveis com condensadores flutuantes, a flexibilidade é maior em relação ao conversor com três níveis, devido ao maior número de combinações possíveis na obtenção de níveis de tensão de saída. O ramo de um conversor multinível de condensadores flutuantes com 5 níveis apresentado na figura 2.5 b) apresenta cinco níveis de tensão entre os pontos *a* e *o*, onde estes níveis podem ser produzidos através do conjunto de estados representados na tabela 2.4.

Tabela 2.4- Sequência de comutação para obter cinco níveis de tensão.

Interruptores ligados	T1-T2-T3-T4	T1-T2-T3-TC4	T2-T3-T4-TC1	T1-T3-T4-TC2	T1-T2-TC3-TC4	T3-T4-TC1-TC2	T1-T3-TC2-TC4	T1-T4-TC2-TC3	T2-T4-TC1-TC4	T2-T3-TC1-TC4	T1-TC4-TC3-TC2	T4-TC1-TC2-TC3	T3-TC1-TC2-TC3	TC1-TC2-TC3-TC4
V_{ao}	$V_{dc}/2$	$V_{dc}/4$			0						$-V_{dc}/2$		$-V_{dc}/4$	

O processo de selecção das combinações para os interruptores considera que os condensadores com tensões positivas estão a descarregar enquanto os condensadores com tensões negativas estão a carregar, [1]. Tal como sucedia com o conversor NPC, neste conversor os estados dos interruptores do ramo superior (T1 a T4) são complementares relativamente aos estados dos interruptores do ramo inferior (TC1 a TC4). Assim, quando T1 está ligado TC8 está desligado, verificando-se o mesmo para os restantes pares de interruptores.

Para além da dificuldade do equilíbrio da tensão nos condensadores flutuantes, este conversor apresenta como maior problema a necessidade de utilização de um elevado número de condensadores. No entanto, é possível equilibrar a tensão nestes condensadores recorrendo às combinações redundantes dos níveis de tensão intermédios, $-V_{dc}/2$ e $-V_{dc}/4$, em prejuízo da frequência de comutação.

Em conclusão, resume-se as principais vantagens e desvantagens do conversor de condensadores flutuantes, [3].

Vantagens:

- O elevado número de condensadores flutuantes proporciona uma maior flexibilidade na síntese dos níveis de tensão de saída;
- As combinações de comutação redundantes permitem o equilíbrio das tensões dos

condensadores flutuantes;

- Baixo conteúdo harmónico para estruturas com um número de níveis suficientemente elevado, dispensando a utilização de filtros;
- Capacidade de controlo da potência activa e reactiva, tornando a sua utilização possível em sistemas de transmissão DC.

Desvantagens:

- Necessidade excessiva de condensadores flutuantes quando o número de níveis é elevado;
- Controlo complexo e elevadas frequência de comutação e perdas de comutação em aplicações de controlo de transmissão da potência activa;
- Existe o perigo de haver ressonância devido às capacidades existentes no sistema;
- A variação brusca da tensão do lado *DC* leva a que a tensão dos condensadores recupere mais lentamente, causando tensões de fixação dos transístores superiores ao esperado. Este é um problema que limita bastante a aplicação da topologia de condensadores flutuantes com variações de carga em aplicações como eólicas e fotovoltaicas.

2.2.3 - Conversor multinível em ponte ligado em cascata

A topologia multinível com módulos de ponte em H ligados em série é conhecida também como conversor multinível *cascaded H-bridge*. De todas as topologias anteriormente descritas esta é a topologia mais antiga tendo sido introduzida na década de 70, [2].

Comparando esta com as topologias já referidas, em relação ao número de dispositivos associados ao conversor e ao número de níveis de tensão, observa-se menor quantidade de componentes. Esta estrutura de conversor multinível baseia-se na associação em cascata de vários conversores em ponte completa, para gerar os n níveis na tensão de saída. Embora cada conversor utilize uma fonte de tensão DC independente, esta topologia evita a utilização extra de díodos de fixação ou condensadores flutuantes quando se aumenta o número de níveis do conversor. A figura 2.7 ilustra a estrutura básica de um conversor trifásico de três níveis e o braço de um conversor de cinco níveis, utilizando conversores em ponte ligados em cascata.

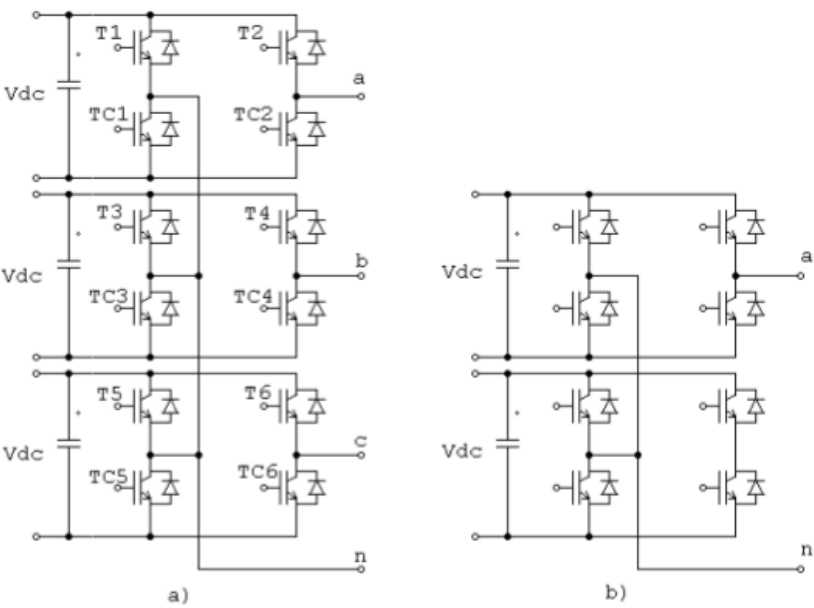


Figura 2.7 - a) Conversor multinível em ponte ligado em cascata de três níveis; b) braço de um conversor multinível em ponte ligado em cascata de cinco níveis [2].

Na tabela 1.5 está representado o conjunto de estados do conversor apresentado na figura 2.7 a).

Tabela 2.5 - Sequência de comutação para obter três níveis de tensão.

Interruptores ligados	V_{an}
T1-TC2	V_{dc}
T1-T2	0
TC1-T2	$-V_{dc}$
TC1-TC2	0

A forma de onda de tensão obtida pelo conjunto de estados apresentados na tabela 2.5 é a apresentada na figura 2.8.

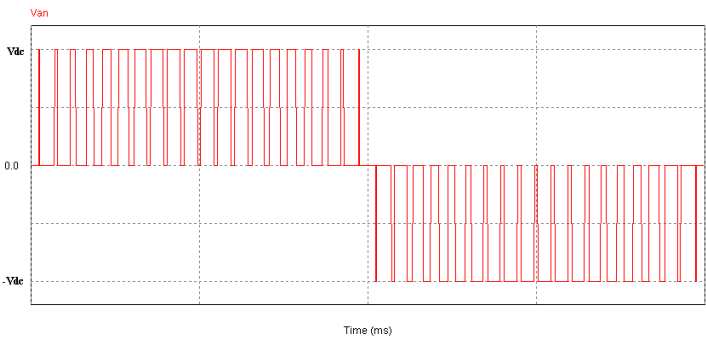


Figura 2.8- Tensão de saída V_{an} para o conversor de três níveis apresentado na Figura 2.7 a).

A tensão de entrada DC em cada uma das pontes devem estar isoladas entre si, normalmente por transformadores de isolamento, baterias, pilhas de combustível ou painéis fotovoltaicos. Na figura 2.7 b), a tensão de saída V_{an} apresenta as seguintes cinco tensões: $2V_{dc}$, V_{dc} , 0 , $-V_{dc}$ e $-2V_{dc}$. O número de níveis (n) de tensão num conversor multinível em ponte ligado em cascata pode ser calculado pela seguinte expressão:

$$n = 2H + 1 \quad (2-3)$$

em que H representa o número de pontes ligadas em série.

Em conclusão, resumem-se as principais vantagens e desvantagens do conversor multinível baseado em conversores em ponte ligados em cascata, [3].

Vantagens:

- Requer um menor número de componentes relativamente às outras estruturas de conversores multinível, para um mesmo número de níveis;
- Permite estruturas modulares já que todos os níveis têm a mesma estrutura não necessitando de díodos de fixação ou de condensadores flutuantes extra;
- Podem ser utilizadas técnicas de comutação suave evitando a necessidade de utilização de *snubbers*.

Desvantagens:

- Necessita de fontes de tensão contínua independentes para cada conversor da estrutura, limitando a sua utilização em algumas aplicações;
- A ligação de fontes isoladas entre conversores em montagens do tipo CA/CC/CA bidireccionais não é possível pois produzem curto-circuito; para evitar este fenómeno é necessário que comutem sincronamente.

2.2.4 - Conversor *Multi Point Clamped* (MPC)

Este conversor é semelhante à topologia com três níveis, começando a diferenciar quando é aplicado para mais níveis, como se pode verificar na figura 2.9, [4], que representa um conversor MPC de 4 níveis. Por análise da figura apresentada, a tensão é fixada por um par de interruptores ao invés de díodos, diferenciando da topologia NPC. O maior número de interruptores usados para fixar os níveis de tensão faz com que o controlo seja mais complexo em relação ao controlo das topologias atrás apresentadas.

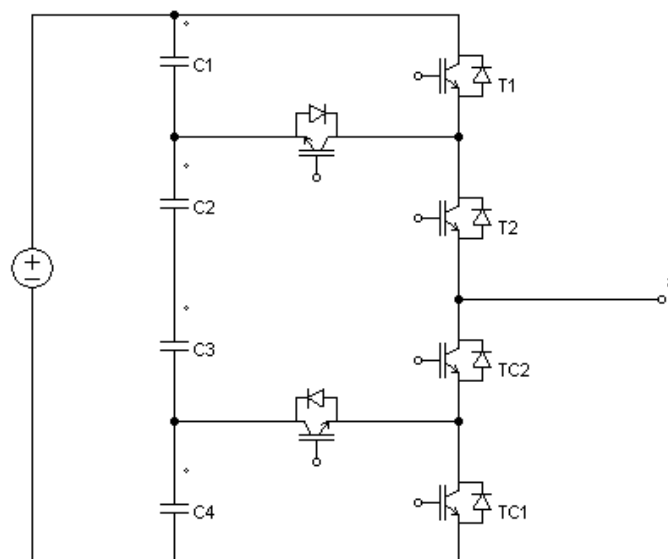


Figura 2.9 - Ramo de um conversor *Multi Point Clamped* de 4 níveis [4].

2.2.5 - Conversor Assimétrico Híbrido

Na topologia conhecida como multinível híbrida assimétrica é possível trabalhar com diferentes níveis de tensão entre as células ou módulos, [5]. Na Figura 2.10 são mostrados dois módulos deste conversor multinível, sendo um deles com nível de tensão igual a V_{dc} e o outro com nível de tensão igual V_{dc}/n .

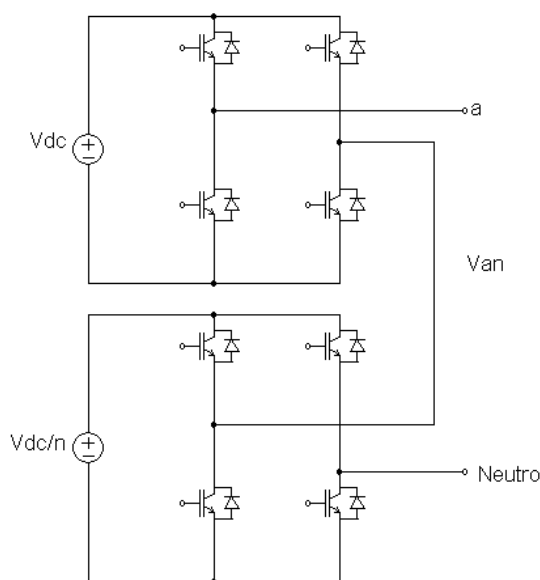


Figura 2.10 - Braço de um conversor multinível com módulos híbridos assimétricos [5].

Os conversores multinível possuem fontes DC isoladas, em que todas elas têm tensões idênticas. Uma forma para aumentar a tensão sem ter que adicionar quaisquer componentes é possuir fontes DC isoladas assimétricas, ou seja, com diferentes níveis tensões, [6]. Caso o

conversor da figura 2.7 a) tivesse fontes DC diferentes por exemplo, $2V_{dc}$ e V_{dc} a tensão de saída passaria a ter sete níveis: $3V_{dc}$, $2V_{dc}$, V_{dc} , 0 , $-V_{dc}$, $-2V_{dc}$ e $-3V_{dc}$. A utilização de fontes DC assimétricas provoca o uso de interruptores diferentes em cada ponte de forma a bloquear diferentes níveis de tensão.

2.2.6 - Conversor *Diode/Capacitor-Clamped*

A topologia deste conversor, [7], está apresentada na figura 2.11 em que utiliza um condensador flutuante entre os dois diodos de fixação. Esta topologia tem a vantagem de reduzir os picos de tensão que existem nos interruptores devido a indutâncias parasitas e devido a manter o ponto médio a uma tensão constante. No entanto, não se justifica alterar a topologia NPC inserindo um condensador flutuante.

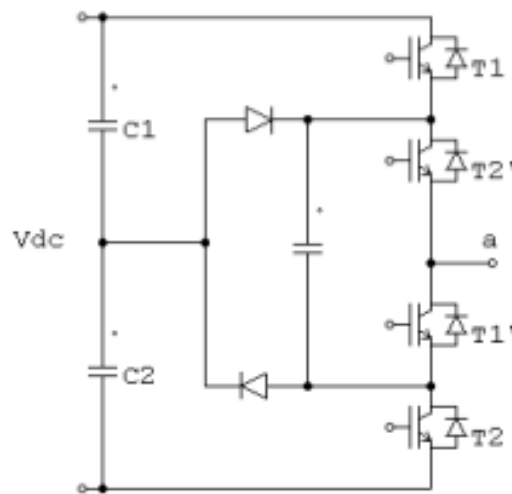


Figura 2.11- Ramo de um conversor *Diode/Capacitor-Clamped* (três níveis) [7].

2.3 - Modulação multinível

A modulação multinível tem como objectivo estabelecer uma certa amplitude e frequência da forma de onda de saída, assim como eliminar/reduzir o conteúdo harmónico da tensão de saída e manter a tensão aos terminais do condensador constante.

Existem diversas técnicas de comutação semelhantes às utilizadas nos conversores de dois níveis. Como nos conversores multinível existem vários níveis de tensão há a necessidade de haver variações na estratégia de comutação.

Certos objectivos só podem ser atingidos graças à existência de estados redundantes, ou seja, é possível atingir um nível de tensão através de diferentes combinações dos interruptores, contribuindo para um melhor equilíbrio da tensão nos condensadores e uma melhoria na sequência de disparo dos interruptores. Geralmente, os diferentes modos de comutação são

agrupados de acordo com a frequência de comutação. A figura 2.12 apresenta um diagrama com as diferentes estratégias de comutação, [7].

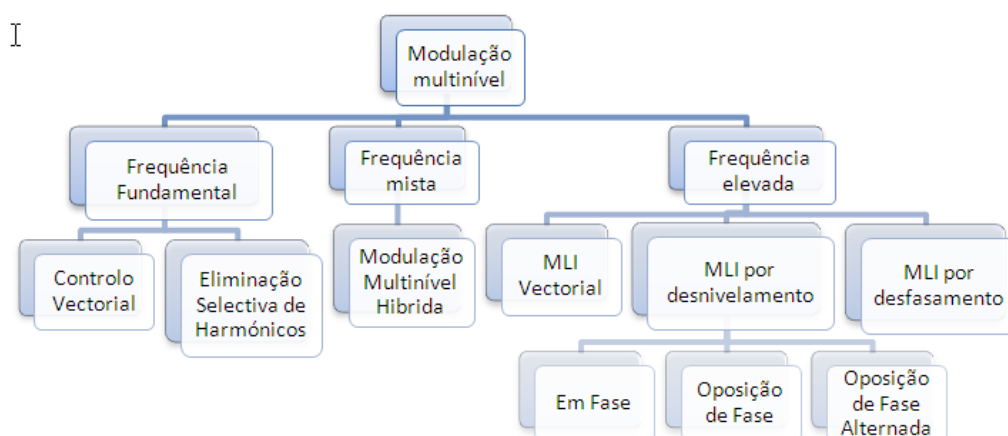


Figura 2.12 - Diagrama com as diferentes estratégias de comutação dos conversores multinível.

De seguida, é realizada uma breve apresentação das estratégias de comutação apresentadas na figura 2.12, onde é descrito o princípio de funcionamento e as vantagens que advêm da utilização de cada método.

2.3.1 - Controlo vectorial

Este tipo de modulação, aplicável em sistemas trifásicos, tem como princípio de funcionamento a escolha do melhor vector de estado em relação ao vector de referência. A figura 2.13 a), mostra os estados possíveis para um conversor de três níveis, onde os vértices de cada triângulo representam os estados e os hexágonos delimitam as zonas mais próximas desses mesmos estados. Em cada comutação é verificada a zona em que se encontra o vector de referência, sendo depois seleccionado o vector de estado correspondente a essa zona. Se a comutação for realizada a baixa frequência, então a forma de onda da tensão de saída será em escada como representado na figura 2.13 b).

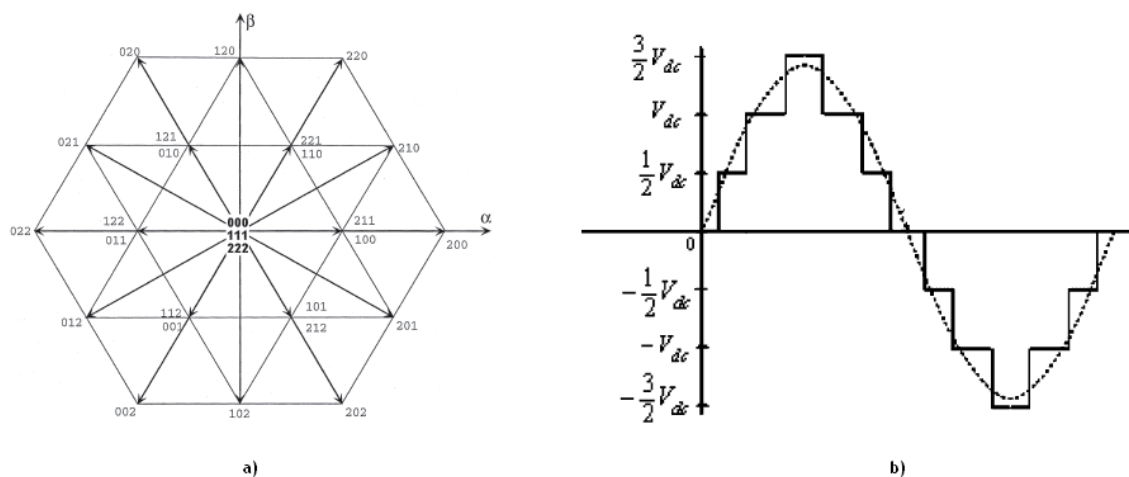


Figura 2.13 - a) Estados possíveis para um conversor de 3 níveis; b) forma de onda da tensão entre uma fase e o neutro de um conversor de 7 níveis.

Por análise da figura 2.13 b), é possível verificar que a forma de onda da tensão de saída se aproxima da forma de onda sinusoidal na situação em que o número de níveis do conversor é elevado. No entanto, para o aumento do número de níveis a complexidade do algoritmo de controlo para calcular o vector exacto para comutação aumenta.

Este método de modulação apresenta como vantagens a simplicidade de implementação e o facto de possuir uma baixa frequência de comutação, o que é ideal para o uso de GTOs. Por outro lado, apresenta as desvantagens de apresentar um elevado conteúdo harmónico, uma dinâmica lenta devido à baixa frequência de comutação e o controlo de amplitude apenas é possível para fontes de tensão de entrada variáveis, tendo sido encontradas referências deste método em [7, 8].

2.3.2 - Eliminação selectiva de harmónicos

A eliminação selectiva de harmónicos tem por base o cancelamento de harmónicos onde se escolhe o ângulo de disparo dos interruptores. A amplitude dos harmónicos ímpares m que se pretendem eliminar pode ser obtida através da série de Fourier descrita na equação abaixo.

$$h_m = \frac{4}{m\pi} \sum_{k=1}^n [v_k \cos(m\theta_k)] \quad (2-4)$$

em que v_k é o k nível da tensão DC e θ_k é o ângulo de disparo.

Na figura 2.14, é ilustrada a forma de onda de tensão com eliminação selectiva de harmónicos num conversor de sete níveis. Para este conversor apenas é possível a escolha de três ângulos de disparo o que permite a eliminação de dois harmónicos e o controlo da amplitude da frequência fundamental. Resumindo, se n for o número de ângulos de disparo é

possível eliminar $n-1$ harmônicos desde que $0 < \theta_1 < \theta_2 < \theta_3 < \theta_4 < \dots < \theta_k < \frac{\pi}{2}$. Usualmente, eliminam-se os harmônicos de baixa frequência sendo, depois, os harmônicos de alta frequência eliminados com recurso a filtros.

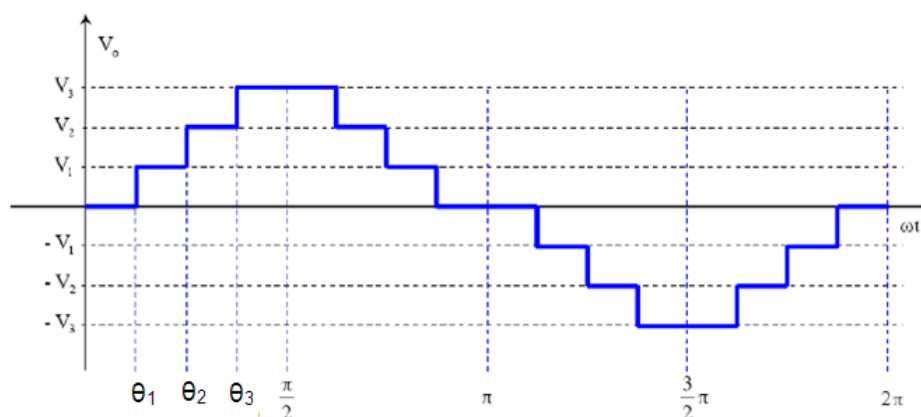


Figura 2.14 - Forma de onda de tensão de um conversor de sete níveis, com aplicação do método de modulação de eliminação selectiva de harmônicos [9].

Após o cálculo dos ângulos de disparo esta estratégia de modulação é simples de implementar. Todos os ângulos de comutação podem ser calculados *off-line* e, em seguida, armazenados num quadro de referência para implementação digital, [9]. Em comparação com a modulação por largura de impulsos, a comutação à frequência fundamental apresenta baixas perdas de comutação, [9].

2.3.3 - Modulação multinível híbrida

Este método de modulação está documentado em [10], onde foi aplicada esta estratégia de modulação a um conversor multinível híbrido de sete níveis, onde cada uma das fases é constituída por duas pontes em H, sendo uma constituída por IGBT's e outra por GTO's, conforme apresentado na figura 2.15.

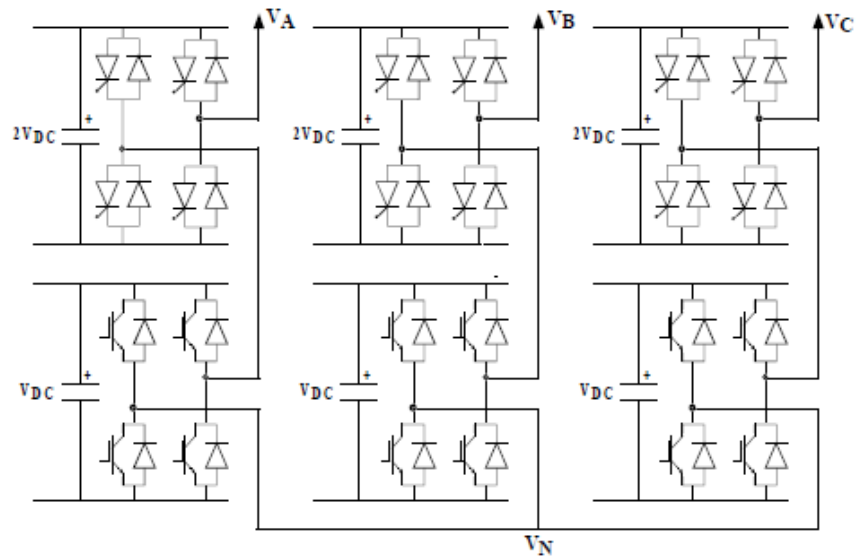


Figura 2.15 - Conversor multinível híbrido de sete níveis.

Nesta situação são obtidos dois estágios de tensão diferentes, um estágio de alta tensão que é formado pela ponte que contém os GTO's modulado à frequência fundamental e o outro patamar de baixa tensão que é modulado pela ponte que contém os IGBT's a alta frequência, que surge através da subtração da saída do patamar de alta tensão com a onda de referência. Desta forma, a referência de baixa tensão contém informações sobre o conteúdo harmônico do estágio de alta tensão. Quando se juntam as duas ondas forma-se uma onda com sete níveis de tensão. A figura 2.16 apresenta as diferentes formas de onda obtidas.

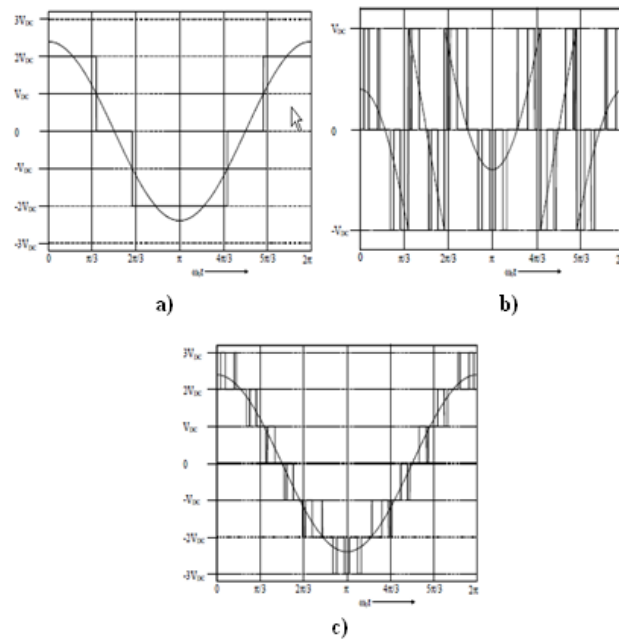


Figura 2.16 - a) Onda de referência e forma de onda obtido para o patamar de alta tensão e baixa frequência; b) onda de referência para o patamar de baixa tensão e alta frequência; c) conjunto das ondas de referência e das tensões de saída [10].

Esta estratégia de modulação permite, então, a implementação de conversores usando diferentes semicondutores assim como obter uma baixa distorção harmónica na tensão de saída do conversor.

2.3.4 - Modulação por largura de impulsos

O método de modulação por largura de impulsos é o método mais usado no controlo de conversores de dois ou mais níveis. Este método tem como princípio a comparação de duas formas de onda, a moduladora e a portadora. Geralmente, a onda moduladora é uma forma de onda triangular, que é comparada com a portadora que, no caso de conversores CC/CA, tem a forma de uma onda sinusoidal. A frequência da onda moduladora é superior à frequência da onda portadora definindo esta a frequência da onda de tensão à saída do conversor.

Devido à flexibilidade de aplicação deste método de modulação, existem diversas variantes como representado no diagrama da figura 2.12. As variantes deste método são de seguida referidas.

MLI por desfasamento

Este método é conhecido na literatura por *Phase Shifted PWM* (PSPWM), sendo utilizado em conversores de n níveis. Para n níveis de tensão são necessárias $n-1$ portadoras com amplitude e frequência iguais, [11], contudo estas terão de ficar desfasadas entre si de acordo com a seguinte expressão:

$$\phi_{cr} = \frac{360^\circ}{(n-1)} \quad (2-5)$$

em que ϕ_{cr} representa o desfasamento entre portadoras.

Na figura 2.17, a forma de onda da moduladora e da portadora são apresentadas, assim como os sinais de disparo resultantes e a forma de onda de tensão obtida no final. Pode-se verificar que existem quatro portadoras, o que indica que a forma de onda da tensão de saída tem cinco níveis, como se pode verificar.

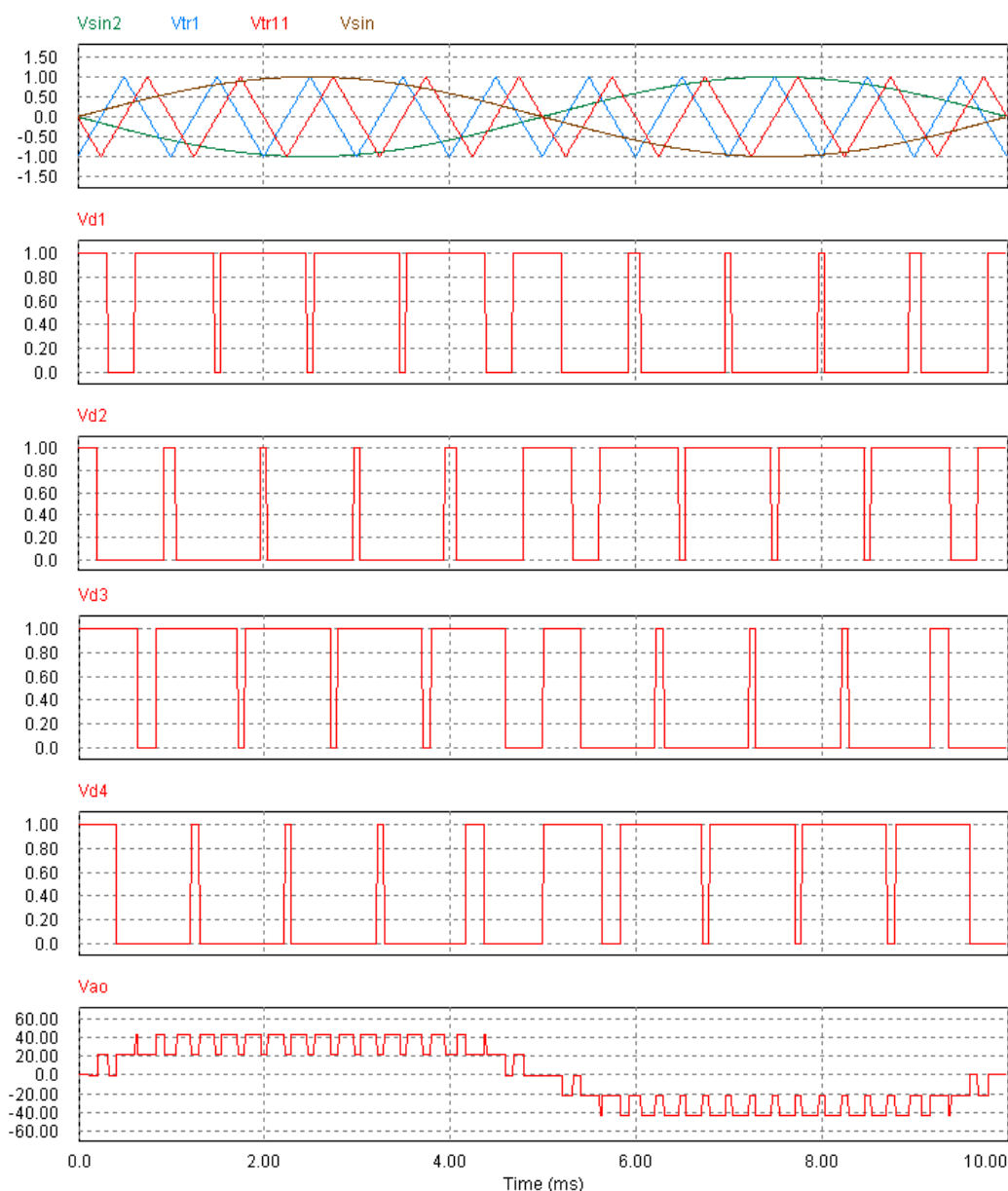


Figura 2.17 - MLI por desfasamento para um conversor de cinco níveis de cima para baixo: onda portadora e moduladoras; resultado da aplicação do algoritmo; forma de onda de saída resultante (soma das 4 anteriores).

Esta estratégia de modulação, para além de possuir uma baixa distorção harmónica tem a vantagem de quando aplicada a conversores multinível *cascaded H-bridge*, permitir a ligação directa dos sinais de comando aos interruptores, enquanto para outras topologias é necessário haver algum tipo de condicionamento de sinal.

MLI por desnivelamento

Existem três variantes na utilização deste método de modulação: em fase, em oposição de fase e em oposição de fase alternada. A modulação por largura de impulsos por

desnívelamento, tal como a anterior, consiste na utilização de portadoras em que todas elas têm a mesma amplitude e frequência, mas encontram-se a diferentes níveis de tensão. A figura 2.18 apresenta as três variantes desta estratégia de modulação, referenciadas em [12].

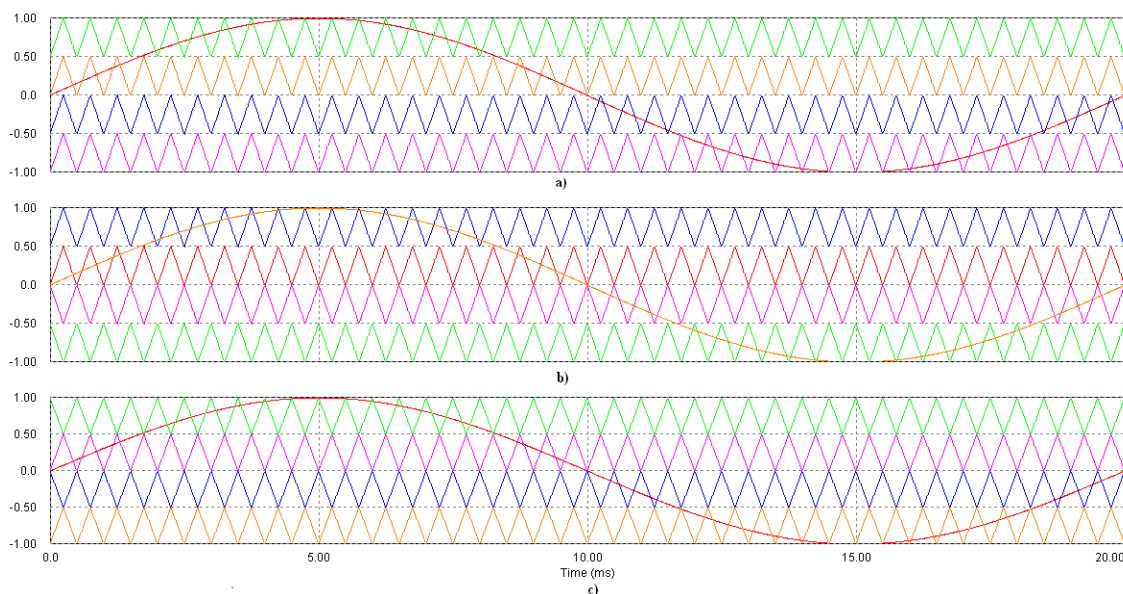


Figura 2.18 - MLI por desnívelamento para um conversor de cinco níveis: a) portadoras em fase; b) portadoras em oposição de fase alternada; c) portadoras em oposição de fase.

Como se pode observar na figura 2.18, as características de cada uma das variantes apresentadas na utilização da MLI por desnívelamento são as seguintes, [10]:

- A disposição de portadoras em fase, tal como o nome indica possui todas as portadoras em fase;
- A disposição de portadoras em oposição de fase alternada caracteriza-se por ter a portadora desfasada da sua adjacente de 180° ;
- A disposição de portadoras em oposição de fase onde as portadoras acima do zero da referência sinusoidal estão desfasadas em 180° em relação às portadoras que se encontram abaixo do zero da referência sinusoidal.

É de referir que os métodos de portadoras em oposição de fase e em oposição de fase alternada são equivalentes em conversores de três níveis. A estratégia de modulação em que as portadoras estão em fase caracteriza-se como sendo o método que melhores resultados obtém de conteúdo harmónico da tensão entre fases, como referenciado em [10].

Aos dois métodos de modulação por largura de impulsos apresentados anteriormente é possível incluir a injeção do 3º harmónico. A utilização da injeção do terceiro harmónico nestes dois métodos apresentados de comando permite que o índice de modulação máximo possa ser aumentado para além de 1.0 sem que se entre na zona de sobremodulação. Para realizar a simulação com injeção do terceiro harmónico basta somar à moduladora uma

sinusóide com um sexto da amplitude (podendo variar entre 1/6 e 1/4) e com tripla frequência. A utilização deste método é referida mais à frente, nomeadamente na secção 3.2.

MLI vectorial

A aplicação da estratégia de modulação por largura de impulsos vectorial caracteriza-se pela representação de todos os estados possíveis na saída em vectores no plano d-q e, dependendo da posição do vector de referência é escolhido qual o vector que deve representar a saída. Por exemplo, a figura 2.19 b) apresenta o número de estados possíveis para um conversor de dois níveis. Este conversor apresenta apenas oito estados, uma vez que as outras combinações curto-circuitam os ramos do conversor, como apresentado em [13]. A tabela 2.6 apresenta todos os estados do conversor apresentado na figura 2.19 a).

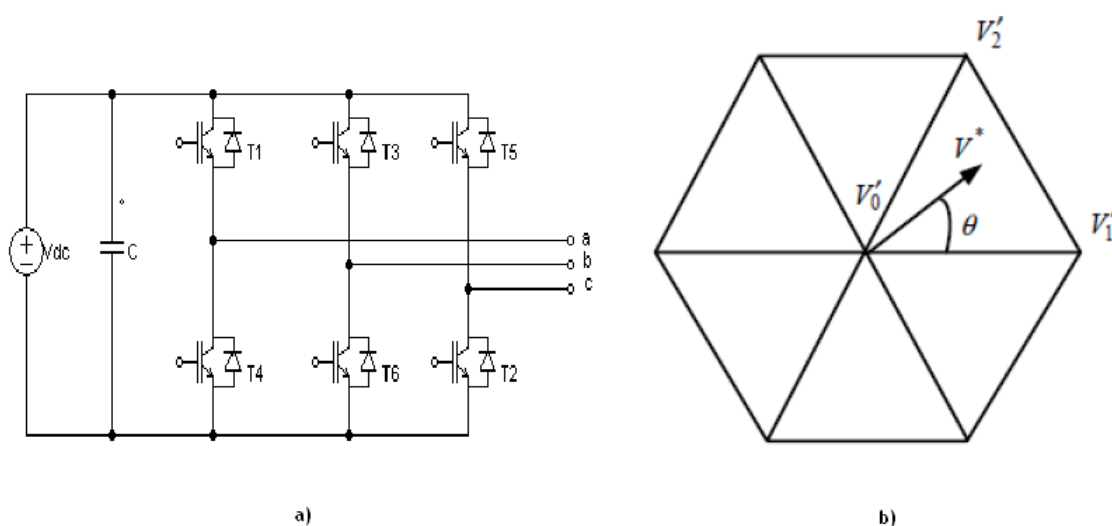


Figura 2.19 - a) Conversor convencional de dois níveis; b) diagrama de vectores de estado.

Tabela 2.6 - Combinação dos estados dos interruptores para o conversor da figura 2.19 a).

Estados	Interruptores Ligados	V_{ab}	V_{bc}	V_{ac}
1	T1, T6, T2	V_{dc}	0	$-V_{dc}$
2	T3, T2, T1	0	V_{dc}	$-V_{dc}$
3	T3, T2, T4	$-V_{dc}$	V_{dc}	0
4	T5, T4, T3	$-V_{dc}$	0	V_{dc}
5	T5, T4, T6	0	$-V_{dc}$	V_{dc}
6	T1, T6, T5	V_{dc}	$-V_{dc}$	0
7	T1, T3, T5	0	0	0
8	T4, T6, T2	0	0	0

Para uma correcta escolha do estado de saída, é necessário que o algoritmo tenha em atenção o local em que se encontra o vector de referência, a sequência de vectores a ser utilizada e o tempo em que esses vectores devem estar accionados.

Estes aspectos são essenciais para obter a amplitude, frequência e conteúdo harmónico desejado. A figura 2.20 mostra a aplicação deste método de controlo nos conversores multinível, neste caso para um conversor de três níveis, [14]. Por análise da figura, é possível verificar que existem 27 estados, onde oito desses estados são redundantes.

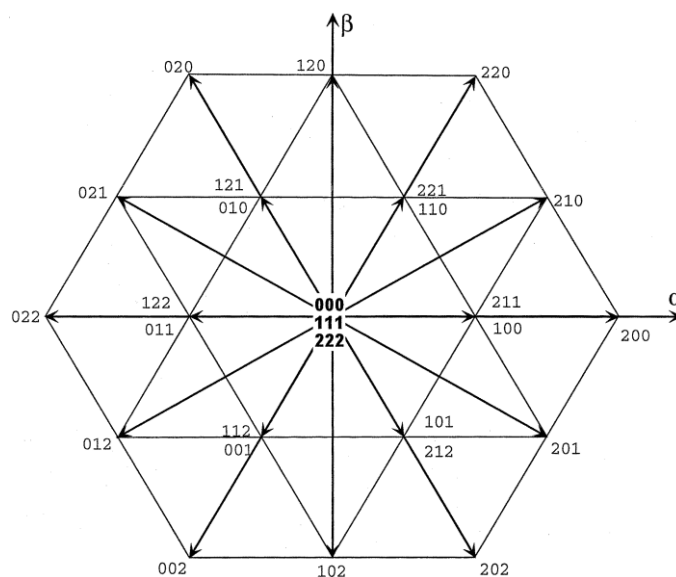


Figura 2.20 - Diagrama de vectores de estado para um conversor de 3 níveis.

Esta estratégia de controlo caracteriza-se por permitir uma amplitude de saída superior à modulação PWM sinusoidal e menores perdas de comutação. À medida que se aumenta o número de níveis a complexidade do algoritmo de controlo aumenta, o que apresenta uma desvantagem quando o número de níveis começa a ser superior a três.

2.4 - Conclusões

As principais topologias de conversores electrónicos de potência multinível e as principais características de cada topologia foram apresentadas, assim como os vários métodos de modulação. A definição da existência de uma melhor topologia e de um método de modulação não pode ser concluída, devido à riqueza das diferenças apresentadas em cada uma das topologias.

A implementação de uma determinada topologia de conversores multinível deve ser feita observando as principais características da aplicação à qual o conversor será submetido; de seguida, deve-se escolher qual o método de modulação que mais se apropria para a topologia em questão.

As limitações de custo, complexidade de controlo, flexibilidade de operação, nível de tensão de saída e qualquer outra limitação que possa inviabilizar a aplicação devem ser consideradas na escolha da topologia.

Capítulo 3

Simulação do inversor trifásico

3.1 - Introdução

Neste capítulo é realizada a simulação do inversor multinível trifásico *cascaded H-bridge* com três, cinco e sete níveis de tensão de saída. As simulações realizadas têm como objectivo a análise das características que definem o funcionamento do conversor multinível, para posterior implementação; neste caso, apenas do inversor com cinco níveis de tensão.

Para a realização da simulação deste conversor foi utilizado como *software* o *PSIM 7.1.1* porque este *software* é indicado para simulação de circuitos de potência, permitindo a utilização de blocos programados em C para a implementação de métodos de controlo mais complexos, nomeadamente a modulação por largura de impulsos vectorial.

Na figura 3.1 é apresentado o esquema do sistema a ser simulado; a topologia utilizada é a topologia *cascaded H-bridge*. Para esta topologia o método de modulação pode variar, sendo que a MLI por desfasamento, a MLI vectorial e a eliminação selectiva de harmónicos (*Selective Harmonic Elimination* - SHE) são os métodos mais utilizados nesta topologia, [15].

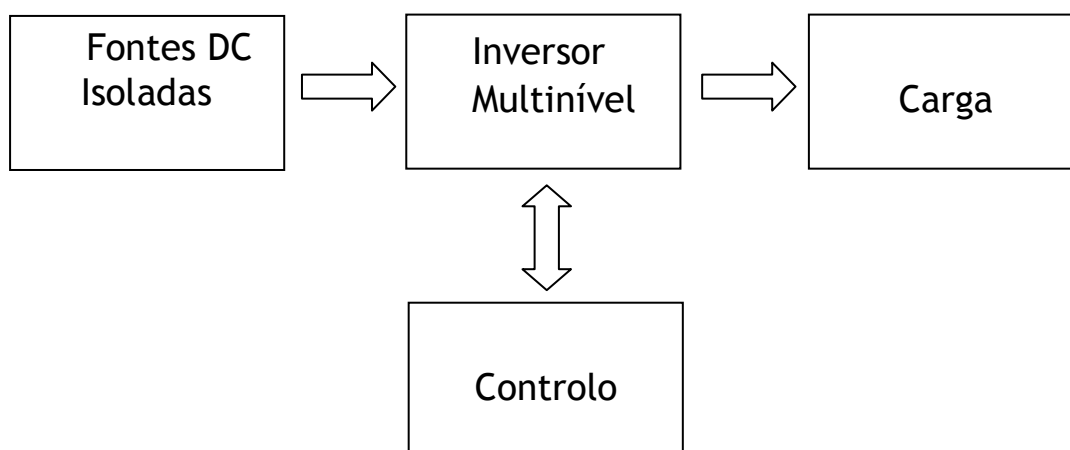


Figura 3.1- Estrutura do sistema a ser simulado.

A simulação foi realizada com diferentes métodos de controlo e para um inversor *cascaded H-bridge* com diferentes níveis de tensão:

- MLI com desfasamento e injeção do terceiro harmónico para um inversor de três níveis;
- MLI com desfasamento e injeção do terceiro harmónico para um inversor de cinco níveis;
- MLI com desfasamento e injeção do terceiro harmónico para um inversor de sete níveis;
- MLI vectorial para um inversor de três níveis.

O objectivo da simulação é de comparar a corrente e tensão à saída e o espectro harmónico da tensão de saída em cada método de controlo. O controlo é realizado em malha aberta, uma vez que o controlo de uma carga em malha fechada não faz parte dos objectivos desta dissertação.

A simulação é um passo extremamente importante que antecede a implementação pois permite uma melhor compreensão acerca da estrutura em estudo possibilitando, assim, uma melhor implementação do sistema não colocando em causa o bom funcionamento do material.

3.2 - Simulação por MLI por desfasamento com injeção do 3º harmónico

Na secção 2.3.4 o método de controlo de MLI por desfasamento foi apresentado no seu funcionamento global. No entanto, aqui vai ser especificado a aplicação deste método de modulação com aplicação à topologia utilizada nesta dissertação que se encontra ilustrada na figura 3.2.

Na modulação por largura de impulsos em geral, é possível definir a amplitude e frequência da tensão de saída através do índice de modulação em amplitude (m_a) e em frequência (m_f), respectivamente. O índice de modulação em amplitude pode ser calculado através da seguinte expressão:

$$m_a = \frac{V_{control}}{V_{tri}} \quad (3-1)$$

em que, $V_{control}$ é o valor de pico da tensão do sinal de controlo, ou seja, da onda sinusoidal, e V_{tri} é o valor de pico da tensão da onda triangular.

A tensão de saída à frequência fundamental pode então ser calculada a partir da equação (3-2).

$$V_o = m_a \times E \quad (3-2)$$

onde E representa a tensão de entrada em cada ponte.

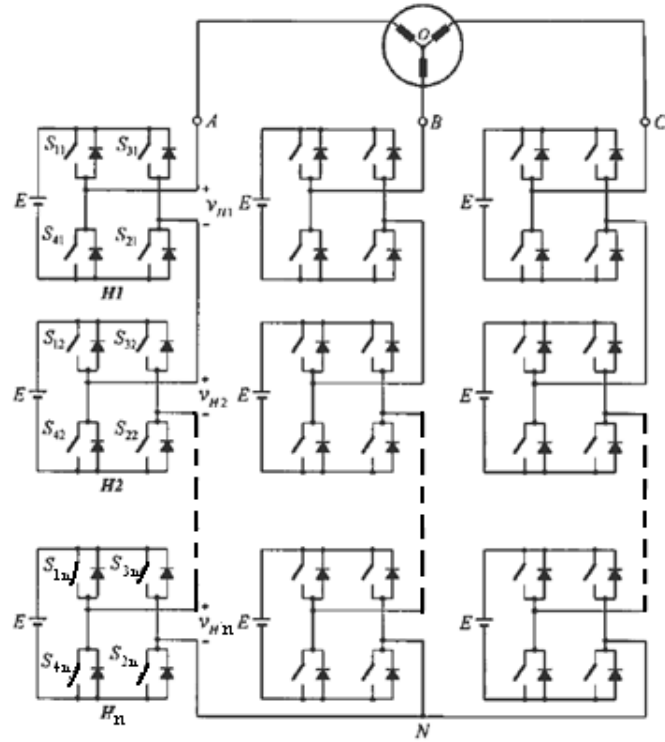


Figura 3.2 - Topologia do inversor multinível *cascaded H-bridge* de n níveis [26].

Para a topologia apresentada na figura 3.2 a tensão de saída à frequência fundamental (V_{an}) pode ser calculada pela expressão apresentada em (3-3), onde n representa o número de níveis do inversor.

$$V_{an} = n \times m_a \times E \quad (3-3)$$

O número de níveis de um inversor multinível *cascaded H-bridge* é calculado segundo a seguinte relação:

$$n = (2H + 1) \quad (3-4)$$

sendo que H representa o número de pontes.

O índice de modulação em frequência, m_f é definido através da seguinte expressão:

$$m_f = \frac{f_s}{f_1} \quad (3-5)$$

onde f_s é a frequência da onda portadora, ou seja, da forma de onda triangular e f_1 é a frequência fundamental nomeadamente a frequência da onda sinusoidal.

O conteúdo espectral da tensão de saída encontra-se presente em $2m_f \pm 1$ e em $2m_f \pm 3$ e assim em diante e estes podem ser calculados com recurso à seguinte equação:

$$f_h = (jm_f \pm k)f_1 \quad (3-6)$$

onde a frequência fundamental corresponde a $h=1$.

Para valores ímpares de j os harmónicos surgem apenas para valores em que k é par. Para valores pares de j os harmónicos existem apenas para valores onde k é ímpar.

No método de modulação por largura impulsos com desfasamento entre portadoras (PSPWM), existem duas sinusóides que se encontram desfasadas 180° entre si, e para n níveis de tensão são necessárias $(n+1)$ portadoras por fase. O desfasamento entre portadoras da mesma fase é calculado através da equação 2-5.

Nas sub-seções seguintes são apresentados os resultados obtidos para cada uma das simulações realizadas.

3.2.1 - PSPWM com 3 níveis de tensão

Na secção 2.3 foi referido superficialmente o método de modulação por largura de impulsos com injeção do 3º harmónico sendo, no entanto, aqui melhor referido e implementado. Por análise da figura 3.3 verifica-se a existência da soma de duas sinusóides em que uma representa a moduladora e a outra sinusóide representa a injeção do terceiro harmónico.

A utilização de injeção do terceiro harmónico a este método de comando foi proposto por Buja e Indri em 1975 [16], a inclusão desta componente permite que o índice de modulação máximo possa ser aumentado para além de 1.0 sem que se entre na zona de sobremodulação, como se pode verificar pela figura 3.3, [16]. Para realizar a simulação com injeção do terceiro harmónico basta somar à moduladora uma sinusóide com um sexto da amplitude (podendo variar entre $1/6$ e $1/4$) e com tripla frequência.

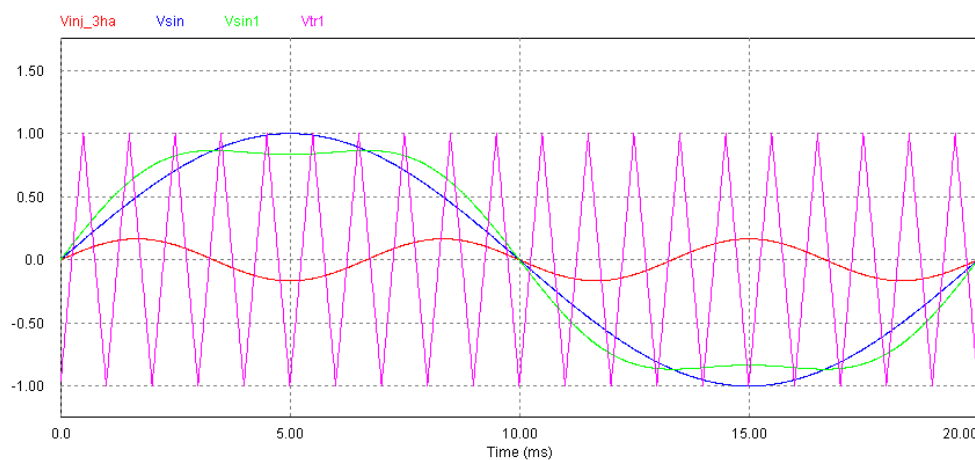


Figura 3.3 - Forma de onda sinusoidal e triangular com injeção do terceiro harmónico para um índice de amplitude igual a 1 ($m_a=1,0$).

É possível concluir que a injeção do terceiro harmónico, para além de eliminar o 3º harmónico, possibilita um aumento do ganho da tensão de saída.

Quando é implementado um inversor multinível *cascaded H-bridge* de três níveis, apenas existe uma ponte por cada fase. Se a equação (3.4) for resolvida em ordem a H , sabendo que o número de níveis é igual a três, o número de pontes conectadas em série por fase (H) é igual a um. A figura 3.3 apresenta o circuito de simulação para um inversor de três níveis.

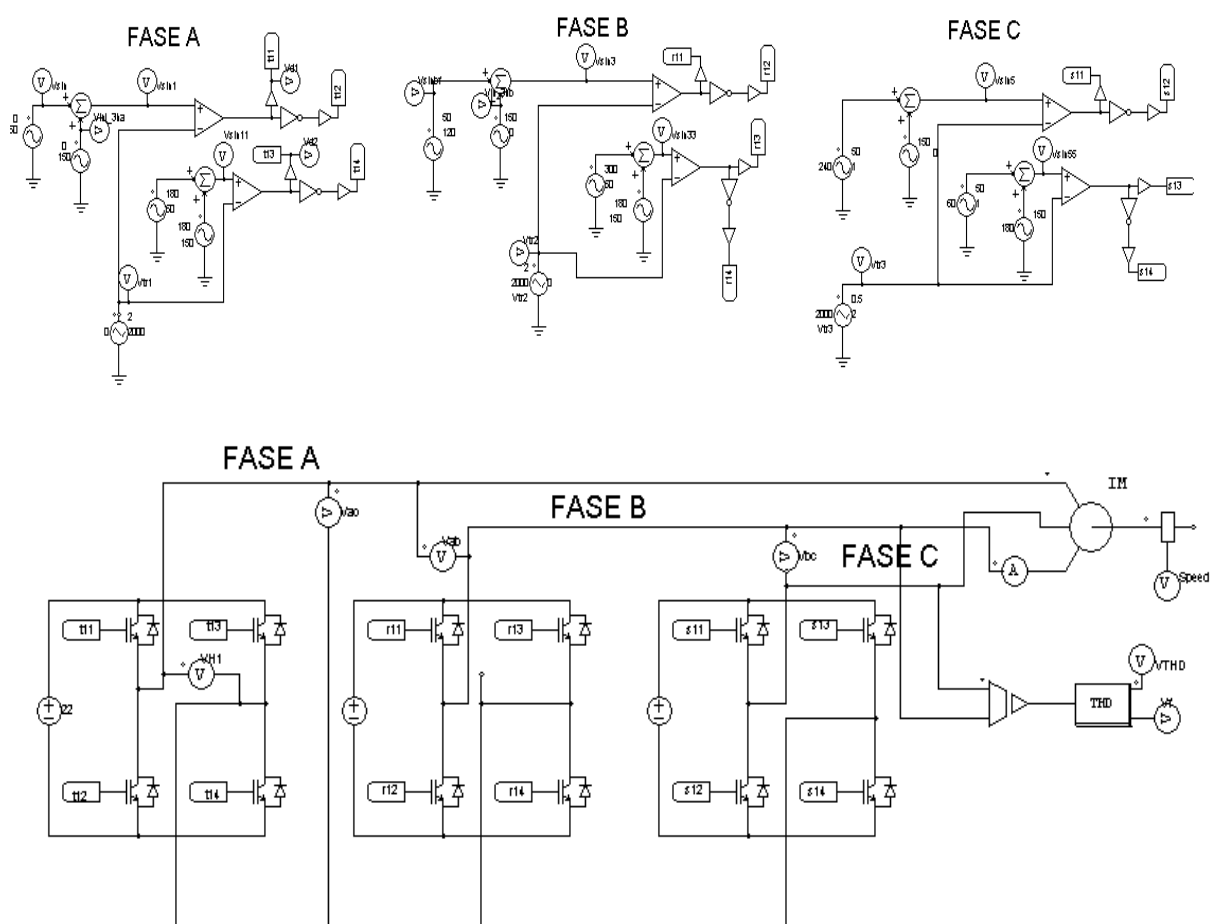


Figura 3.4 - Circuito de simulação com controlo por PPSWM de três níveis.

A tensão de entrada em cada uma das pontes é igual 22 V. Optou-se por este valor já que, no futuro, se pretende utilizar um destes inversores para fazer a conexão a um conjunto de painéis fotovoltaicos. A carga utilizada é um motor de indução com as seguintes características:

- $R_s=3,35 \, \Omega$;
- $L_{ls}= 6,94 \, \text{mH}$;
- $R_r=1,99 \, \Omega$;
- $L_{lr}= 6,94 \, \text{mH}$;

- $L_m = 164 \text{ mH}$;
- $p = 4$;
- $M = 0,01 \text{ kg}\cdot\text{m}^2$.

A frequência da portadora e da moduladora são 2 kHz e 50 Hz, respectivamente, sendo que o índice de amplitude (m_a) é igual a 1. Na figura 3.5, a) encontra-se ilustrada a portadora e moduladora, em b) e c) encontram-se os sinais de comando para os IGBT's de uma fase.

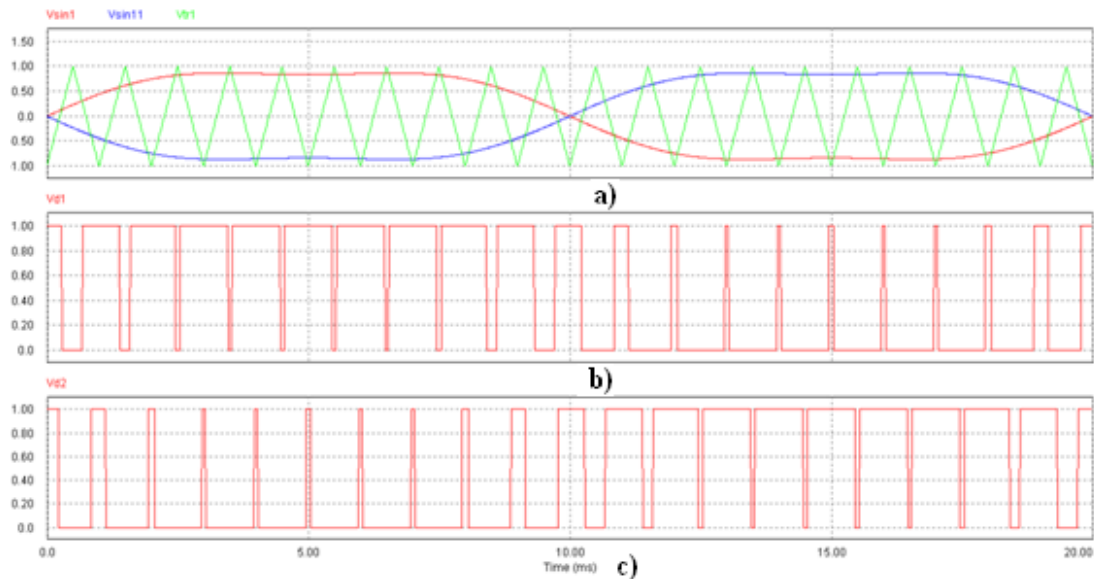


Figura 3.5 - a) Modulação com injeção do 3º harmónico; b)-c) Sinais de controlo dos IGBT's.

Na figura 3.5 apenas encontra-se ilustrado os sinais de comando para os IGBT's superiores de uma ponte, uma vez que os sinais de comando dos IGBT's inferiores são complementares.

É essencial analisar as formas de onda que caracterizam o conversor multinível. Para isso, foram observadas as formas de onda da corrente e da tensão de saída que se encontram apresentadas na figura 3.6.

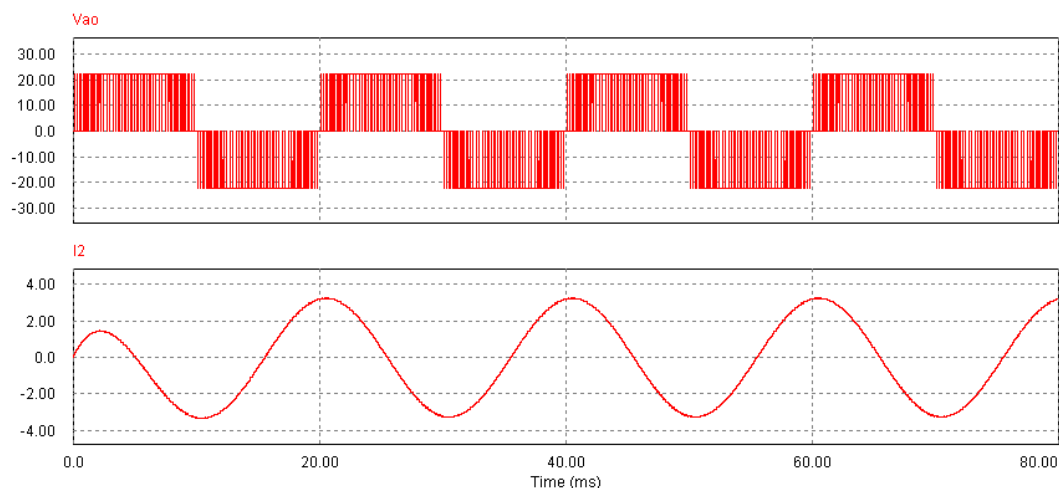


Figura 3.6 - Tensão de saída em uma das fases; b) Corrente na carga em uma das fases.

Com recurso à forma de onda de tensão apresentada na figura 3.6, é possível apresentar o conteúdo espectral da tensão de saída anteriormente apresentada.

É possível verificar, na figura 3.7, a presença do terceiro harmónico, ou seja, a frequência de 150 Hz é de certa forma bastante significativa. Tal como apresentado na equação (3-6), há a presença de harmónicos à frequência de 3950 Hz e 4050 Hz.

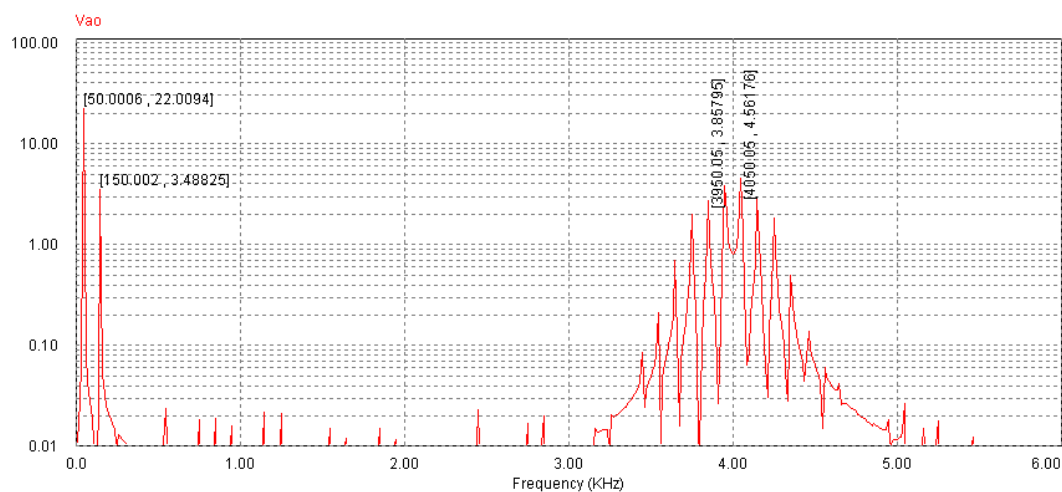


Figura 3.7 - Distorção harmónica de tensão em uma das fases.

A figura 3.8 apresenta a forma de onda da tensão entre fases assim como o conteúdo espectral presente na tensão entre fases.

Na tensão entre fases existem cinco níveis de tensão devido à configuração trifásica. É possível verificar, ainda, que a presença do terceiro harmónico é insignificante. No entanto, existe a presença de harmónicos à frequência de 3950 e 4050 Hz.

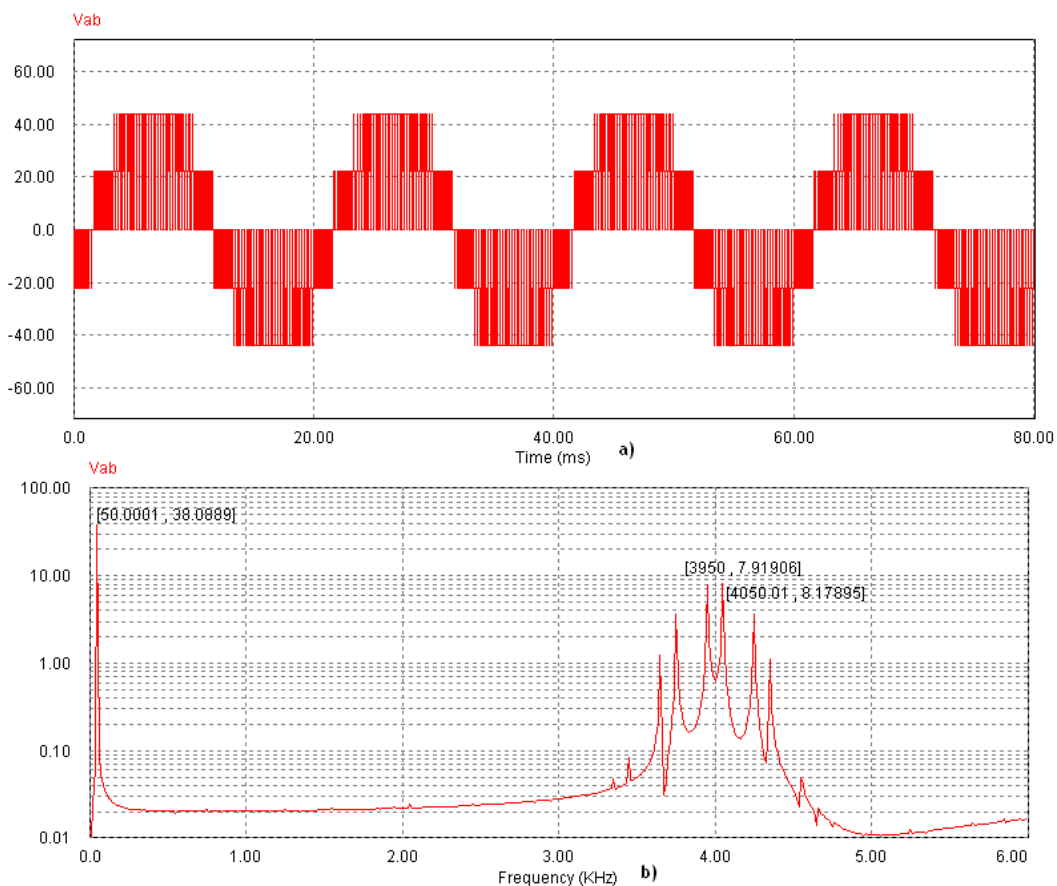


Figura 3.8 - a) Tensão de saída entre fases; b) Distorção harmónica da tensão entre fases.

De seguida, realizou-se uma análise da THD e do valor eficaz da tensão entre fases, para diferentes valores do índice de modulação. Para isso, encontra-se apresentado na tabela 3.1 os valores da THD e do valor eficaz da tensão entre fases, para diferentes valores do índice de modulação, nomeadamente 1, 0,5 e 0,25.

Tabela 3.1 - THD e RMS da tensão entre fases (3 níveis).

Índice de modulação	THD	RMS
1	0,49	27,0
0,5	1,23	13,3
0,25	1,96	6,9

É possível concluir, então, que à medida que o índice de modulação diminui a distorção harmónica total (*THD*) aumenta e o valor eficaz da tensão de saída diminui sendo que, quanto maior o índice de modulação maior a qualidade da tensão de saída do conversor.

3.2.2 - PSPWM com 5 níveis de tensão

Para a topologia *cascaded H-bridge* com cinco níveis de tensão à saída o número de portadoras a utilizar é igual a 4 e o desfasamento entre portadoras de diferentes pontes, de acordo com a equação (2-5), é $\phi_{cr} = 90^\circ$. A estrutura de simulação utilizada no *PSIM* foi a apresentada abaixo (figura 3.9):

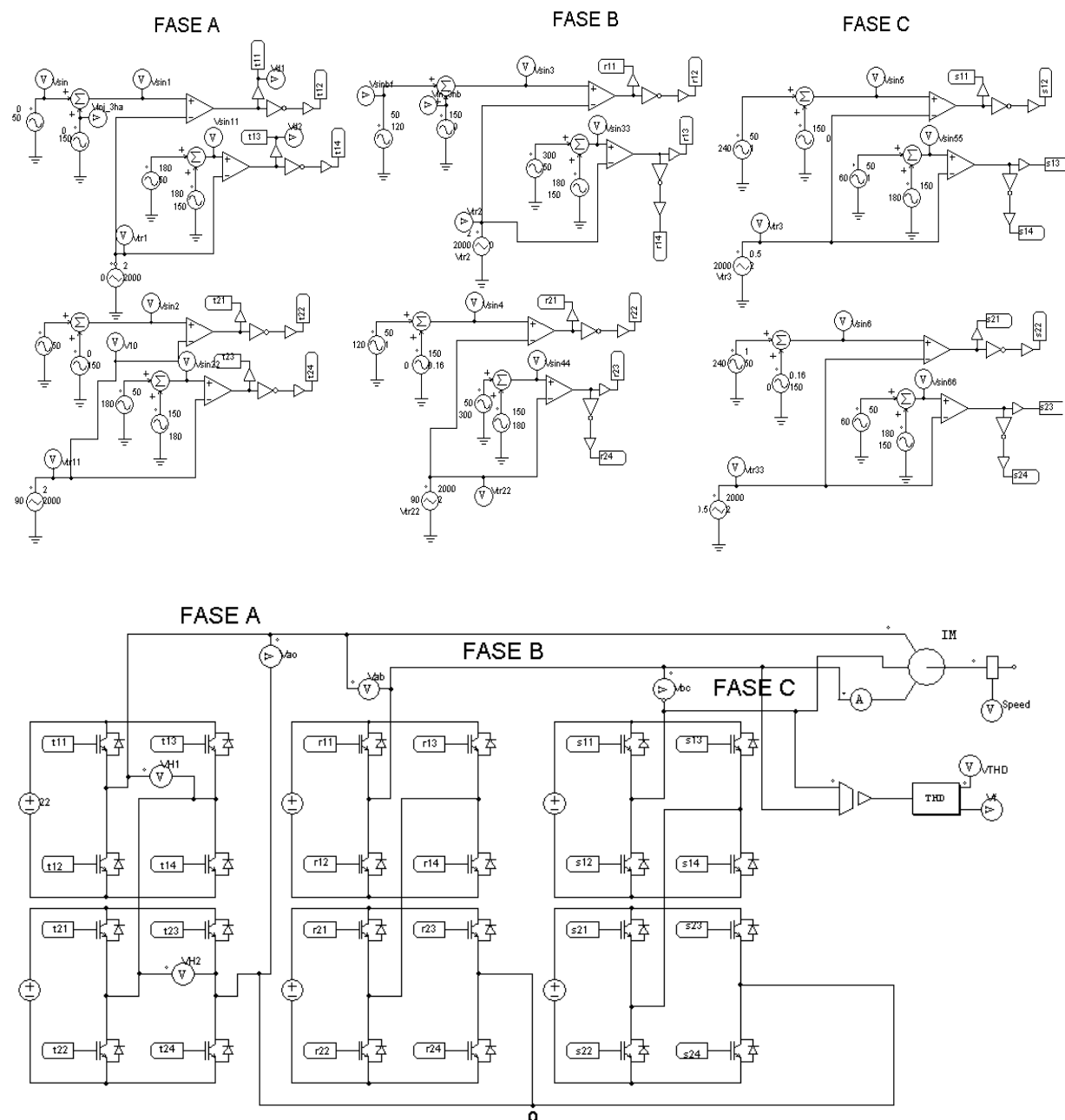


Figura 3.9 - Circuito de simulação com controlo por PSPWM de cinco níveis.

Na figura 3.10 encontram-se ilustradas as moduladoras e as portadoras com o desfasamento de acordo com a equação (2-5).

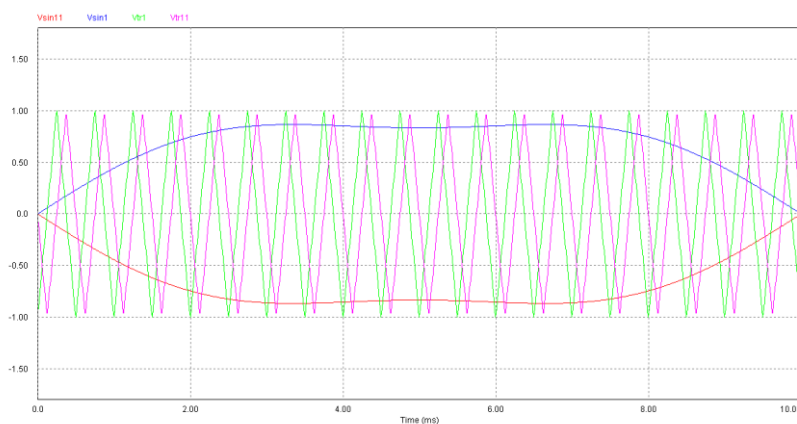


Figura 3.10 - Modulação com injeção do 3º harmónico com portadoras para diferentes pontes.

A figura 3.11 a) apresenta a tensão em uma das fases, estando os cinco níveis de tensão perfeitamente distintos, e a corrente numa das fases.

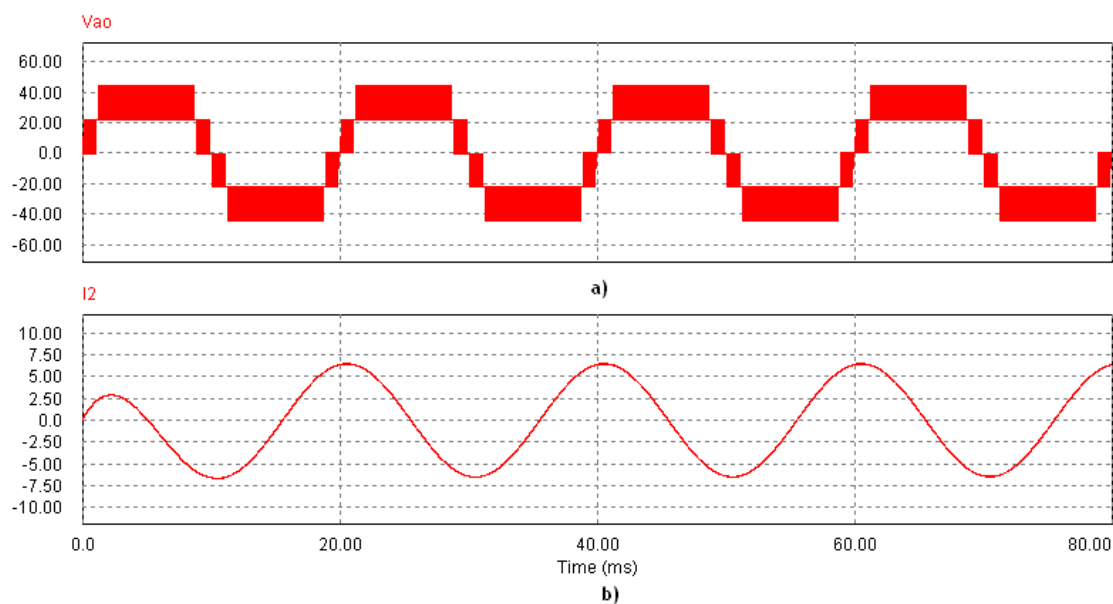


Figura 3.11 - a) Tensão de saída em uma das fases (3 níveis); b) Corrente na carga em uma das fases.

De seguida, através da tensão de saída representada na figura 3.11 a), é possível traçar o espectro de harmónicos da tensão de saída, que se encontra representada na figura 3.12.

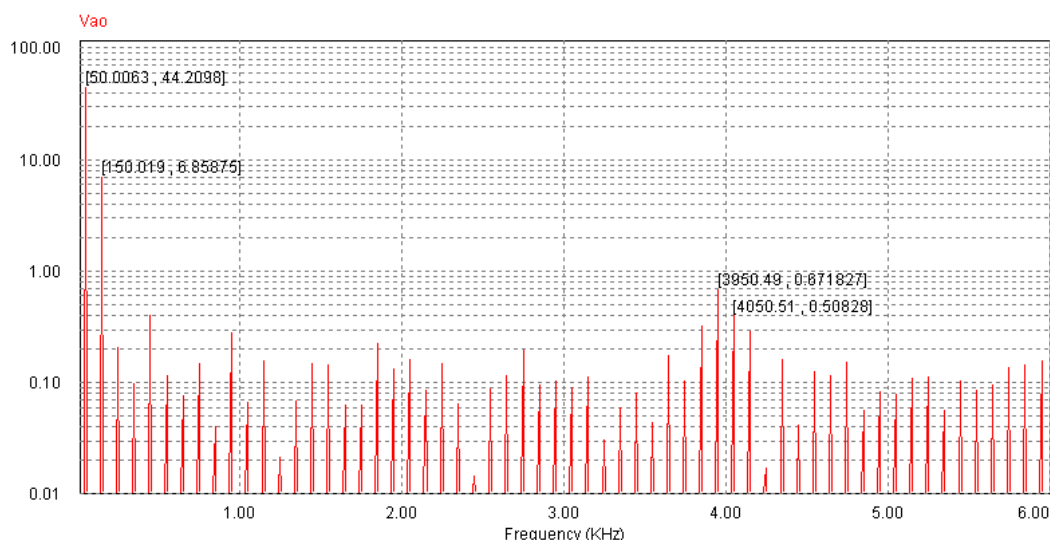


Figura 3.12 - Distorção harmónica de tensão numa das fases.

Analisando a figura 3.12, é possível verificar que a presença do 3º harmónico é bastante significativa; no entanto, na tensão entre fases não se verifica a presença do terceiro harmónico, como apresentado na figura 3.13 b). Na figura 3.13 a) encontra-se ilustrada, então, a tensão entre fases, que apresenta um maior número de níveis, resultante do sistema trifásico, apresentando nove níveis de tensão, uma vez que a tensão entre fases é igual à diferença das formas de onda de tensão de duas das fases.

O uso de portadoras com desfasamento não produz harmónico à frequência de comutação na tensão simples nem na tensão entre fases. No entanto, produz harmónicos em seu torno e de acordo com a equação (3-6). Realizou-se uma análise da THD e do valor eficaz da tensão entre fases, para diferentes valores do índice de modulação. Para isso, encontra-se apresentado na tabela 3.2 os valores da THD e do valor eficaz da tensão entre fases, para diferentes valores do índice de modulação nomeadamente 1, 0,5 e 0,25.

Tabela 3.2 - THD e RMS da tensão entre fases (5 níveis).

Índice de modulação	THD	RMS
1	0,29	53,6
0,5	0,5	26,8
0,25	1,2	13,4

É possível concluir então, que à medida que se diminui o índice de modulação a THD aumenta e o valor eficaz da tensão entre fases diminui. Logo, a forma de onda da tensão de saída apresenta um melhor conteúdo espectral à medida que se aumenta o índice de modulação.

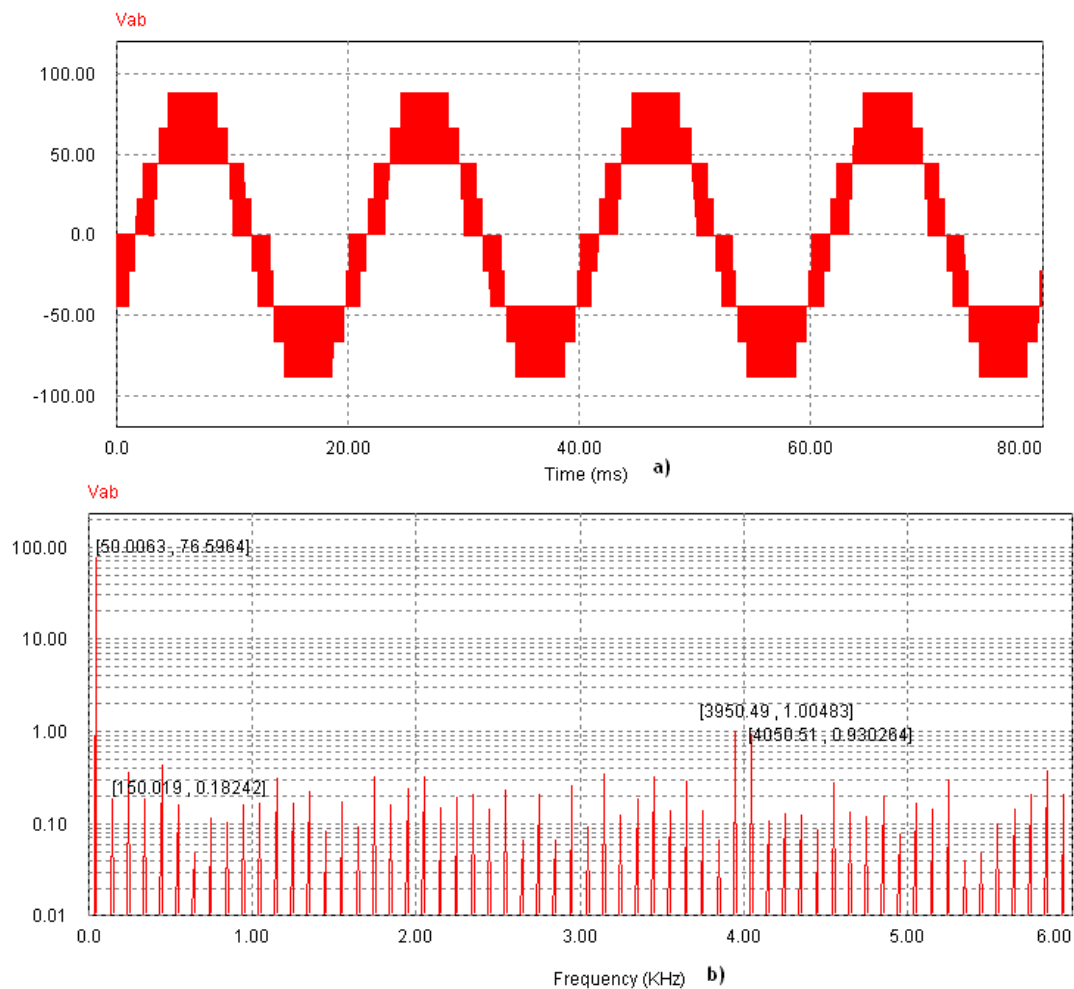


Figura 3.13 - a) Tensão de saída entre fases; b) Distorção harmônica da tensão entre fases.

3.2.3 - PSPWM com 7 níveis de tensão

Para o inversor *cascaded H-Bridge* de sete níveis, são necessárias seis portadoras por fase onde para portadoras de diferentes pontes o desfaseamento é igual a 60° de acordo com a equação (2-5). A estrutura de simulação utilizada encontra-se ilustrada na figura 3.14.

A estrutura de simulação para este inversor de sete níveis é em tudo semelhante ao anterior (cinco níveis), com a exceção de que existe mais uma ponte por fase. A carga utilizada na saída é a mesma que foi apresentada na simulação anterior.

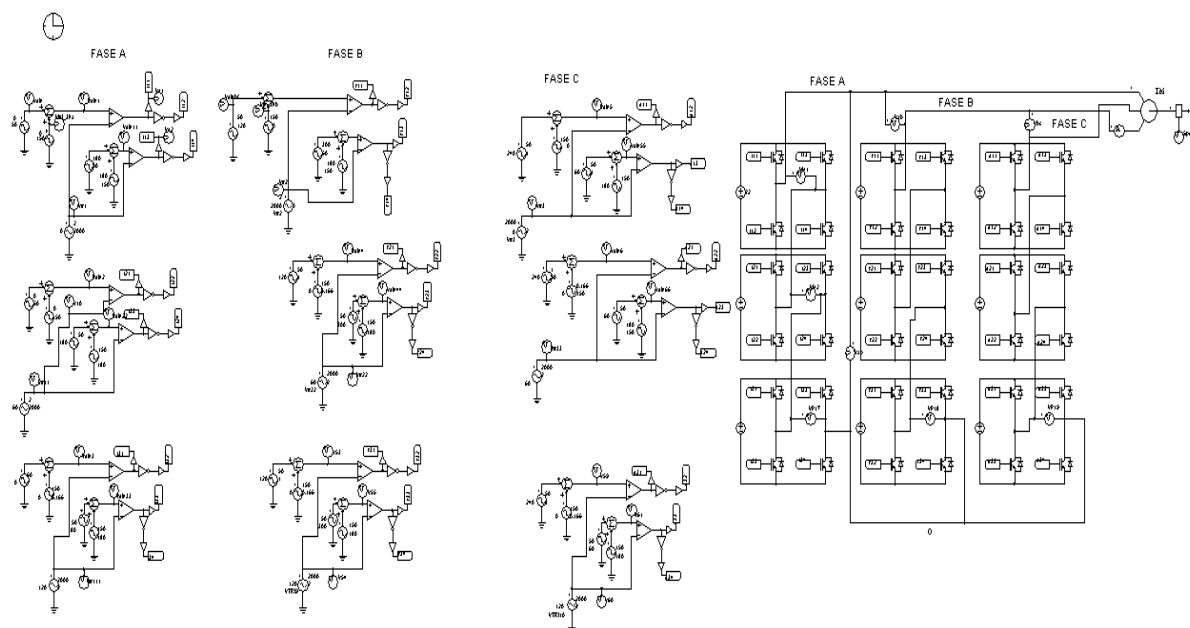


Figura 3.14 - Circuito de simulação com controlo por PSPWM sete níveis.

Na figura 3.15, estão ilustradas as moduladoras e as portadoras utilizadas para gerar os sinais de comando para uma das fases.

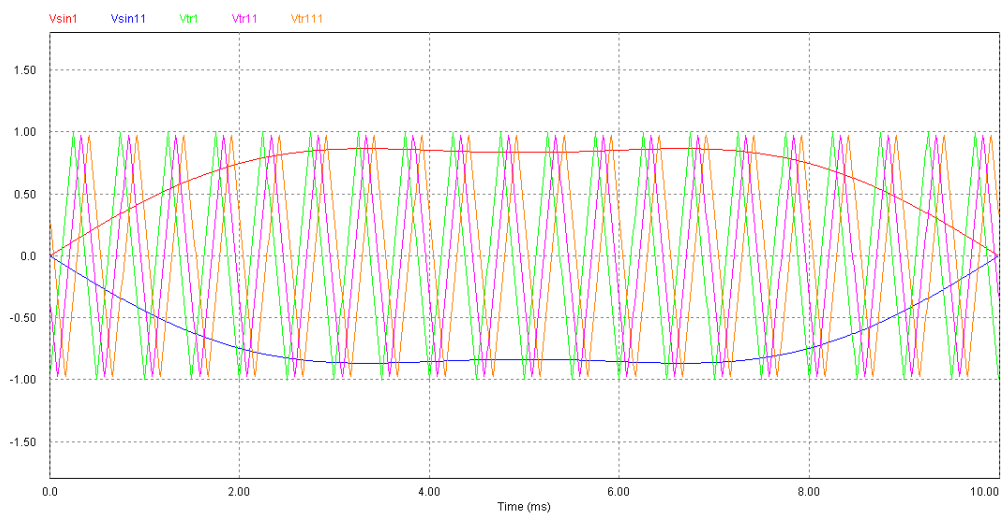


Figura 3.15- Modulação com injeção do 3º harmónico com portadoras para diferentes pontes (7 níveis).

A forma de onda da tensão e da corrente de saída em uma das fases encontra-se abaixo apresentada (figura 3.16).

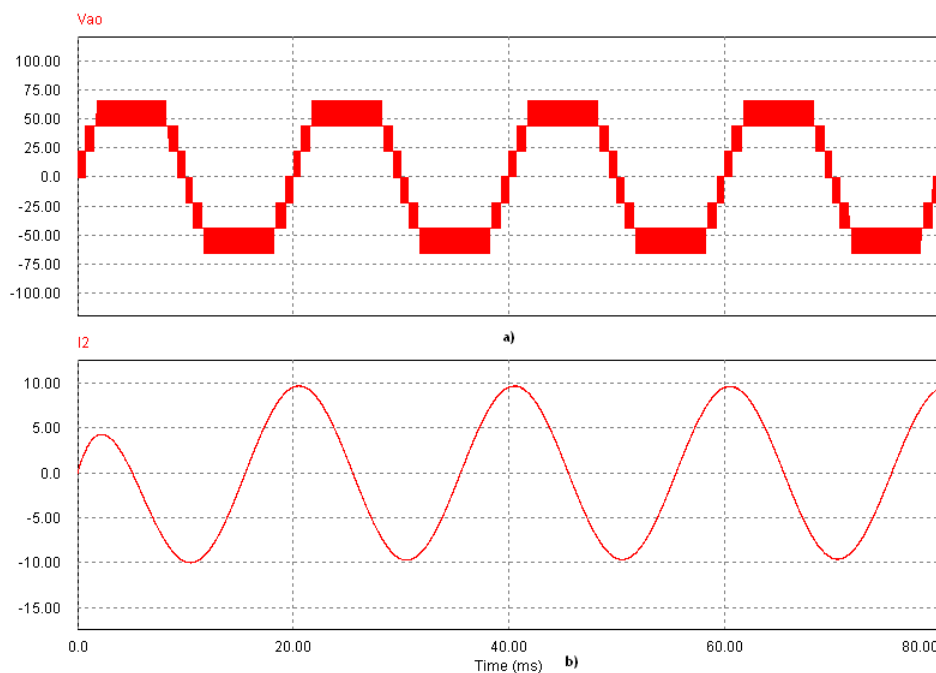


Figura 3.16 - a) Tensão de saída em uma das fases; b) Corrente na carga em uma das fases.

É possível observar que, em relação ao inversor de cinco níveis, existem sete níveis de tensão distintos por fase, como esperado, sendo da mesma forma a tensão de saída à frequência fundamental maior, devido à adição de uma outra ponte monofásica, como se pode observar na figura 3.14.

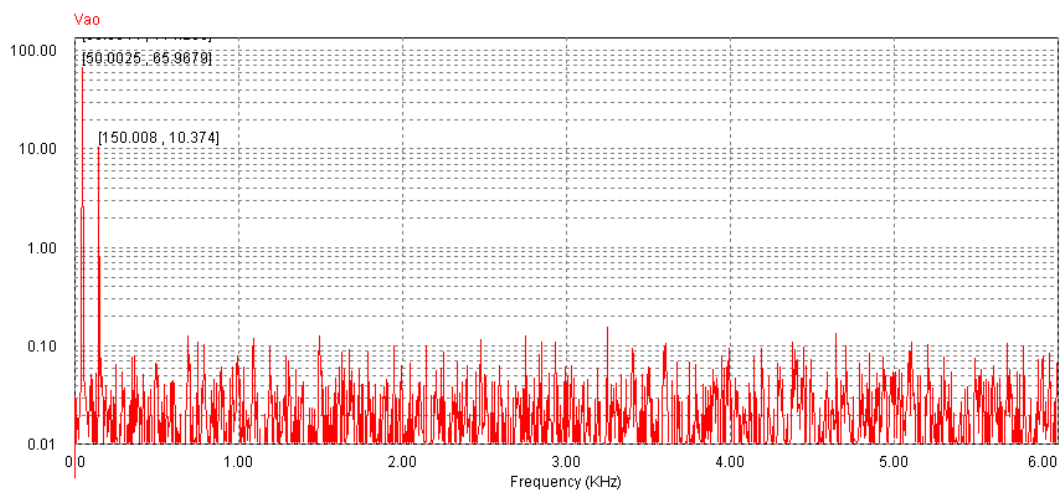


Figura 3.17 - Distorção harmónica da tensão numa das fases.

Da mesma forma que a tensão entre fases no inversor de cinco níveis apresenta nove níveis de tensão, o inversor de sete níveis possui treze níveis de tensão, como se pode observar na figura apresentada abaixo (figura 3.18).

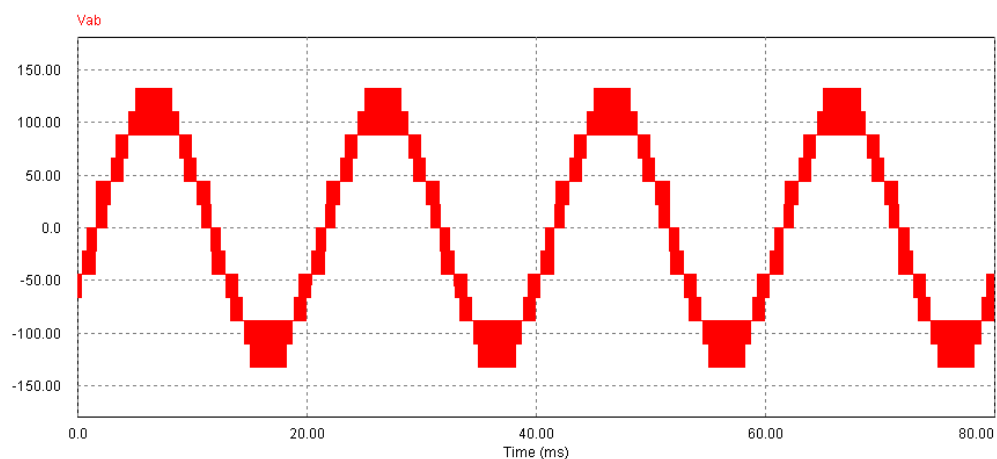


Figura 3.18 - a) Tensão de saída entre fases.

A figura 3.19 apresenta o conteúdo espectral da tensão entre fases.

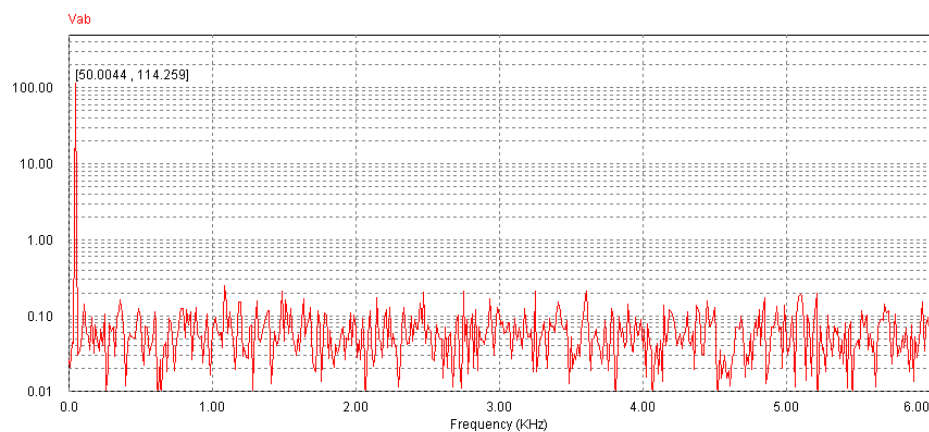


Figura 3.19 - Distorção harmónica da tensão entre fases.

Realizou-se uma análise da THD e do valor eficaz da tensão entre fases, para diferentes valores do índice de modulação. A tabela 3.3 apresenta os valores da THD e do valor eficaz para cada valor do índice de modulação nomeadamente quando é igual a 1, 0,5 e 0,25.

Tabela 3.3 - Valor da THD e eficaz da tensão entre fases (7 níveis).

Índice de modulação	THD	RMS
1	0,19	80,4
0,5	0,36	40,2
0,25	0,82	20,1

Em relação à tabela 3.1 e 3.2, onde se apresentam os mesmos dados para um inversor de três e cinco níveis, respectivamente, é possível verificar que, à medida que se aumenta o

número de níveis, o valor eficaz da tensão entre fases aumenta e a distorção harmónica total diminui, ou seja, quanto maior for o número de níveis maior a qualidade da tensão de saída do conversor.

3.3 - Simulação por MLI vectorial com 3 níveis

A modulação por largura de impulsos vectorial foi apresentada na secção 2.3.4, onde apenas foi referido brevemente o modo de operação deste tipo de comando. Nesta secção, o algoritmo de controlo é explicado e simulado, no comando do conversor *cascaded H-Bridge* de três níveis. Apenas vai ser realizada a simulação para um inversor de três níveis, uma vez que, à medida que o número de níveis aumenta, aumenta consequentemente o número de estados de comutação tornando-se o algoritmo de controlo mais pesado com o aumento do número de níveis.

A modulação vectorial consiste na escolha de um vector de estado, conforme a localização do vector de referência, [14, 17-22]¹. Este processo envolve três fases:

- Localização dos vectores de referência no diagrama de vectores de estado;
- Escolha dos tempos de comutação;
- Sequência de vectores a seleccionar.

O vector de referência caracteriza as três tensões geradas por uma fonte trifásica e pode ser calculado pela seguinte equação:

$$\vec{V} = \frac{2}{3} (V_{ab} + V_{bc} e^{j\frac{2\pi}{3}} + V_{ca} e^{-j\frac{2\pi}{3}}) \quad (3-8)$$

onde V_{ab} , V_{bc} e V_{ca} representam as tensões entre fases.

A partir da equação (3-9), o vector de referência pode ser representado no plano d-q, de forma a ser inserido no diagrama de vectores de estado que está apresentado na figura 3.20.

$$\begin{bmatrix} V_\alpha \\ V_\beta \end{bmatrix} = \sqrt{\frac{2}{3}} \begin{bmatrix} 1 & -\frac{1}{2} & -\frac{1}{2} \\ 0 & \frac{\sqrt{3}}{2} & \frac{\sqrt{3}}{2} \end{bmatrix} \begin{bmatrix} V_{ao} \\ V_{bo} \\ V_{co} \end{bmatrix} \quad (3-9)$$

¹ É devido um agradecimento especial ao Engº Ivo Pereira, [17], que facultou parte dos resultados incluídos neste capítulo.

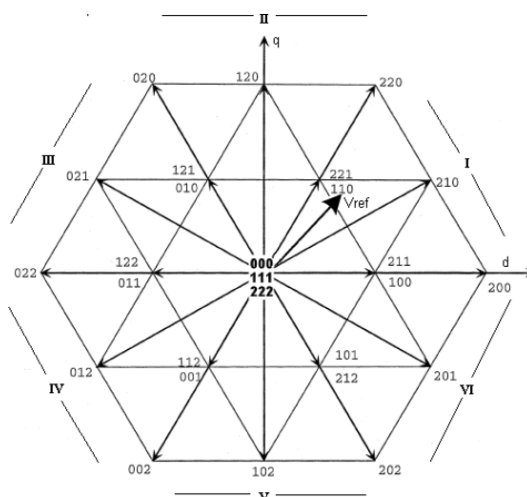


Figura 3.20 - Diagrama de vectores de um conversor de três níveis com vectores e sectores.

Os vectores de estado formam, então, um hexágono em que cada vértice representa os vectores existentes para um conversor de três níveis.

Geralmente, a localização do vector de referência no diagrama de estados é utilizado o método dos três vectores mais próximos, uma vez que, o vector de referência raramente coincide com um dos vectores de estado. Para a escolha dos três vectores mais próximos do vector de referência basta determinar o triângulo onde se encontra o vector de referência. Para isso, é usual passar o referencial de coordenadas cartesianas para coordenadas hexagonais dividindo o hexágono em seis sectores; esta mudança de coordenadas encontra-se apresentada na figura 3.21.

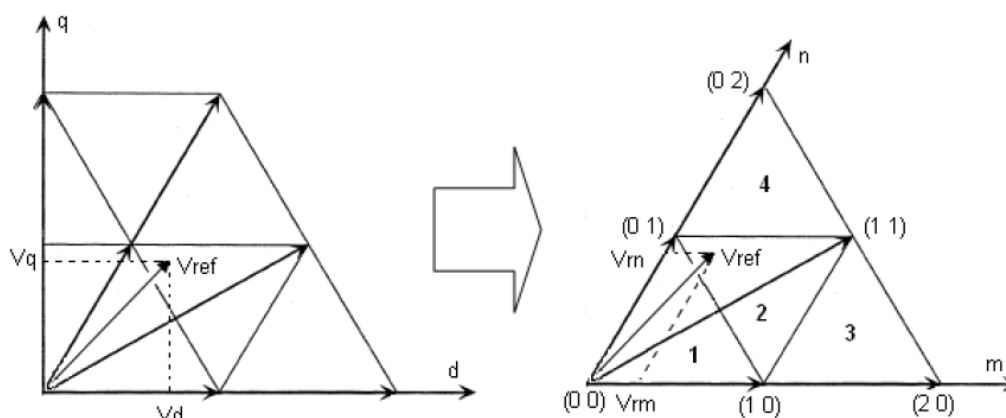


Figura 3.21 - Mudança de coordenadas cartesianas para hexagonais para o sector I.

A transformação apresentada na figura 3.21 é realizada de acordo com o sistema de equações (3.10):

$$\begin{cases} V_{rm} = \frac{2MV_{ref}}{\sqrt{3}V_{dc}} \sin(\frac{\pi}{3} - \theta) \\ V_{rn} = \frac{2MV_{ref}}{\sqrt{3}V_{dc}} \sin(\theta) \end{cases}, \text{ para } \begin{cases} V_{ref} = \sqrt{V_d^2 + V_q^2} \\ \theta = \tan^{-1}(\frac{V_q}{V_d}) \end{cases} \quad (3-10)$$

V_{rm} e V_{rn} são os vectores que formam o vector de referência $\vec{V}_{ref}$ no sistema de coordenadas hexagonais ($n-m$) e M é igual ao número de níveis do inversor menos um. O vector de referência passa agora a ter, então, duas coordenadas, V_{rm} e V_{rn} , nos eixos n e m .

Uma vez que os vectores de estado têm coordenadas com valores inteiros, para este referencial facilmente se encontram os quatro vectores mais próximos arredondando para cima e para baixo os valores das coordenadas do vector de referência. Para o caso do vector de referência da figura 3.21, as coordenadas dos 4 vectores mais próximos são calculadas de acordo com o seguinte sistema de equações:

$$\begin{aligned} \vec{V}_{ul} &= \begin{bmatrix} \vec{V}_{rn} \\ \vec{V}_{rm} \end{bmatrix} = \begin{bmatrix} \underline{0.9} \\ \underline{0.3} \end{bmatrix} = \begin{bmatrix} V_{uln} \\ V_{ulm} \end{bmatrix} = \begin{bmatrix} 1 \\ 0 \end{bmatrix}, & \vec{V}_{lu} &= \begin{bmatrix} \underline{V}_{rn} \\ \underline{\vec{V}_{rm}} \end{bmatrix} = \begin{bmatrix} \underline{0.9} \\ \underline{0.3} \end{bmatrix} = \begin{bmatrix} V_{lun} \\ V_{lum} \end{bmatrix} = \begin{bmatrix} 0 \\ 1 \end{bmatrix}, \\ \vec{V}_{uu} &= \begin{bmatrix} \vec{V}_{rn} \\ \vec{V}_{rm} \end{bmatrix} = \begin{bmatrix} \underline{0.9} \\ \underline{0.3} \end{bmatrix} = \begin{bmatrix} V_{uun} \\ V_{uum} \end{bmatrix} = \begin{bmatrix} 1 \\ 1 \end{bmatrix} & \text{ e } & \vec{V}_{ll} &= \begin{bmatrix} \underline{V}_{rn} \\ \underline{\vec{V}_{rm}} \end{bmatrix} = \begin{bmatrix} \underline{0.9} \\ \underline{0.3} \end{bmatrix} = \begin{bmatrix} V_{lln} \\ V_{llm} \end{bmatrix} = \begin{bmatrix} 0 \\ 0 \end{bmatrix} \end{aligned} \quad (3-11)$$

onde $\vec{V}_{ul}$, $\vec{V}_{lu}$, $\vec{V}_{ll}$ e $\vec{V}_{uu}$ são os quatro vectores mais próximos e o índice u representa os arredondamentos para cima (*up*) e o índice l representa os arredondamentos para baixo (*low*).

Caso o vector de referência se encontre no triângulo 3 e 4 apenas existem 3 vectores, uma vez que não existe vector $\vec{V}_{uu}$ para estes dois triângulos sendo logo escolhidos os vectores $\vec{V}_{ul}$, $\vec{V}_{lu}$, $\vec{V}_{ll}$. De seguida, é necessário escolher entre os vectores $\vec{V}_{uu}$ e $\vec{V}_{ll}$, qual deles se encontra mais próximo do vector de referência; esta tomada de decisão é realizada através da equação (3-12). Se o resultado desta equação for maior que zero, então $\vec{V}_{uu}$ é o vector mais próximo, caso contrário o vector mais próximo é $\vec{V}_{ll}$.

$$V_{rn} - V_{rm} - (V_{uln} - V_{ulm}) \quad (3-12)$$

O raciocínio apresentado para o cálculo dos vectores mais próximos apenas foi demonstrado para o primeiro sector. No entanto, para os outros sectores apenas é necessário rodar o referencial de modo a que esse sector coincida com o sector I.

De seguida, é necessário calcular o tempo relativo que cada um dos vectores vai estar activo; usualmente esse tempo é designado por *duty-cycle*. Considerando que o período de comutação (T_s) se encontra normalizado, os *duty-cycles* são calculados segundo as seguintes equações:

$$\begin{cases} \vec{V}_{ref} = d_1 \vec{V}_{ul} + d_2 \vec{V}_{lu} + d_3 \vec{V}_{uu} \\ d_1 + d_2 + d_3 = 1 \end{cases} \quad (3-12)$$

$$\begin{cases} V_{rn} = d_1 V_{uln} + d_2 V_{lun} + d_3 V_{uun} \\ V_{rm} = d_1 V_{ulm} + d_2 V_{lum} + d_3 V_{uum} \\ 1 = d_1 + d_2 + d_3 \end{cases} \quad (3-13)$$

onde d_1, d_2 e d_3 são os tempos que os vectores $\vec{V}_{ul}, \vec{V}_{lu}$ e $\vec{V}_{uu}$ estão em operação.

A partir do sistema de equações apresentado em (3-13) e em (3-14) facilmente se determinam os *duty-cycles*. No sistema de equações (3-15) são calculados os *duty-cycles* quando o vector $\vec{V}_{uu}$ é escolhido, o cálculo dos *duty-cycles* para o caso em que o vector escolhido é $\vec{V}_{ll}$ realiza-se com recurso ao sistema de equações (3-16).

$$\begin{cases} d_1 = V_{uum} - V_{rm} \\ d_2 = V_{uun} - V_{rn} \\ d_3 = 1 - (d_1 + d_2) \end{cases} \quad (3-14)$$

$$\begin{cases} d_1 = V_{uum} - V_{rm} \\ d_2 = V_{uun} - V_{rn} \\ d_3 = 1 - (d_1 + d_2) \end{cases} \quad (3-15)$$

A escolha da sequência dos três vectores mais próximos é realizada segundo alguns critérios para que os sinais de comando sejam gerados com a melhor performance possível. Alguns dos critérios existentes são apresentados em [14, 22-25]:

- Mínimo de comutações por ramo quando se muda de vector de estado;
- Mínimo de comutações quando o vector de referência transita para um triângulo ou sector;
- Máxima utilização dos vectores de estado existentes.

A sequência de comutações escolhida foi a de sete segmentos, apresentada em [26], sendo apresentado abaixo o seu funcionamento.

Primeiro os vectores de estado são todos numerados e agrupados de acordo com a sua amplitude: amplitude zero, amplitude pequena, amplitude média, e amplitude alta, conforme apresentado na figura 3.22.

A sequência de comutação de sete segmentos tem como particularidade a criação de mais dois triângulos através por sector através da divisão dos triângulos 1 e 2, como apresentado na figura 3.23, permitindo utilizar todos os vectores redundantes e que a transição entre zonas tenha um número de comutações minimizado.

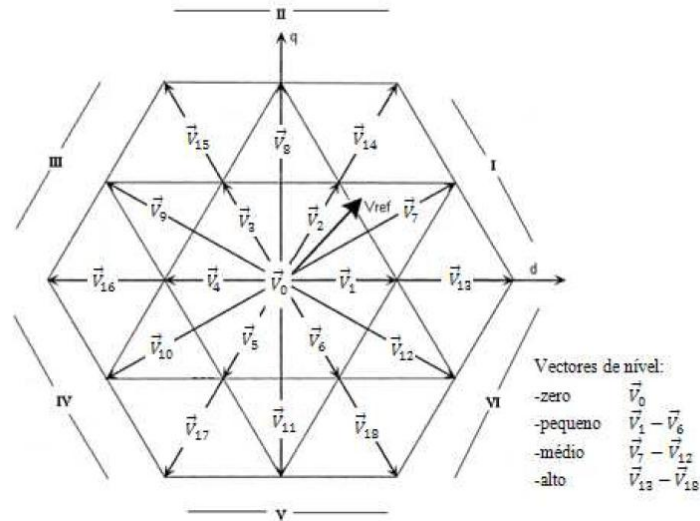


Figura 3.22 - Diagrama de vectores de estado.

Uma vez que existem vectores redundantes dividiram-se os vectores em vectores do tipo *N* e do tipo *P*, como ilustra a tabela 3.4.

Finalmente, é escolhida a sequência para cada zona do sector I, como apresentado na tabela 3.5. Pode-se observar na tabela que existe simetria na comutação e que a mudança de um vector para o outro apenas implica a comutação de um interruptor e do seu complementar.

Tabela 3.4 - Vectores de estado de nível 0 e pequeno, e o nível de tensão nos três ramos [26].

Vectores de estado		Níveis de tensão nos três ramos	
$\vec{V}_0$		[222], [111], [000]	
		Tipo P	Tipo N
$\vec{V}_1$	$\vec{V}_{1P}$	[211]	
	$\vec{V}_{1N}$		[100]
$\vec{V}_2$	$\vec{V}_{2P}$	[221]	
	$\vec{V}_{2N}$		[110]
$\vec{V}_3$	$\vec{V}_{3P}$	[121]	
	$\vec{V}_{3N}$		[010]
$\vec{V}_4$	$\vec{V}_{4P}$	[122]	
	$\vec{V}_{4N}$		[011]
$\vec{V}_5$	$\vec{V}_{5P}$	[112]	
	$\vec{V}_{5N}$		[001]
$\vec{V}_6$	$\vec{V}_{6P}$	[212]	
	$\vec{V}_{6N}$		[101]

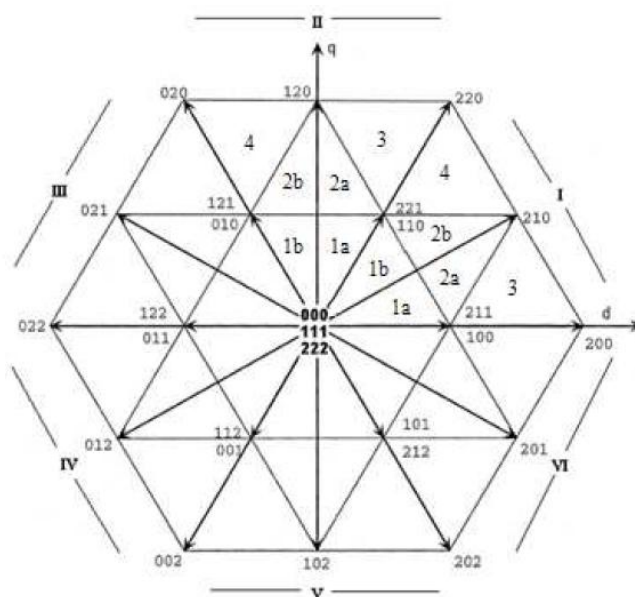


Figura 3.23 - Diagrama de vetores com disposição diferente de zonas.

Tabela 3.5 - Sequência e tempos de comutação dos vectores de estado [26].

Sector I													
Segmento	Duty-cycles	1a		1b		2a		2b		3		4	
1	$d_3/4$	$\vec{V}_{1N}$	100	$\vec{V}_{2N}$	110	$\vec{V}_{1N}$	100	$\vec{V}_{2N}$	110	$\vec{V}_{1N}$	100	$\vec{V}_{2N}$	110
2	$d_2/2$	$\vec{V}_{2N}$	110	$\vec{V}_0$	111	$\vec{V}_{2N}$	110	$\vec{V}_7$	210	$\vec{V}_{13}$	200	$\vec{V}_7$	210
3	$d_1/2$	$\vec{V}_0$	111	$\vec{V}_{1P}$	211	$\vec{V}_7$	210	$\vec{V}_{1P}$	211	$\vec{V}_7$	210	$\vec{V}_{14}$	220
4	$d_3/2$	$\vec{V}_{1P}$	211	$\vec{V}_{2P}$	221	$\vec{V}_{1P}$	211	$\vec{V}_{2P}$	221	$\vec{V}_{1P}$	211	$\vec{V}_{2P}$	221
5	$d_1/2$	$\vec{V}_0$	111	$\vec{V}_{1P}$	211	$\vec{V}_7$	210	$\vec{V}_{1P}$	211	$\vec{V}_7$	210	$\vec{V}_{14}$	220
6	$d_2/2$	$\vec{V}_{2N}$	110	$\vec{V}_0$	111	$\vec{V}_{2N}$	110	$\vec{V}_7$	210	$\vec{V}_{13}$	200	$\vec{V}_7$	210
7	$d_3/4$	$\vec{V}_{1N}$	100	$\vec{V}_{2N}$	110	$\vec{V}_{1N}$	100	$\vec{V}_{2N}$	110	$\vec{V}_{1N}$	100	$\vec{V}_{2N}$	110

Para os outros cinco sectores a sequência de vectores é semelhante bastando, para isso, fazer uma rotação dos vectores para o sector I. A frequência de comutação para cada interruptor é obtida através da equação (3-17).

$$f_{sw} = \frac{f_{sp}}{2} + \frac{f_1}{2} \quad (3-16)$$

onde $f_{sp} = \frac{1}{T_s}$ a frequência de amostragem e f_1 a frequência fundamental.

De forma a concluir esta secção apresentam-se os resultados obtidos na simulação que foi realizada sob as mesmas condições que as simulações anteriormente apresentadas. Na figura 3.24 apresentam-se os sinais de comando para os transístores superiores de uma ponte os transístores; imediatamente abaixo são os seus complementares, respectivamente.

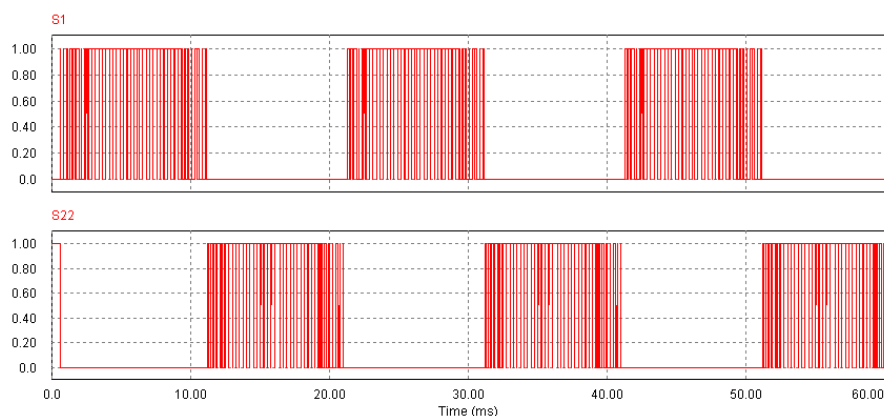


Figura 3.24 - Sinais de comando para controlo dos IGBT's de uma fase.

De seguida, são apresentadas a forma de onda da tensão em uma das fases (figura 3.25 a)) assim como a corrente na carga de uma das fases (figura 3.25 b)).

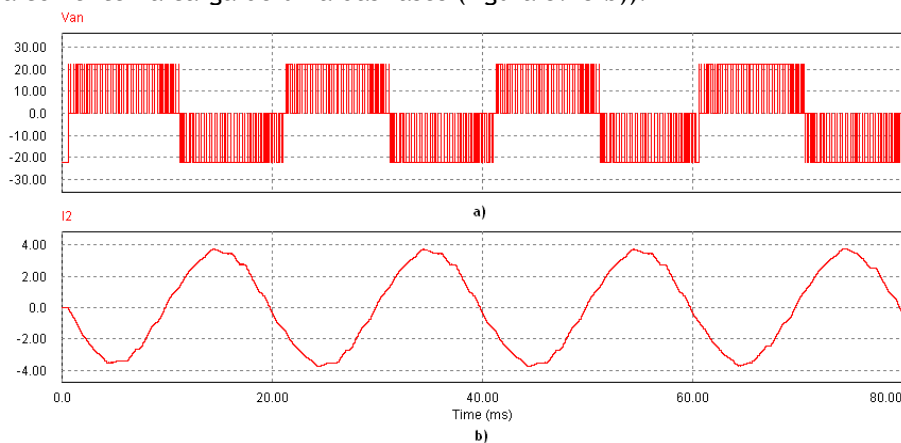


Figura 3.25 - a) Tensão em uma das fases; b) Corrente na carga em uma das fases.

A figura 3.26 apresenta o conteúdo espectral da tensão apresentada anteriormente.

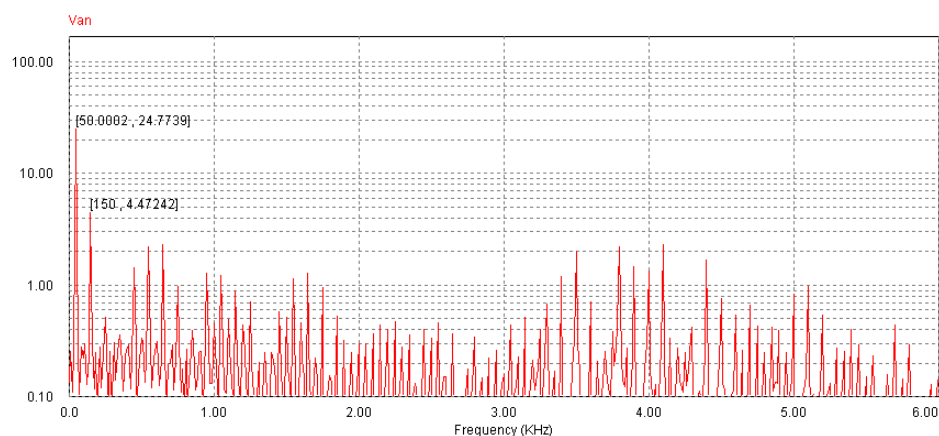


Figura 3.26 - Distorção harmônica em uma das fases.

Tal como na modulação por largura de impulsos apresentada anteriormente, a tensão numa das fases apresenta o harmônico de 3ª ordem que, contudo, não existe na tensão entre fases devido ao sistema trifásico, como é possível observar na figura 3.27. A figura ilustrada abaixo apresenta a tensão entre quaisquer duas fases.

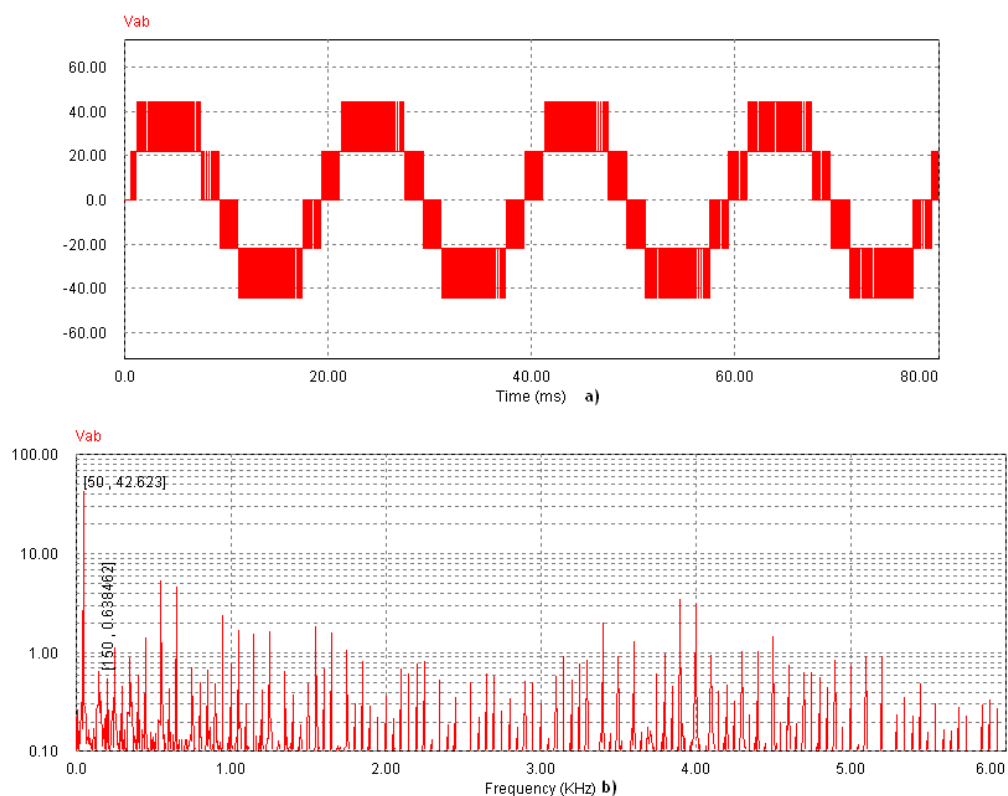


Figura 3.27 - a) Tensão entre fases; b) Distorção harmônica entre fases.

Para concluir, falta comparar a THD e o valor eficaz da tensão entre fases para diferentes valores do índice de modulação, nomeadamente para o índice de modulação igual a 1, 0.5 e 0.25 onde os resultados se encontram apresentados na tabela 3.6.

Tabela 3.6 - Valor da THD e eficaz da tensão entre fases (3 níveis).

Índice de modulação	THD	RMS
1	0,4	29,2
0.5	0,65	14
0.25	1,16	8,9

É possível concluir que a modulação vectorial, em relação à modulação por largura de impulsos com desfasamento e para o mesmo número de níveis, apresenta uma THD menor e um valor eficaz da tensão de saída maior, logo, para aplicações em que é exigido uma melhor performance a modulação vectorial é uma boa solução.

3.4 - Conclusões

Neste capítulo, foram apresentados dois métodos de modulação que tinham como objectivo a sua implementação. De acordo com os métodos apresentados, o método de modulação com portadoras é o mais simples de implementar.

No entanto, quando grandes níveis de performance são exigidos, a modulação vectorial é a mais apropriada pois garante menores perdas, um melhor conteúdo espectral e uma tensão de saída maior em comparação com a MLI sinusoidal.

Capítulo 4

Implementação do conversor

4.1 - Introdução

Neste capítulo é feita referência à implementação do conversor *cascaded H-bridge* de cinco níveis. Todos os módulos que constituem o conversor multinível são apresentados (figura 4.1), é dada mais ênfase à estrutura de controlo uma vez que todo o *set-up* foi anteriormente desenvolvido². O equipamento utilizado pode ser dividido em quatro partes nomeadamente:

- Rectificador;
- Conversor multinível;
- Controlo;
- Carga.

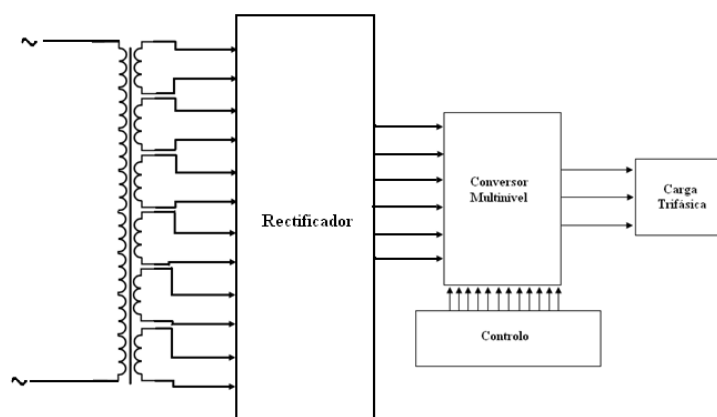


Figura 4.1 - Diagrama de blocos do equipamento utilizado.

² No âmbito da unidade curricular Sistemas de Electrónica, do MIEEC, pelo autor e pelos estudantes Rui Almeida e Telmo Lima.

4.2 - Rectificador

Conforme apresentado na secção 2.2 cada conversor utiliza uma fonte de tensão DC que se encontra isolada da fonte de tensão de cada um dos conversores. Neste caso, a tensão de entrada em cada um dos conversores está isolada com recurso a um transformador de isolamento.

A estrutura utilizada encontra-se apresentada de seguida (figura 4.2):

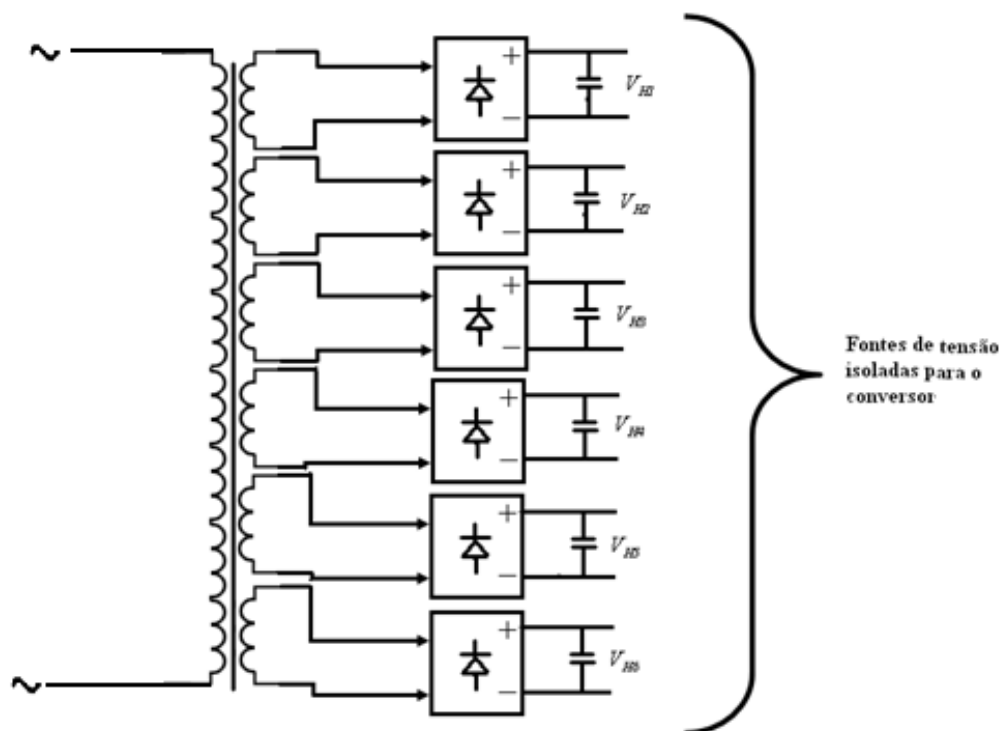


Figura 4.2 - Circuito de rectificação do sinal da rede.

Através de um transformador com um primário e seis secundários é possível obter as seis tensões isoladas necessárias para alimentar cada uma das pontes monofásicas. A tensão proveniente do secundário é rectificada e posteriormente filtrada com recurso ao condensador apresentado à saída de cada ponte rectificadora na figura 4.2.

4.3 - Conversor multinível

A topologia do conversor multinível é em ponte ligado em cascata de cinco níveis que se encontra representada na figura 4.3 apresentando 24 IGBT's, ou seja, 8 por fase.

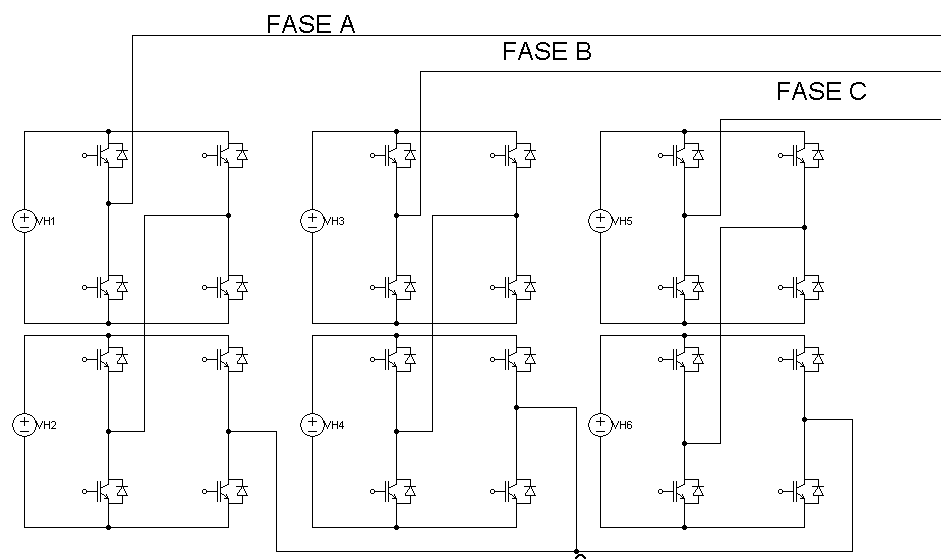


Figura 4.3 - Conversor multinível em ponte ligado em cascata (*cascaded H-bridge*) com cinco níveis.

4.3.1 - Drive

O circuito de *drive*, como já mencionado, foi desenvolvido anteriormente; aqui apenas vai ser apresentado para que se conheça o seu modo de operação. Dentro do circuito de *drive* estão implementados três circuitos:

- Circuito conta erros do controlador;
- Circuito de protecção de corrente;
- Circuito de *dead-time*.
- Circuito de isolamento óptico.

4.3.2 - Circuito contra erros do controlador

Este circuito tem como objectivo fazer com que transístores do mesmo ramo não entrem em condução no mesmo instante, de acordo com a imagem ilustrada na figura 4.4, os pares de comandos 1-9 e 8-16 não devem entrar em condução simultaneamente, caso contrário originaria um curto-circuito no barramento DC.

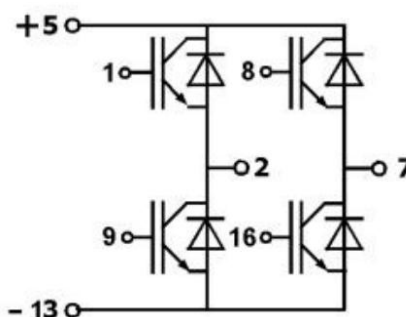


Figura 4.4 - Topologia de um inversor monofásico.

O circuito implementado contra este tipo de erros é constituído por portas NAND (74LS08) de forma a comparar os quatro valores provenientes do controlador impedindo que IGBT's do mesmo ramo entrem em condução no mesmo instante. Quando ocorre um estado de erro esta informação é apresentada através de um *flip-flop* do tipo D (74LS74) que activa um *led*, sendo posteriormente o desbloqueio realizado através de um botão de pressão. O circuito de protecção contra erros encontra-se apresentado a seguir (figura 4.5):

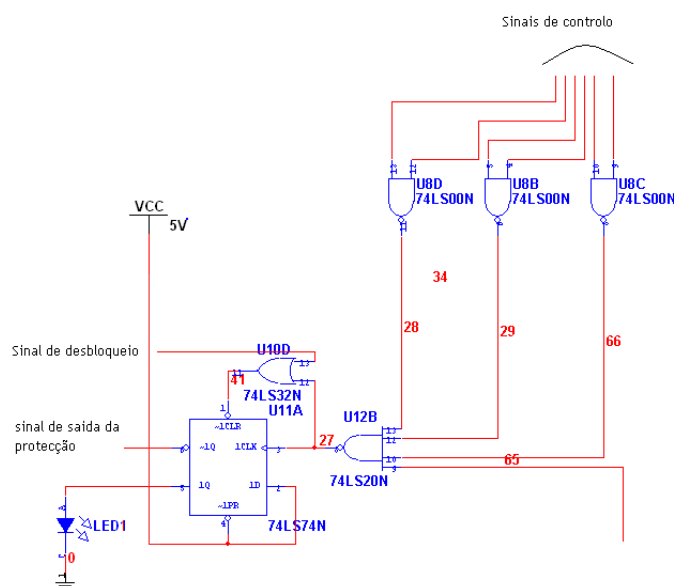


Figura 4.5 - Circuito de protecção contra erros do controlador.

As entradas das portas AND correspondem a pares de transístores a controlar de ramos comuns e andares opostos. Assim, sempre que se tente activar um destes pares é gerado um sinal de erro através do *flip-flop*, que mantém o seu estado até desaparecer a situação de erro e ser dada ordem de rearme.

4.3.3 - Circuito de protecção de corrente

No circuito de protecção de corrente foram utilizados os sinais de tensão provenientes dos LEM's (LTS 15-NP - transdutor de corrente) que foram implementados no circuito de potência. Estes sensores fornecem uma tensão que varia de acordo com a corrente que atravessa cada uma das fases, a tensão de saída e o valor de corrente lido nos LEM's relacionam-se de acordo com a figura 4.6.

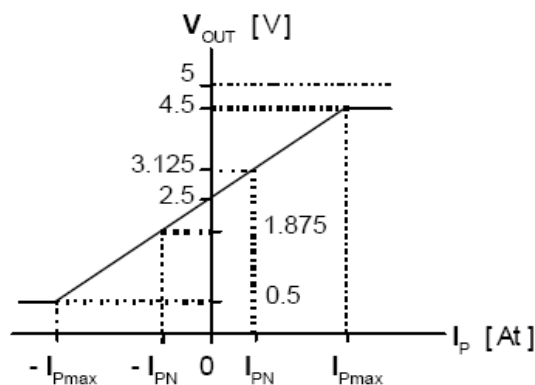


Figura 4.6 - Relação entre tensão de saída e corrente lida no LEM.

O valor máximo de tensão de saída lida no LEM está entre 0,5 e 4,5 V sendo posteriormente comparado com dois valores de referência definidos. Para obter estes dois valores de referência foram realizados dois circuitos divisores de tensão, em que:

- No primeiro foi definido um valor de referência máximo para a corrente num sentido (4,5 V que equivale a 15 A);
- No segundo foi definido um valor de referência mínimo para a corrente no sentido contrário (0,5 V que equivale a 15 A).

Quando desta comparação resultar um erro, o estado é guardado num *flip-flop* do tipo D ficando à espera da alteração do estado de erro e de um sinal de desbloqueio, tal como no circuito de protecção contra erros do controlador. Este circuito encontra-se ilustrado na figura 4.7.

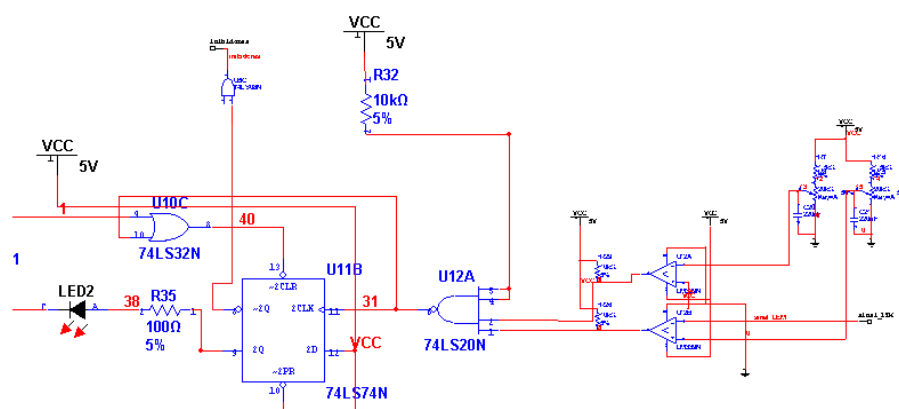


Figura 4.7 - Circuito de protecção de corrente.

Os circuitos apresentados anteriormente, circuito contra erros do controlador e circuito de protecção de corrente, combinam-se para que os sinais na entrada dos opto-acopladores estejam no nível lógico zero impedindo a condução de qualquer IGBT. A interligação entre os dois circuitos é apresentada de seguida (figura 4.8):

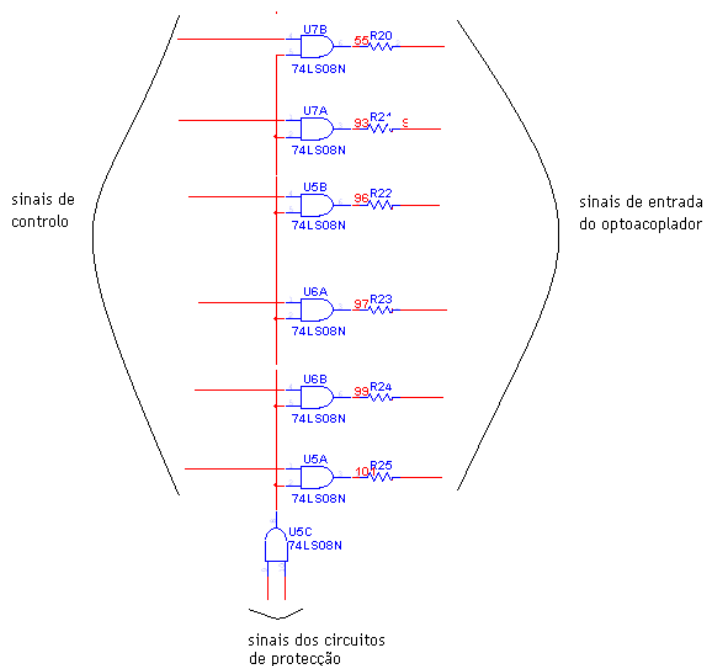


Figura 4.8 - Interligação entre o circuito de protecção contra erros do controlador e o circuito de protecção de corrente.

4.3.4 - Circuito de *dead-time*

A existência deste circuito deve-se ao facto de os tempos de entrada (t_{on}) e de saída (t_{off}) de condução de um IGBT serem diferentes ($t_{off} > t_{on}$). Logo, este circuito garante que IGBT's do mesmo ramo não conduzem no mesmo instante. Esta situação é realizada através da implementação de um atraso implementado por um circuito RC passa baixo. O circuito que se encontra no *drive* é o representado na figura 4.9:

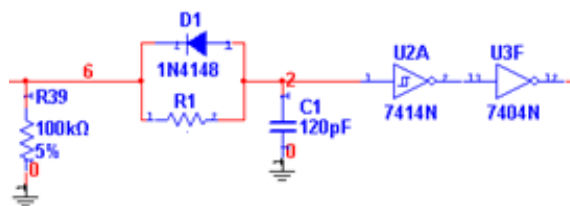


Figura 4.9 - Circuito de *dead-time*.

4.3.5 - Circuito de isolamento óptico

O circuito de *drive* encontra-se isolado do circuito de potência através de um opto-acoplador e de um conversor CC/CC para alimentação do sinal de saída do opto-acoplador. O isolamento é, então, garantido de acordo com o seguinte circuito (figura 4.10).

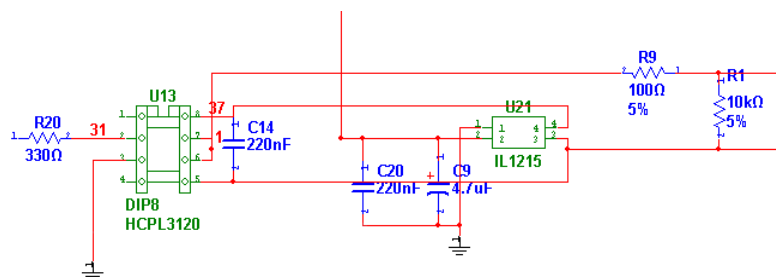


Figura 4.10 - Isolamento óptico.

4.4 - Plataforma de controlo

O conversor *cascaded H-bridge* de cinco níveis necessita de doze sinais independentes e dos respectivos complementares, correspondendo no total a vinte e quatro sinais de comando. Logo, foi necessário escolher uma plataforma que fosse capaz de gerar doze sinais independentes.

Foram analisadas como possibilidade de controlo um DSP (TMS320F2812) e a FPGA disponível no *kit SPARTAN-3E*. No entanto, como o *kit* disponível com a FPGA, para além de possuir um relógio e um número de entradas e saídas suficiente para gerar os sinais de comando na gama de frequência desejada, apresenta um leque de opções maior em relação ao referido DSP, possibilitando a interação com um LCD, com um botão rotativo, entre outros. A figura 4.4 ilustra a interação entre a FPGA, as seis placas de *drive* e o conversor multinível.

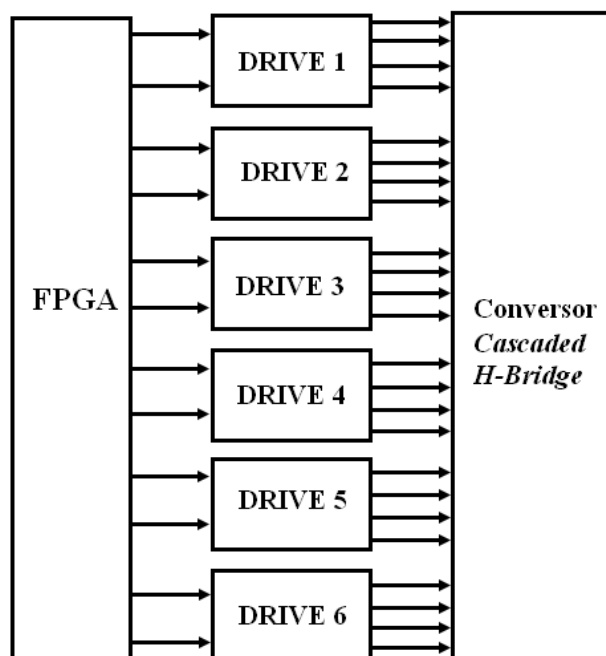


Figura 4.11 - Diagrama de blocos do controlo implementado.

Nesta secção vai ser analisada e estudada a *FPGA*, tendo em conta as funcionalidades implementadas.

4.4.1 - *FPGA*

FPGA's são os dispositivos lógicos programáveis com maior capacidade disponíveis hoje em dia. As *FPGA's* são a última evolução de *PLDs* (*Programmable Logic Devices*) [27], podendo estas serem programadas depois de serem fabricadas. Desta forma, uma *FPGA* não está restringida a uma função qualquer de *hardware* predeterminada no seu fabrico, podendo ser programada de acordo com a aplicação desejada. As *FPGA* contêm um grande número de blocos lógicos configuráveis, contidos num único circuito integrado, de maneira a suportar a implementação de circuitos lógicos com complexidade elevada. Quando um circuito lógico é implementado numa *FPGA*, os blocos lógicos são programados para realizar as funções necessárias e as ligações são feitas de maneira a realizar a interconexão necessária entre os blocos lógicos. Uma *FPGA* é composta basicamente por três tipos de componentes:

- Blocos de entrada e saída (*IOB*);
- Blocos lógicos configuráveis (*CLB*);
- Interconexões programáveis (*PI*).

Blocos de entrada e saída (*Input-Output Block - IOB*)

O bloco lógico configurável é a unidade básica de uma *FPGA*; números exactos e características variam de dispositivo para dispositivo.

No geral, esta unidade consiste numa matriz configurável de 4 ou 6 entradas também designadas por *look up tables* (*LUTs*), registos, circuitos multiplexadores, e *flip-flops* [27]. Esta matriz é bastante flexível, podendo ser configurada, por exemplo, como uma memória *RAM* (memória distribuída) ou como lógica combinatória. As saídas das *LUTs* podem ser usadas directamente ou então armazenadas nos *flip-flops*. Este último caso pode ser usado para implementar circuitos sequenciais.

Existem dois tipos de *FPGA's*, [28]; estes dois tipos diferem na implementação dos blocos lógicos e no mecanismo que faz conexões entre estes. O tipo dominante de *FPGA* é a baseada em *SRAM* e pode ser reprogramada o número de vezes que o utilizador entender e sempre que esta for ligada, uma vez que se trata de uma memória volátil. O outro tipo de *FPGA's* são as *OTP* (*One Time Programmable*); estas usam conexões permanentes no circuito integrado. Deste modo, os sistemas com este tipo de *FPGA's* não requerem nenhuma *PROM* para a sua programação. Contudo, perde a grande vantagem das *FPGA's* que é a sua reconfigurabilidade.

Blocos lógicos configuráveis (*Configurable Control Blocks - CLB*)

As *FPGAs*, como já referido, apresentam uma grande flexibilidade na sua utilização, fornecendo suporte para dúzias de padrões de *I/O* proporcionando, assim, a interface ideal

para diferentes tipos de sistema. Estes fazem a interface entre a lógica interna da *FPGA* com os pinos de encapsulamento e podem ser configurados como só de entrada ou saída ou, ainda, como bidireccionais com capacidade *tri-state*.

Interconexões programáveis (*Programmable Interconnections - PI*)

Enquanto os *CLBs* fornecem a capacidade de lógica, as interconexões programáveis fazem o encaminhamento dos sinais entre *CLBs* e com os blocos *I/O*. As ferramentas de *software* de projecto abstraem do utilizador a tarefa de encaminhamento, reduzindo significativamente a complexidade do projecto. Desta forma, a ferramenta de *software* escolhida tem um papel fundamental na gestão e optimização dos recursos lógicos da *FPGA* utilizada.

Aritmética de ponto fixo

As *FPGA*'s actuais permitem aritmética de ponto fixo; no entanto, a área ocupada por cada operação é muito grande. Sendo assim, é prática comum para quem desenvolve trabalhos em *FPGA*, fazer uso de um sistema de representação numérica que permita representar números fraccionários e que seja, ao mesmo tempo, menos exigente com o *hardware*. Uma vez que o *hardware* em utilização apenas consegue guardar e processar *bits*, todos os números têm que ser guardados como um conjunto destes. Uma variável pode ser codificada por um conjunto de N dígitos binários, que permitem 2^N estados possíveis, quantificando estes estados a resolução pretendida. Embora não exista um significado ligado ao termo “palavra binária”, é usual pensar-se neste termo como se representasse um inteiro positivo. Contudo, o significado de uma “palavra binária” de N *bits* depende apenas da sua interpretação.

Representação inteira sem sinal

A representação natural binária interpreta cada “palavra binária” como um inteiro positivo, logo cada palavra de N *bits* corresponde a um inteiro entre 0 e 2^N-1 , designando esta representação de *unsigned integer*.

Representação em complemento para dois

Um problema associado à representação numérica anterior é que esta apenas serve para representar inteiros positivos. Caso seja necessário representar valores negativos utiliza-se a representação complemento para dois e as operações correspondentes para realizar as operações aritméticas neste mesmo formato. Neste tipo de representação, uma “palavra binária” de N *bits* representa inteiros de -2^{N-1} a $2^{N-1}-1$. Por exemplo, para a “palavra binária” de 8 bits ($b_7b_6b_5b_4b_3b_2b_1b_0$) como o inteiro dado por:

$$x = -(b_7 \times 2^7) + (b_6 \times 2^6) + \dots + (b_1 \times 2^1) + b_0 \quad (4-1)$$

Na equação 4.1 quando x é positivo no formato em complemento para dois, é possível obter $-x$ invertendo todos os *bits* e somando 1. O *bit* mais significativo é chamado de *bit* de sinal. Quando o bit de sinal é igual a “0”, a “palavra binária” representa um número positivo, se for “1” então o número em questão é negativo. Na representação em complemento para dois, a subtracção de dois números pode ser efectuada através da normal soma binária através do cálculo $x-y$ como sendo $x+(-y)$.

Representação fraccionária

Apesar da utilização de inteiros em complemento para dois permitir a adição e a subtracção através da adição binária, os números inteiros não são muito convenientes. Por exemplo, se forem multiplicadas duas “palavras binárias” de 8 *bits* serão necessários 16 *bits* para guardar o resultado dessa operação e o tamanho necessário aumenta sem restrições à medida que são efectuadas mais multiplicações entre os números. Apesar de não ser impossível, é de facto complicado lidar com o aumento da “palavra binária”, [29]. Este problema pode ser ultrapassado através da utilização de números entre -1 e +1 em vez da gama completa de inteiros uma vez que o resultado do produto de dois números entre -1 e +1 mantém-se sempre na mesma gama. Na representação fraccionária em complemento para dois, uma “palavra binária” de N *bits* pode representar 2^N números desde $\frac{-2^{N-1}}{2^{N-1}} = -1$ até $\frac{2^{-(N-1)}}{2^{N-1}} = 1 - 2^{-(N-1)}$. Por exemplo, interpreta-se uma “palavra binária” de 8 *bits* ($b_7b_6b_5b_4b_3b_2b_1b_0$) como sendo o número fraccionário:

$$x = \frac{-(b_7 \times 2^7) + (b_6 \times 2^6) + \dots + (b_1 \times 2^1) + b_0}{2^7} \quad (4-2)$$

Desde que a primeira FPGA disponibilizada comercialmente pela empresa Xilinx Inc., em 1985, que se tem assistido a um aumento enorme da sua utilização, devido principalmente às seguintes vantagens que as *FPGA*’s oferecem, [30]:

- Reconfigurabilidade - esta é a sua principal vantagem, porque permite a reutilização do mesmo circuito integrado, ou seja, este pode ser utilizado para implementação de sistemas diferentes;
- Eficiência - tempo de desenvolvimento do projecto reduzido quando comparando com outras tecnologias;
- Paralelismo - possibilidade de executar operações arbitrárias em paralelo;
- Virtualização - algumas partes do sistema podem ser alteradas durante a execução, podem ser reconfiguradas parcialmente;
- Alta densidade - milhões de portas lógicas programáveis.

Deste modo, as *FPGA's* têm vindo a ganhar espaço em relação a outras tecnologias pois apresentam uma grande flexibilidade, ao permitir aos projectistas a implementação de algoritmos directamente no silício e, deste modo, é possível melhorar os produtos do consumidor final sem este ter de comprar um dispositivo novo. Assim, uma implementação em *FPGA* permite implementar e testar sistemas de uma forma bem mais rápida e numa vasta gama de aplicações.

Aplicações

Devido à sua natureza programável e às suas vantagens já enumeradas em cima, as *FPGA's* são, assim, a solução ideal para várias áreas de aplicação e diferentes mercados, [31]:

- Aeroespacial e militar - como as *FPGA's* são tolerantes a radiações, são uma solução para este tipo de ambientes, com *IP's (Intellectual Property)* próprios para processamento digital de imagem, geração de ondas, criptografia, e reconfiguráveis parcialmente para *Software Define Radio*, etc.
- *Broadcast* - soluções que permitem uma variada gama de transmissão de vídeo e áudio.
- Consumidor - soluções rentáveis para aplicações do consumidor, dispositivos electrónicos como TV's digitais, projectores de áudio e vídeo, electrodomésticos de entretenimento, gestão de redes domésticas, etc.
- Industrial/científico/médico - soluções para a indústria, como automatização industrial, controlo de movimento, *ethernet* industrial, aplicações médicas como por exemplo, aparelhos de diagnóstico, etc.
- Automóvel - soluções de *IP* para sistemas de ajuda de motoristas, *GPS*, conforto, sistemas de comunicação, processamento de gráficos e áudio, [32].
- Armazenamento/Servidores - soluções para armazenamento de dados, servidores e computadores de grande desempenho.
- Comunicações sem fios - aplicações em gestão de redes, em equipamento sem fio, para protocolos como *WCDMA*, *HSDPA*, *WiMAX*, infra-estrutura 3G, etc.
- Comunicações com fios - soluções também para a gestão de redes, neste caso com fios, para processamento de pacotes fim-a-fim, roteamento, *MAC*, controladores de memória, *switch*, etc.

4.4.2 - Linguagens de descrição de Hardware

As linguagens de descrição de hardware (*Hardware Description Language* - HDL) são orientadas à descrição estrutural e comportamental do *hardware*. Foram originalmente desenvolvidas para documentar o comportamento dos *ASIC's*, para substituir os complexos manuais que descreviam o funcionamento destes. Deste modo, tornaram-se uma alternativa mais válida aos diagramas esquemáticos no desenvolvimento dos circuitos digitais, com uma

grande vantagem em relação a estes, a portabilidade e flexibilidade. Estas permitem projectos independentes da tecnologia e das ferramentas utilizadas, facilidade de actualização de projectos, bem como um nível mais alto de abstracção. Desta forma, permite uma redução do tempo de desenvolvimento de um projecto. As *HDL's* juntamente com as *FPGA's* vieram, assim, revolucionar o desenvolvimento de sistemas digitais pois permitem ao projectista desenvolver sistemas digitais bastante complexos num curto espaço de tempo. Actualmente, as *HDL's* mais utilizadas são o *VHDL* e o *Verilog*.

Linguagem Verilog

O *Verilog* é uma linguagem de descrição de *hardware* utilizada para modelizar sistemas electrónicos, cobrindo as áreas de projecto, teste e implementação de sistemas analógicos, digitais e mistos com diferentes níveis de abstracção, como já referido anteriormente.

A *HDL* é bastante versátil, são possíveis três níveis de abstracção em *HDL*, como mostrado na Figura 4.5. O nível mais alto de abstracção é o comportamental (*behavioral*), que permite descrever o comportamento do circuito através de *loops* e processos. Neste nível de abstracção também é possível compor equações através de multiplicações e somas. O próximo nível de abstracção possibilita descrever o funcionamento do circuito em termos de lógica combinacional (por exemplo, *if*, *then*, *else*) e booleana. Este nível de abstracção também engloba a representação do circuito no nível de registos de transferências (*RTL - Register Transfer Level*), que consiste basicamente numa representação por acumuladores interligados por lógica combinacional. O nível mais baixo de abstracção de uma *HDL* é o estrutural, que consiste numa representação do circuito semelhante a uma lista de portas lógicas ou de interruptores.

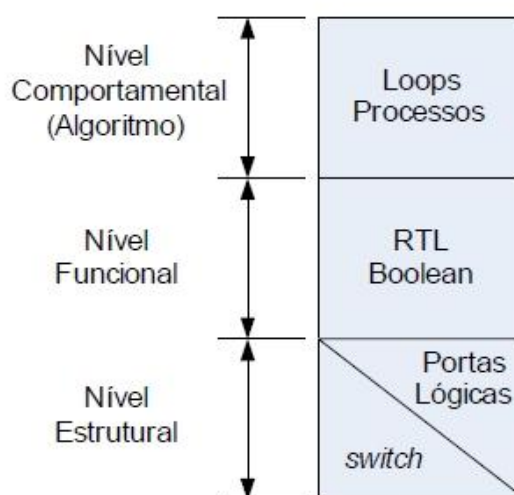


Figura 4.12 - Níveis de abstracção possíveis através de uma linguagem *HDL*.

A sintaxe da linguagem *Verilog* é semelhante à sintaxe da linguagem *C*, contendo macros de pré-processamentos, operadores e estruturas de controlo como o *if*, *while*, *case*, entre outros. A grande diferença para as linguagens tradicionais consiste no paralelismo de execução dos vários módulos, ao contrário do convencional modelo sequencial de execução.

Um projecto em *Verilog* consiste numa hierarquia de módulos, sendo cada um constituído por um conjunto de entradas e saídas.

O *Verilog* fornece o conceito de módulo, sendo este o bloco de construção básico nesta linguagem. Um módulo pode ser um elemento ou um conjunto de blocos de mais baixo nível. Tipicamente, os elementos são agrupados em módulos para garantir funcionalidades a um bloco de mais alto nível através de uma interface de portas (entradas e saídas), escondendo a sua implementação interna. Este aspecto permite ao projectista modificar internamente um determinado módulo sem afectar o resto do projecto. Abaixo é apresentado um exemplo simples de implementação de um *flip-flop* tipo *D* (Figura 4.13). Primeiro declara-se a interface do módulo, implementando-se posteriormente a respectiva funcionalidade, [33].

```
1 // module D_FF with synchronous reset
2 module D_FF(q, d, clk, reset);
3
4 output q;
5 input d, clk, reset;
6 reg q;
7
8 always @(posedge reset or negedge clk)
9 if (reset)
10     q <= 1'b0;
11 else
12     q <= d;
13
14 endmodule
```

Figura 4.13 - Exemplo de implementação de um *flip-flop* do tipo *D* em *Verilog*.

No exemplo ilustrado, a instrução *always* faz com que o código que se encontra dentro deste bloco seja executado apenas quando a condição que está dentro de parêntesis se verifique. Neste caso, o bloco vai ser executado sempre que ocorra um flanco positivo (*posedge*) na variável *reset* ou negativo (*negedge*) na variável *clk*.

No que respeita à arquitectura de projecto, existem duas vertentes, a *top-down* e a *bottom-up*. Na metodologia *top-down* primeiro define-se o bloco do nível de topo e depois os sub-blocos necessários para construir o bloco de nível de topo (figura 4.14).

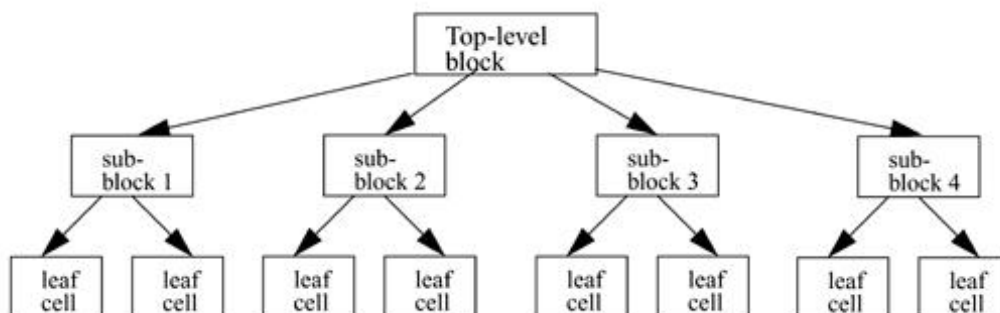


Figura 4.14 - Metodologia *top-down* de arquitectura de projecto, [33].

Na metodologia *bottom-up* primeiro são definidos os blocos de baixo nível e então, posteriormente, são criadas células maiores que usam esses blocos de nível inferior. Estas células, por sua vez, são posteriormente utilizadas por blocos de níveis superiores e assim sucessivamente até que se atinja o bloco do nível de topo (figura 4.15).

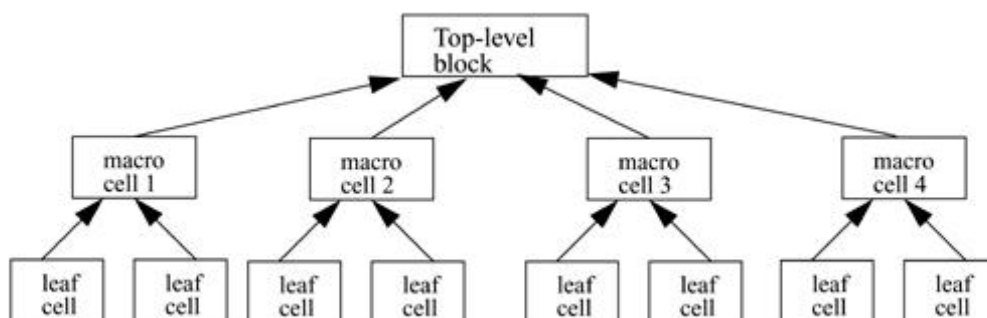


Figura 4.15 - Metodologia *bottom-up* de arquitectura de projecto, [33].

4.4.3 - Xilinx Integrated Software Environment (ISE)

Existem vários programas que suportam este tipo de desenvolvimento; no entanto, o fluxo de projecto é essencialmente o mesmo.

A ferramenta utilizada neste trabalho foi o ambiente de síntese integrado da *Xilinx*, o *ISE 9.2i*, devido a ser uma ferramenta que possui todas as funcionalidades necessárias à realização deste trabalho. Uma ferramenta de síntese de boa qualidade não só entrega melhor desempenho e confiança quando comparada com outras ferramentas de síntese, mas é também uma grande ajuda em termos de verificação e *debug*, o que é extremamente importante para a implementação mais rápida de sistemas inevitavelmente cada vez mais complexos. O *ISE 9.2i* é, assim, uma solução para o projecto de um sistema em *FPGA* ou *CPLD* da *Xilinx*, pois fornece todas as ferramentas necessárias para síntese de *HDL*, simulação, implementação e programação do respectivo dispositivo, neste caso uma *FPGA*. Na figura 4.16 é possível observar a sequência de etapas necessárias no fluxo de um projecto desenvolvido no *ISE*.

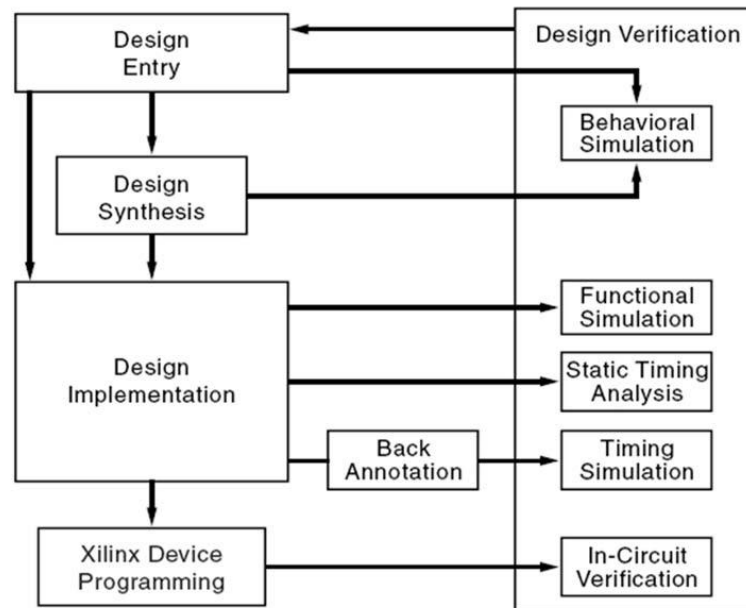


Figura 4.16 - Fluxo de desenvolvimento de um projecto no *Xilinx ISE* [34]

Assim, as etapas principais no desenvolvimento de um projecto são as seguintes:

- Desenho do sistema (*design entry*) - descrição do sistema usando uma linguagem HDL. Aqui serão adicionados todos os ficheiros de código necessários à especificação do sistema. Podem também ser adicionados blocos já previamente construídos, bem como blocos das livrarias IP (*Intellectual Property*) existentes. Por fim, é necessária a inclusão do ficheiro UCF (*User Constraint File*) que especifica os constrangimentos da implementação, nomeadamente os pinos de entrada e saída correspondentes na FPGA.
- Síntese (*Design Synthesis*) - depois de feita a análise da sintaxe do código anterior, se não houver erros, o sistema é sintetizado. Este processo é onde o *software* transforma o código HDL em componentes lógicos como, por exemplo, simples portas lógicas e *flip-flops*. Embora muitos códigos *HDL* sejam correctos em termos de sintaxe, não significa que sejam sintetizáveis, pois não são possíveis de implementar fisicamente. Estes códigos só podem assim ser utilizados para simulação comportamental.
- Implementação (*Design Implementation*) - este processo consiste em três sub-processos: *translate*, *map* e *place&route*. No processo *translate*, é combinada toda a informação fornecida pela síntese num único ficheiro *netlist*. No processo *map*, é feito o mapeamento dos componentes lógicos contidos no *netlist* nos recursos da FPGA, respectivamente nos blocos lógicos e nos blocos de IO descritos anteriormente. Por fim, no processo *place&route*, é feita a colocação da lógica nos locais físicos respectivos, e a determinação das rotas para a interligação entre os

vários sinais do sistema. No final da implementação, através da análise temporal, são determinados vários parâmetros importantes como o atraso máximo de propagação que existe nos circuitos implementados, que vai influenciar directamente a frequência máxima de relógio, para o correcto funcionamento do sistema implementado.

- Programação da FPGA (*Xilinx Device Programming*) - aqui é gerado o ficheiro de configuração final (*.bit) e em seguida carregado em série para a FPGA, através de um cabo JTAG próprio ou por uma simples ligação USB. A maioria das placas de desenvolvimento com FPGA's contém uma PROM (não volátil) que permite guardar este *bitstream*, programando assim as *FPGA's* automaticamente sempre que as placas são ligadas.

Como se pode verificar através da figura 4.8, todas as etapas descritas anteriormente são acompanhadas com simulação e verificação do sistema implementado, a nível comportamental, funcional e temporal facilitando, assim, o desenvolvimento do sistema e a detecção de erros, bem como a resolução dos mesmos.

O *Xilinx ISE* controla todos os aspectos do fluxo de desenvolvimento oferecendo uma interface gráfica para todas as ferramentas disponíveis e ficheiros associados com o projecto. Como se pode observar na figura 4.17, o ambiente de trabalho por defeito é dividido em quatro secções:

- *Sources window* (em cima à esquerda): mostra hierarquicamente todos os ficheiros associados ao projecto. Aqui também é possível especificar o objectivo, se é simulação ou síntese e implementação, no topo desta janela ("*Sources for:*"). Esta secção também oferece a possibilidade de guardar cópias de segurança do projecto, bem como a verificação das bibliotecas associadas a este.
- *Processes window* (no meio à esquerda): nesta secção são mostrados todos os processos disponíveis ao ficheiro seleccionado na secção anterior. Alguns processos podem conter sub-processos, como no caso da implementação. O ISE executa alguns processos automaticamente, necessários a um determinado processo como, por exemplo, para a implementação, ele executará primeiro automaticamente a síntese, uma vez que a implementação depende do resultado desta. Deste modo, o ISE garante a passagem por todas as etapas necessárias ao desenvolvimento de um projecto, descritas anteriormente.
- *Transcript window* (em baixo): aqui é mostrada toda a informação do progresso do processo em execução, avisos e erros. Através da aba "*Tcl Shell*" também é possível executar processos através de comandos específicos numa linha de comandos.
- *Workplace window* (em cima à direita): esta é a janela principal (normalmente maior), que permite conter vários ficheiros abertos e a edição destes, em código *HDL* ou esquemáticos, ou a visualização de documentos importantes como, por exemplo,

relatórios da síntese e implementação do projecto. Através destes documentos é possível identificar alguns problemas e soluções, também é possível verificar a percentagem usada de recursos da *FPGA*, bem como os recursos usados por cada módulo individualmente.

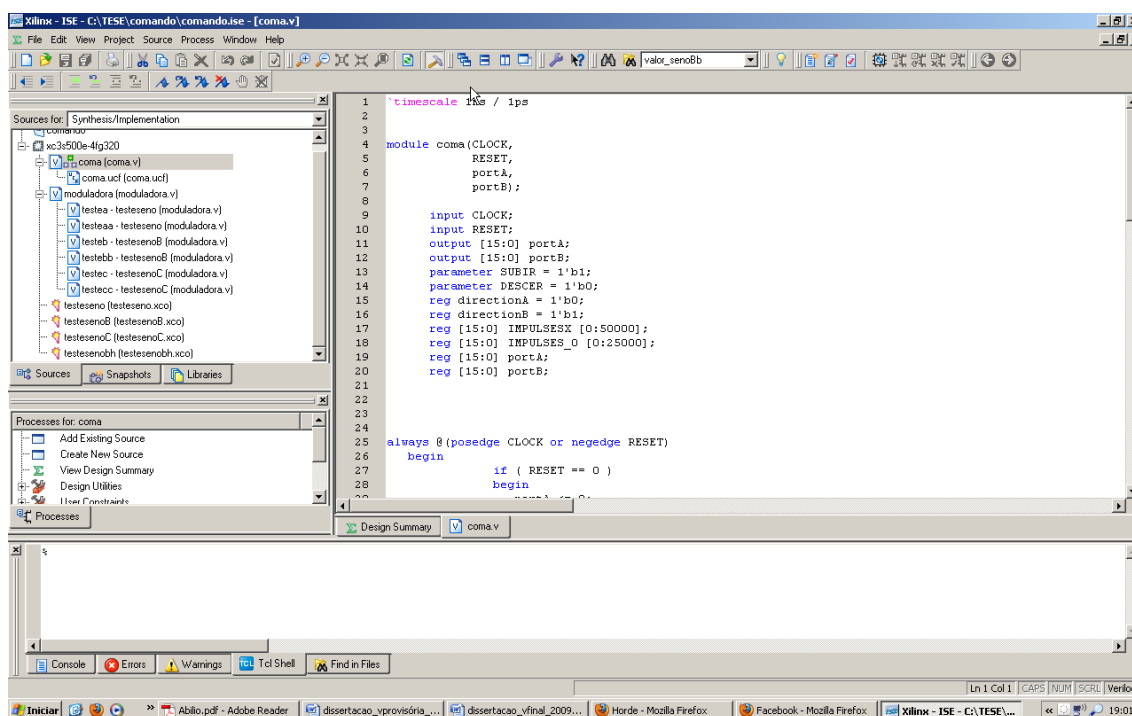


Figura 4.17 - Ambiente típico do ambiente do software integrado ISE da Xilinx.

Todas as janelas podem ser redimensionadas e movidas conforme o gosto do utilizador.

Esta ferramenta está disponível tanto para *Windows* como para *Linux*. O *Xilinx ISE* suporta também a integração com outros programas como o *Matlab*, o *Synplify* e o *ModelSim*. Apesar de o *ISE* já conter um simulador embutido, é possível através deste chamar um simulador externo mais versátil e robusto, o *ModelSim*, fabricado pela *Mentor Graphics Corporation*, sendo assim uma ferramenta de *software* independente do *ISE* que permite ao utilizador simular um determinado sistema digital antes de o implementar em *hardware*.

4.4.4 - ModelSim

À medida que aumenta a complexidade dos sistemas digitais, a sua verificação e *debug* torna-se cada vez mais difícil. Neste contexto, simuladores como o *ModelSim* ganham maior importância, uma vez que permite uma análise e verificação mais detalhada do comportamento de todo o sistema, através de diagramas temporais dos sinais do sistema, facilitando assim a resolução de problemas. Deste modo, é obtido um melhor desempenho do sistema e um desenvolvimento mais rápido deste. A figura 4.18 apresenta o fluxo de desenvolvimento de um sistema no *ModelSim*.

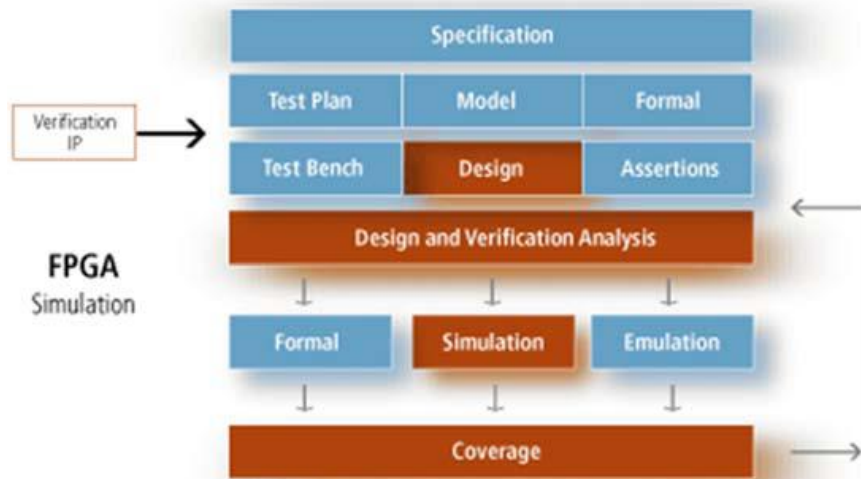


Figura 4.18 - Fluxo de desenvolvimento de um sistema no ModelSim, [35].

O *ModelSim* fornece, assim, um ambiente indicado de simulação e *debug* para projectos de complexidade elevada em ASIC e em FPGA; além disso, também inclui suporte para várias linguagens como *VHDL*, *Verilog*, *SystemVerilog* e *SystemC*, [35]. Este *software* está também disponível tanto para *Windows* como para *Linux*.

Este simulador está, assim, em diferentes edições, integrado nos vários *softwares* dos maiores fabricantes de *FPGA*, entre eles, a *Xilinx*, *Altera*, *Atmel*, *Actel*. A figura 4.19 apresenta o ambiente gráfico do *Modelsim*, que representa o resultado proveniente do código que se pretende inserir na *FPGA* permitindo observar o comportamento final sem ter que descarregar o programa para *FPGA*.

Este *software* de simulação apresenta diversas vantagens em relação ao simulador que o *ISE* tem, uma vez que é possível observar as formas de onda de carácter analógico permitindo usar diversas funções como por exemplo, obter a frequência entre dois pontos, obter os mínimos e máximos de cada forma de onda, entre outros.

Estas foram as ferramentas utilizadas neste trabalho (*ISE* e *ModelSim*), pelos motivos referidos anteriormente. Ambas têm uma vasta documentação e detalhada, que pode ser consultada no menu ajuda ou nos seus sites, [34], [35] e [36], para mais informação.

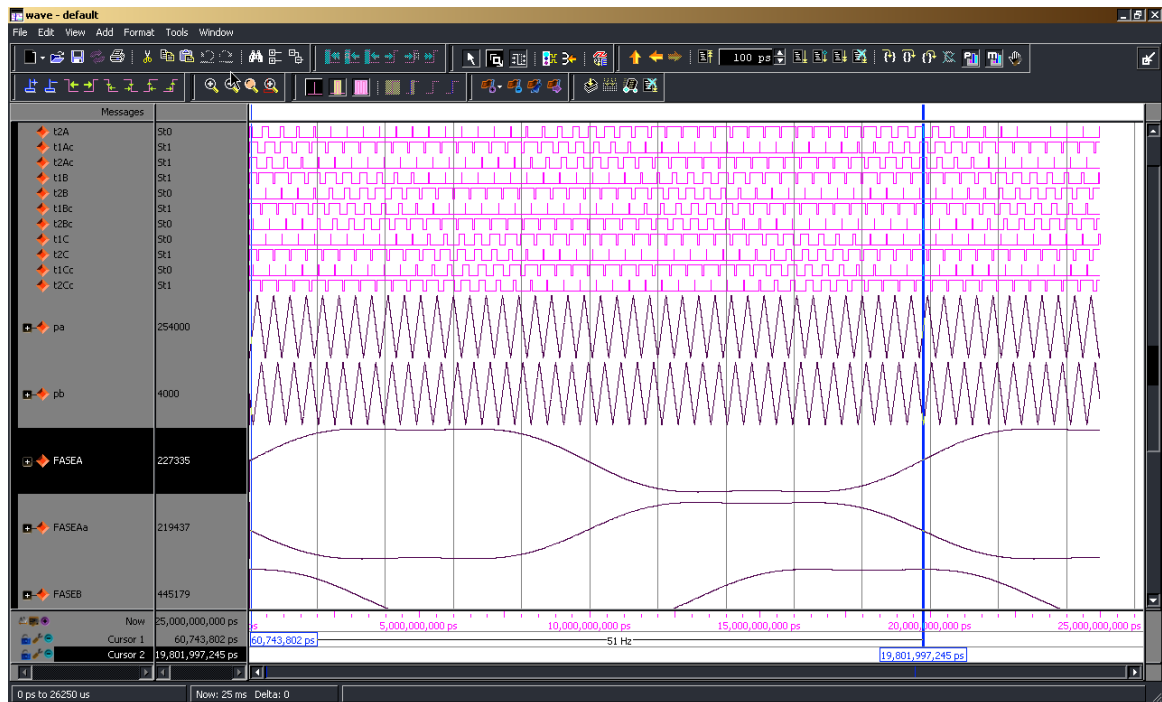
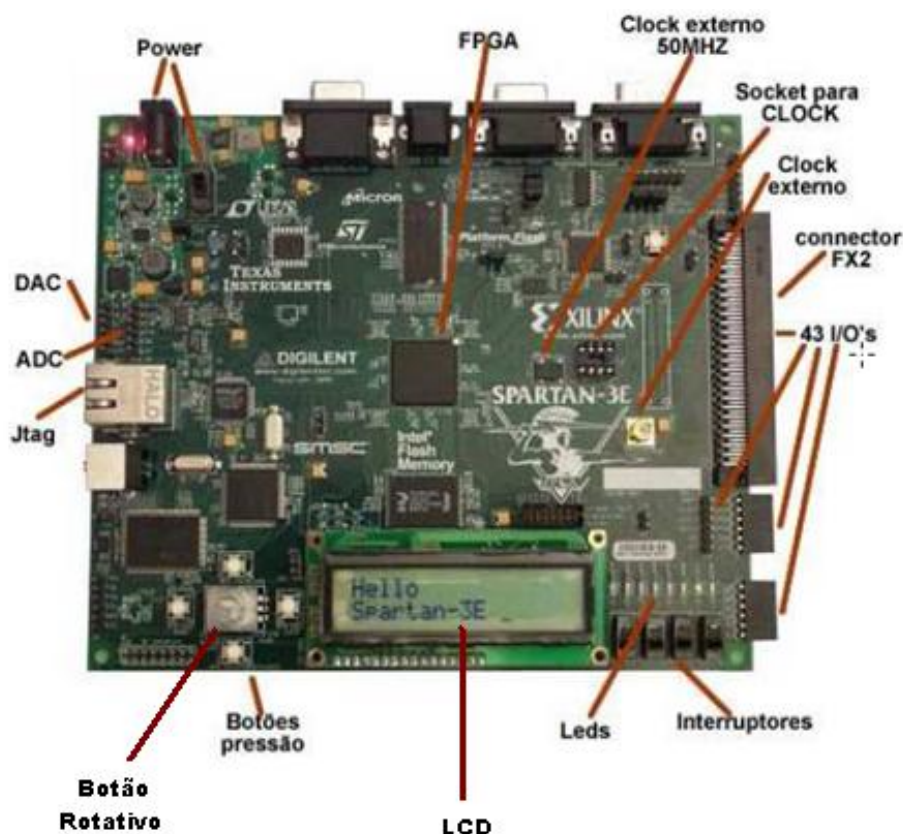


Figura 4.19 - Ambiente típico do ambiente do software integrado *Modelsim*.

4.4.5 - Placa de desenvolvimento

A placa de desenvolvimento utilizada, como já referido, foi o *kit Spartan-3E* da *Xilinx* que é uma placa de circuito impresso cujo núcleo é a *FPGA Spartan-3E*. A figura apresentada abaixo (4.20) corresponde ao *kit* já referido, onde está legendado as principais funcionalidades existentes nele existentes. O *kit Spartan-3E Starter Board* tem as seguintes características:

- *FPGA Xilinx XC3S500E Spartan-3E* possui 500000 portas lógicas, com vinte multiplicadores de 18 bits, 360 Kbits de RAM, e velocidades de relógio até 50 MHz;
- 4 Mbit memória *Flash On-Board*;
- 8 *LED's*;
- 4 Interruptores;
- 4 Botões;
- 1 *Rotary-encoder* com botão;
- 1 LCD de 2 linhas com 16 caracteres;
- Porta *VGA*;
- Porta *Série*;
- Porta *PS/2*.



4.20- Kit de desenvolvimento *Spartan-3E Starter Kit* da Xilinx.

Mais características técnicas e funcionalidades encontram-se bem detalhadas em [37].

4.5 - Implementação do PSPWM em FPGA

O método de comando PSPWM foi implementado em *FPGA* para gerar os sinais de comando do conversor multinível, como já referido. O método de comando para conversores multinível *cascaded H-bridge* foi implementado para cinco e sete níveis.

Para a implementação do comando para o conversor de foi necessário implementar três blocos distintos, em que cada bloco tem a seguinte função:

- Gerar as ondas portadoras desfasadas de acordo com a equação (2-5);
- Gerar as ondas moduladoras com injeção do terceiro harmónico, desfasadas em 120° para diferentes fases de acordo com o sistema trifásico e/ou desfasadas em 180° para implementação do método de modulação sinusoidal unipolar;
- Por último, este bloco compara a amplitude da portadora com a moduladora gerando assim os sinais de comando provenientes dessa comparação.

O algoritmo de comando desenvolvido (*Phase Shifted Pulse-Width Modulation* - PSPWM) tem as seguintes características:

- Índice de amplitude variável;

- Frequência da moduladora variável;
- Moduladora com injeção do 3º harmónico;
- Frequência de comutação igual a 2 KHz.

De seguida, são apresentados os resultados de simulação obtidos no *ModelSim* para o inversor *cascaded H-bridge* de 5 níveis e, posteriormente, de 7 níveis de acordo com as características apresentadas.

4.5.1 - Resultados para o inversor de 5 níveis

A figura 4.21 ilustra as portadoras para a mesma fase e de pontes diferentes.

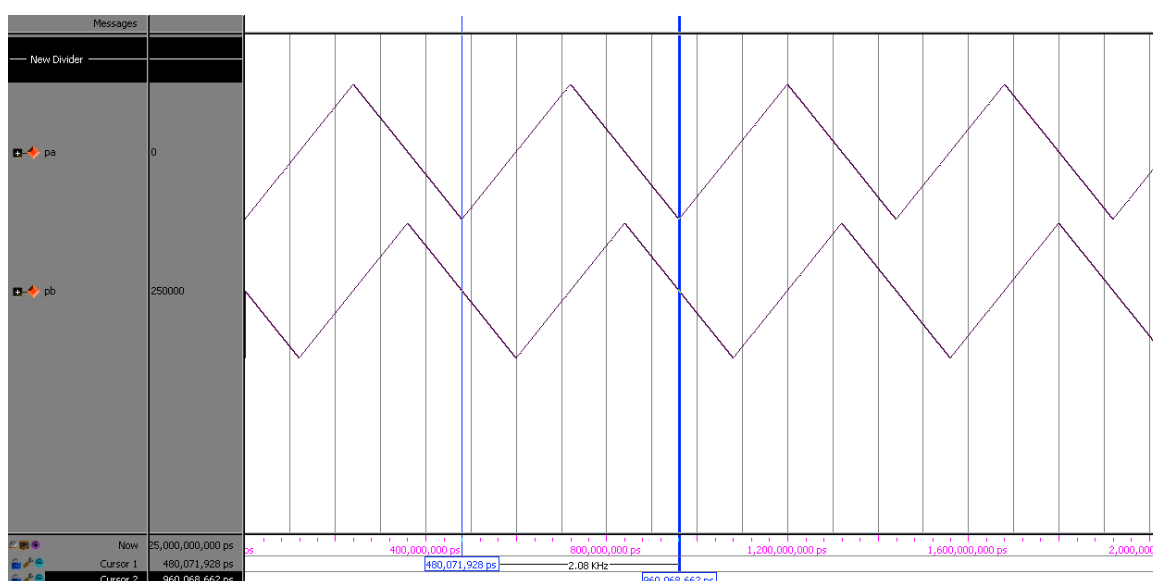


Figura 4.21 - Portadoras para fases iguais e pontes diferentes.

Para a figura acima apresentada é possível verificar que a portadora possui uma frequência igual a 2 KHz e que o desfasamento para portadoras da mesma fase é igual a 90° , visto que para duas ondas triangulares com a mesma amplitude e desfasadas 90° a diferença entre elas é sempre metade da amplitude total.

A figura 4.22 ilustra o modo como foi obtida a moduladora com injeção do terceiro harmónico.

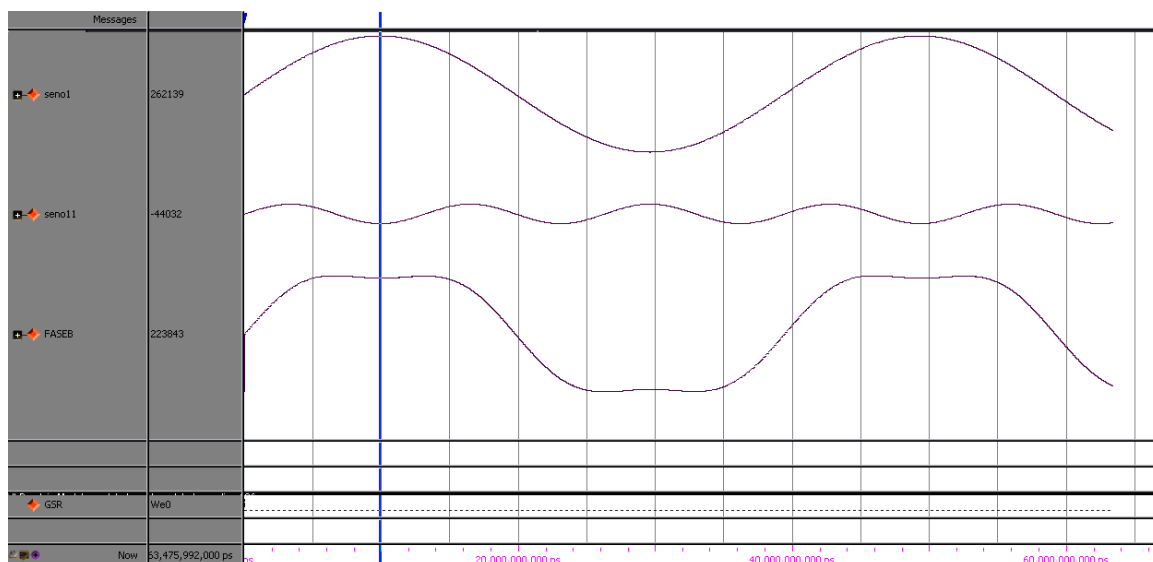


Figura 4.22- Moduladora com injeção do 3º harmónico.

Como já referido na secção 3.2, para a obtenção de uma moduladora com injeção do 3º harmónico é necessário somar à sinusóide principal uma outra sinusóide que o triplo da sua frequência e um sexto da sua amplitude.

A figura 4.23 ilustra a moduladora com injeção do terceiro harmónico para as diferentes fases a uma frequência igual a 51 Hz.

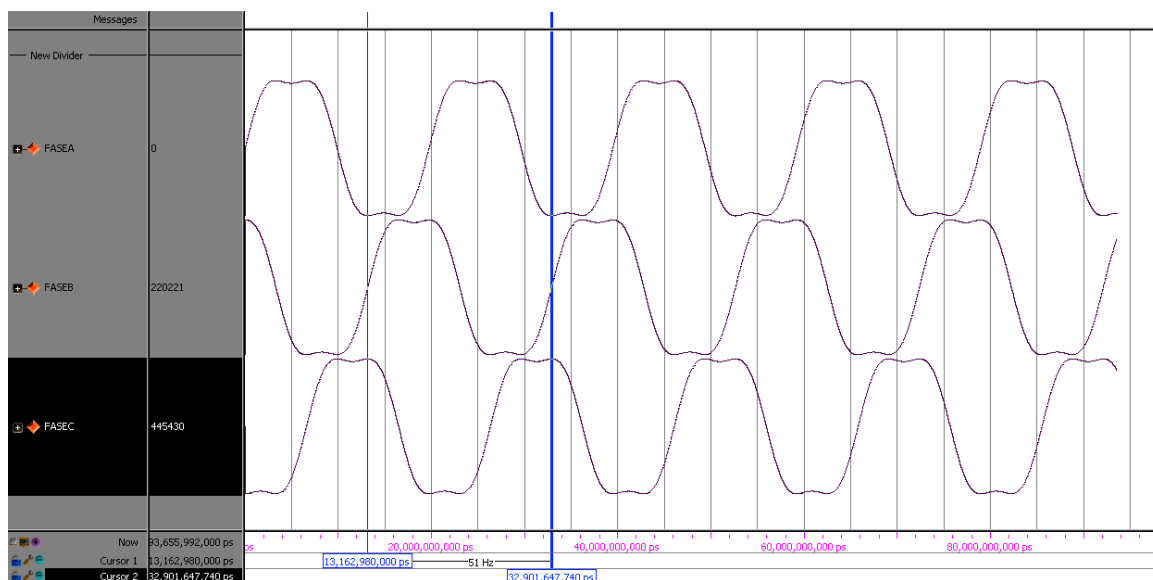


Figura 4.23 - Moduladoras para cada uma das fases.

A figura 4.24 apresenta o sinal de comando gerado após a comparação da portadora com uma frequência igual a 2 kHz e a moduladora a uma frequência igual a 51 Hz.

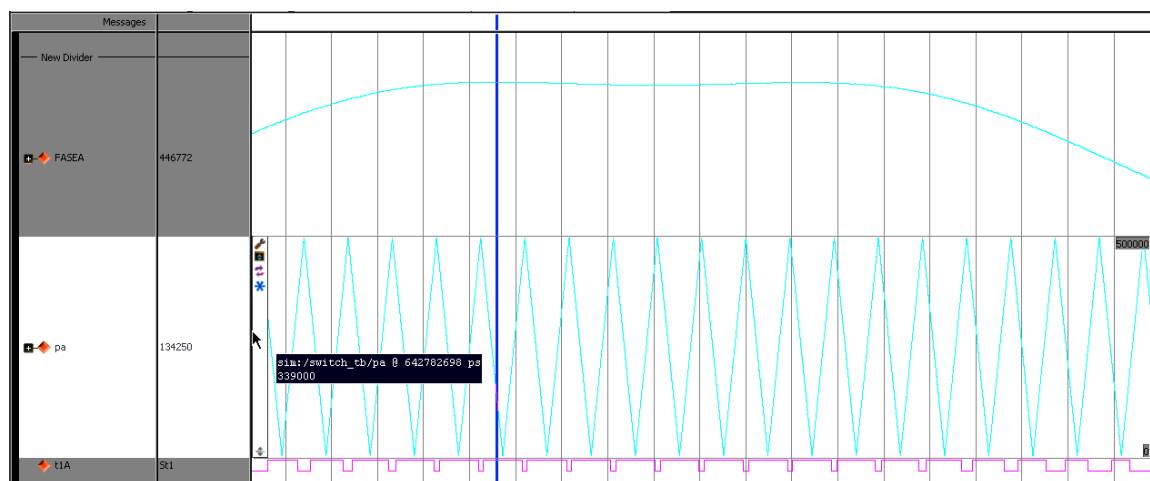


Figura 4.24 - Sinal de comando para IGBT gerado após comparação entre moduladora e portadora.

Por simples análise, verifica-se que o índice de amplitude é igual a 0,89, uma vez que a amplitude máxima da moduladora é igual a 446772 e a amplitude máxima da portadora é igual a 500000 e, de acordo com a equação 3-1, o índice de amplitude resulta em 0,89.

A figura 4.24 apresenta a moduladora à frequência de 25 Hz para o mesmo índice de amplitude.

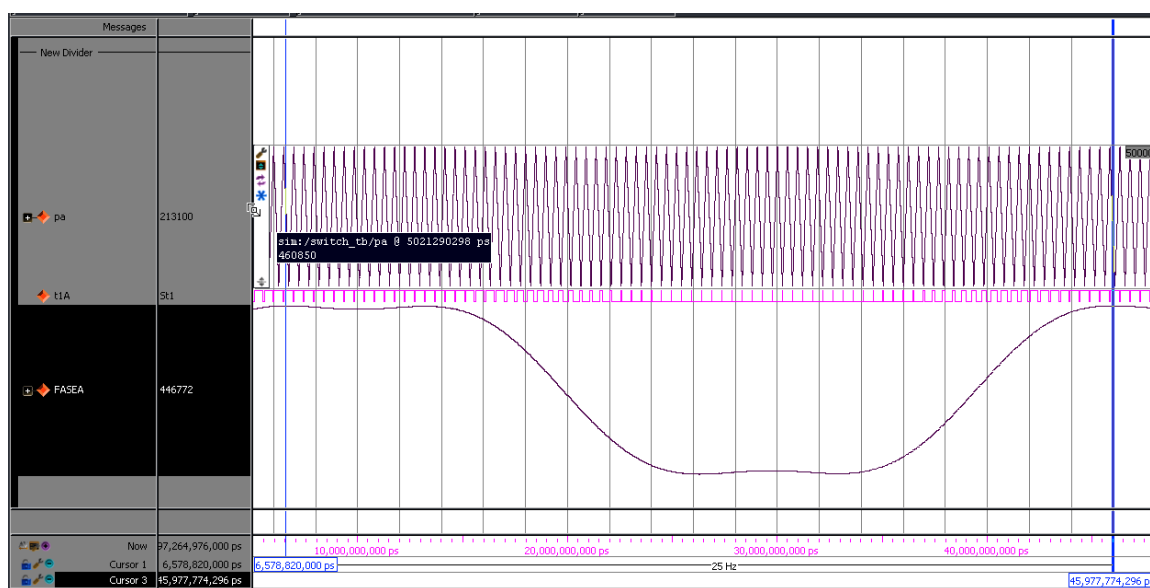


Figura 4.25 - Sinal de comando para IGBT com moduladora à frequência de 25 Hz e $m_a=0,89$.

Como é possível verificar pela imagem anterior o índice de amplitude continua a ser igual a 0,89 e a frequência da moduladora é igual a 25 Hz. De seguida, é apresentada a o sinal de disparo para um IGBT com um índice de amplitude igual a 0,5 e com a moduladora à frequência de 25 Hz.

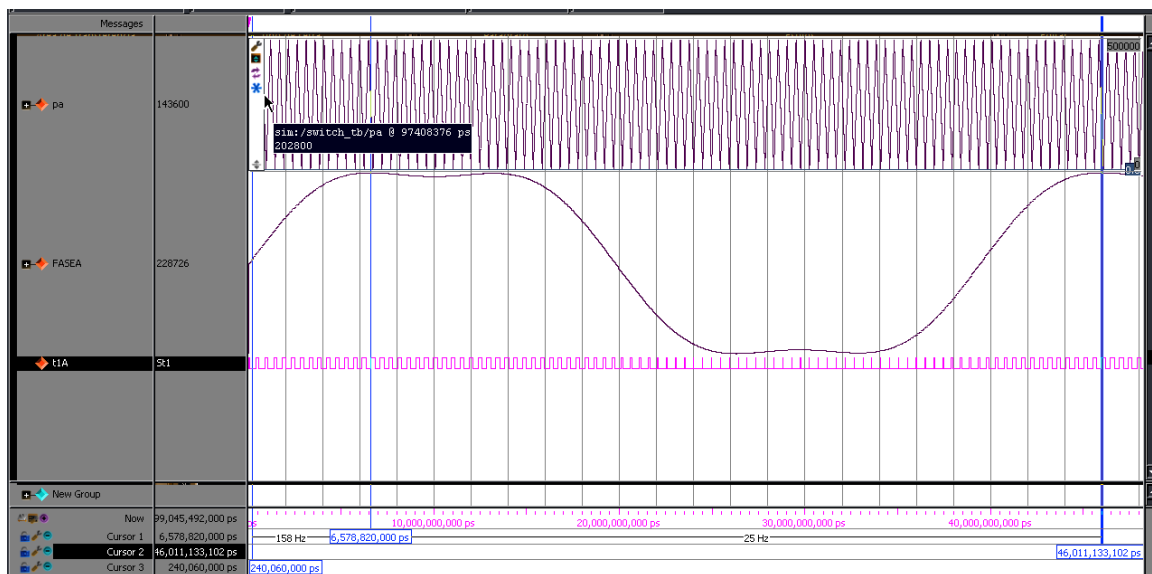


Figura 4.26 - Sinal de comando para IGBT com moduladora à frequência de 25 Hz e $m_a=0,5$.

4.5.2 - Resultados para o inversor de 7 níveis

Para o inversor *cascaded H-bridge* de 7 níveis os resultados são muito semelhantes com as seguintes exceções:

- Existem 6 moduladoras, onde as moduladoras de diferentes pontes se encontram desfasadas 60° ;
- É necessário existir mais 6 sinais de comando, uma vez que é adicionada uma ponte em H por fase.

Devido à semelhança entre os inversores de 5 e 7 níveis apenas vai ser ilustrada as portadoras para uma fase já que, de resto, é tudo idêntico, mudando exclusivamente o número de portadoras e o desfasamento entre portadoras da mesma fase. A figura 4.27 ilustra as moduladoras para uma das fases.

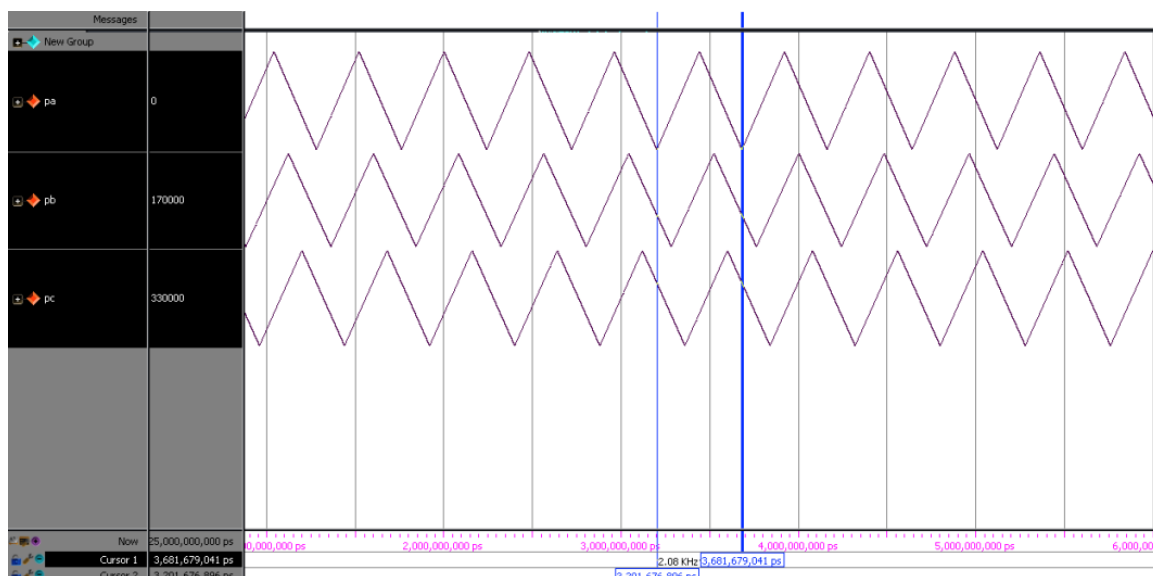


Figura 4.27 - Portadoras para um inversor *cascaded H-bridge* com 7 níveis.

4.6 - Resultados experimentais

Os testes realizados ao conversor multinível foram realizados para a frequência de saída igual a 50 Hz e para a frequência de comutação de 2.33 kHz. As principais formas de onda a serem observadas são os sinais de PWM para uma fase, a tensão de saída para uma ponte, a tensão composta no sistema trifásico e a corrente na carga, tal como o espectro harmónico de diferentes formas de onda.

A figura 4.28 apresenta os sinais de comando para os interruptores superiores de uma das fases; os sinais de comando para os restantes interruptores da mesma fase são complementares dos sinais apresentados e, naturalmente, os sinais de comando para as pontes das outras duas fases obedecem à simetria trifásica.

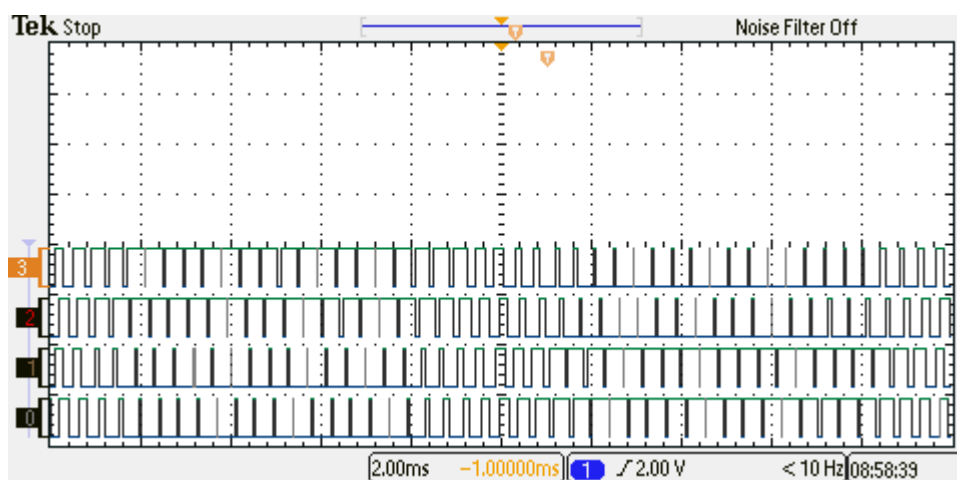


Figura 4.28 - Sinais de comando para os interruptores de uma das fases.

Na figura 4.29 encontram-se ilustrados os mesmos sinais de comando apresentados anteriormente, na figura 4.28, de forma a evidenciar o desfasamento existente entre os sinais de comando para as diferentes pontes de uma fase; pode verificar-se um desfasamento de 90° entre as duas portadoras, tal como ilustrado na figura 4.21.

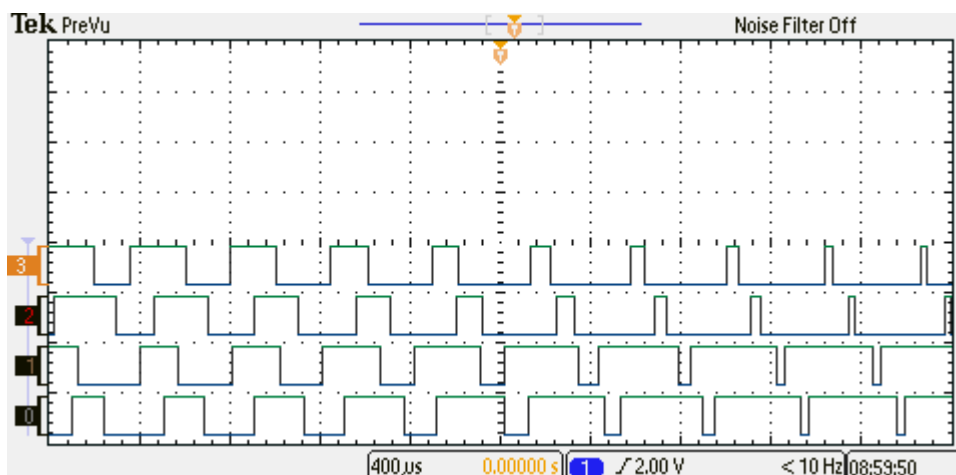


Figura 4.29 - Sinais de comando pormenorizados para os interruptores superiores de uma das fases.

A figura 4.30 apresenta espectro da forma de onda de um dos PWM's apresentados anteriormente, sendo possível observar a existência de harmónicos à frequência de comutação e nos seus múltiplos, bem como a componente de 3º harmónico.

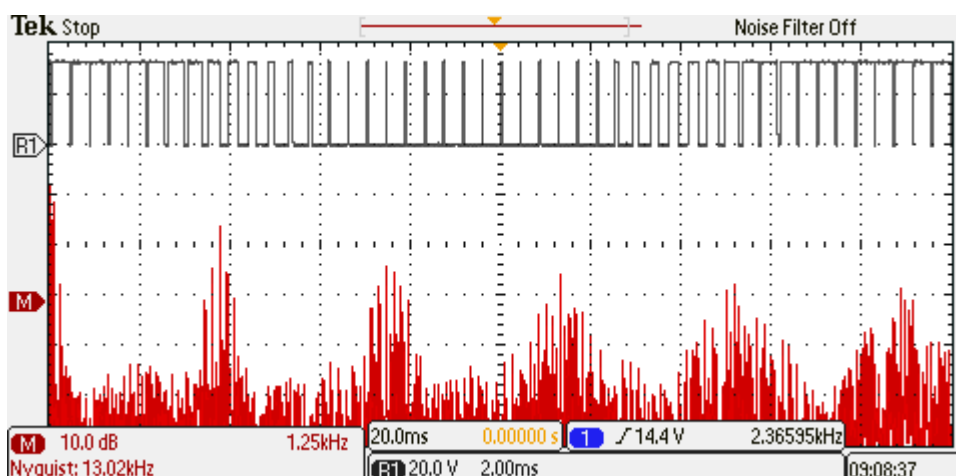


Figura 4.30 - Sinal de comando para um interruptor com o respectivo conteúdo harmónico.

Na figura 4.31 é apresentada a forma de onda da tensão à saída de uma das pontes e respectiva representação espectral e, como se pode verificar, não existem harmónicos à frequência de comutação nomeadamente a 2,33 kHz; apenas nos seus múltiplos nomeadamente à frequência de 4,66 kHz e 9,32 kHz.

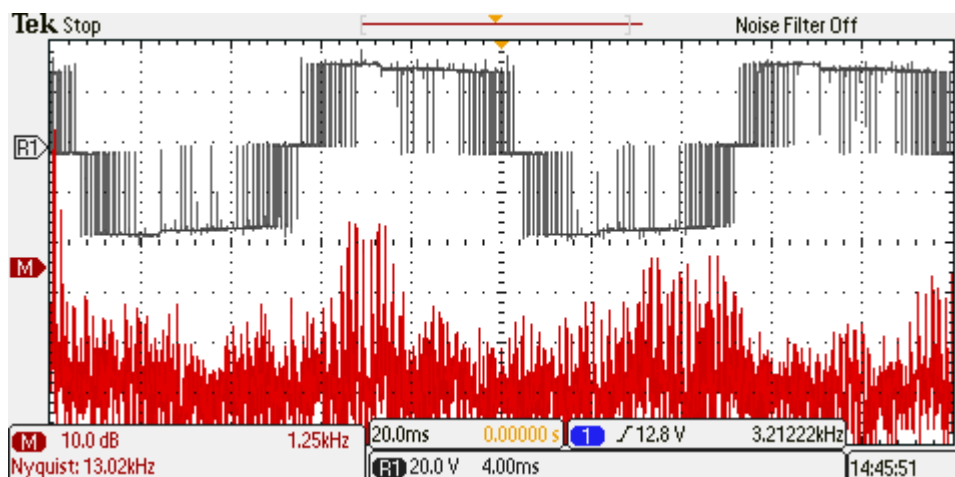


Figura 4.31- Tensão de saída numa ponte e a sua representação espectral

Na figura 4.32 é, ainda, apresentada a forma de onda da tensão de saída em uma das pontes assim como a corrente absorvida por uma ponte.

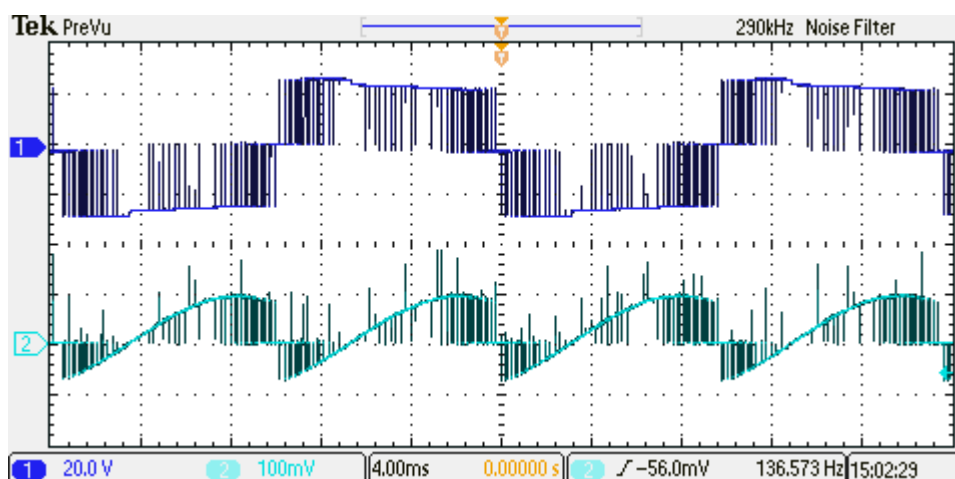


Figura 4.32 - Forma de onda da tensão de saída e corrente absorvida por uma das pontes.

A figura 4.33 ilustra a forma de onda da tensão entre fases e a respectiva representação espectral que, de acordo com o que foi descrito no capítulo de simulação, não tem harmónicos à frequência de comutação, tendo apenas nos seus múltiplos.

Como referido, nos capítulos 2 e 3 e, de acordo com a equação 2-1, para um conversor de 5 níveis, a tensão entre fases apresenta 9 níveis de tensão perfeitamente distintos.

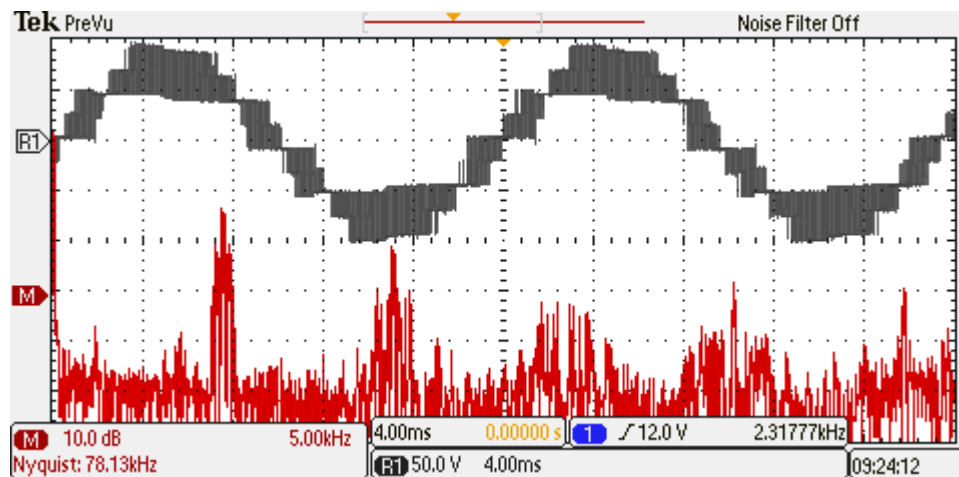


Figura 4.33 - Tensão entre fases e respectiva representação espectral.

Verifica-se, ainda, que, no sistema trifásico, a tensão composta não regista harmónicos em torno de $2F_c$, de saída das pontes monofásicas. Os primeiros harmónicos da tensão composta surgem apenas à volta de $4F_c$, devido à presença de duas pontes em cada fase.

De acordo com o sistema trifásico, e para uma carga como um motor assíncrono trifásico, as correntes em cada uma das fases têm de apresentar uma forma aproximadamente sinusoidal e devem encontrar-se desfasadas entre elas em 120° . Estas características podem ser observadas na figura 4.34 que apresenta a forma de onda da tensão entre fases e a forma de onda da corrente na carga em cada uma das fases.

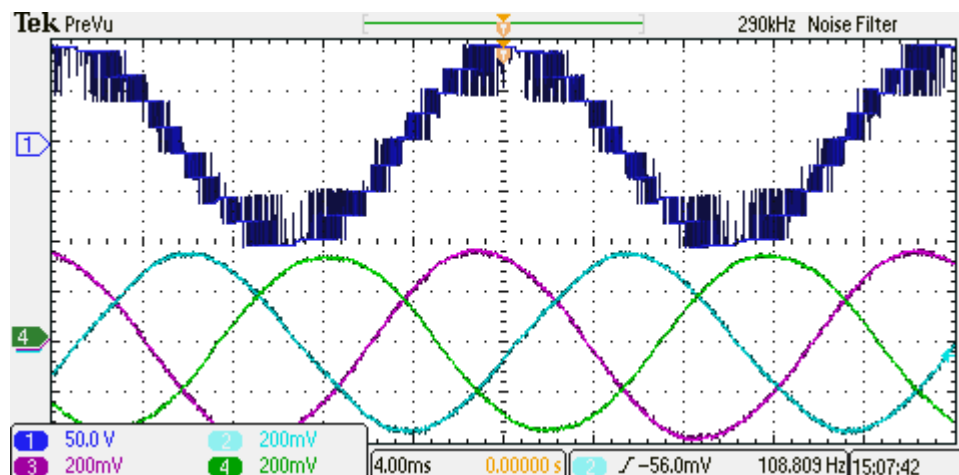


Figura 4.34 - Tensão composta e correntes na carga em cada uma das fases.

Finalmente, e para concluir, observou-se ainda a representação espectral da corrente de carga numa das fases (figura 4.35). Não possui harmónicos à frequência de comutação e à de $2F_c$, da mesma forma que a tensão não os apresenta, mas, sim, em torno de $4F_c$, $8F_c$, ...

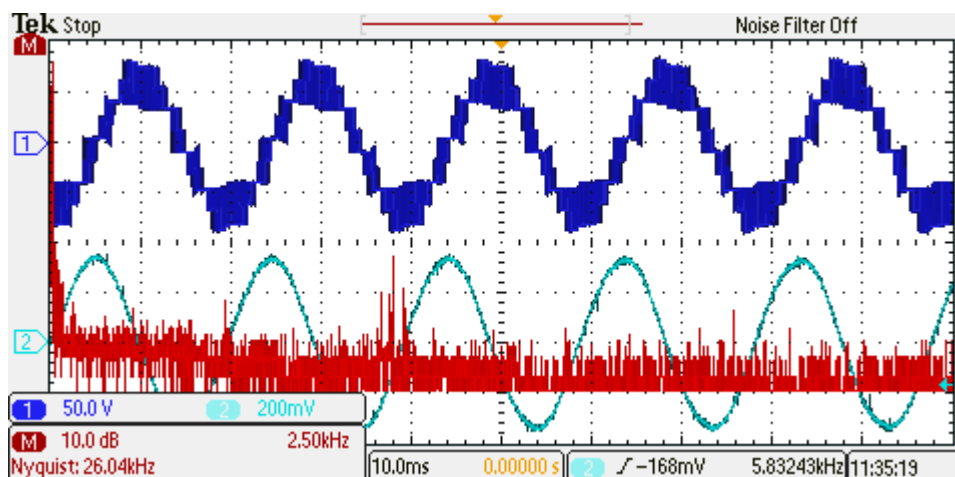


Figura 4.35 - Corrente na carga e sua representação espectral e tensão entre fases.

É possível concluir, então, que as formas de onda obtidas representam bem as características de um conversor multinível. As formas de onda alcançadas permitem observar os diferentes níveis de tensão num conversor de cinco níveis, assim como as formas de onda da corrente na carga.

Em relação aos espectros harmônicos obtidos observa-se a não existência de harmônicos à frequência de comutação na tensão à saída de cada uma das pontes e consequentemente na tensão entre fases. De uma maneira geral os resultados alcançados estão de acordo com os resultados obtidos na simulação.

4.7 - Conclusões

Este capítulo apresentou todos os subsistemas constituintes do inversor multinível trifásico *cascaded H-bridge* de cinco níveis: pontes em *H*, fontes de alimentação independentes, circuito de comando e protecção.

Uma atenção especial foi dedicada à plataforma de comando do inversor, baseada em *FPGA*. O circuito de potência contém 12 transístores com comandos independentes o que faz com que a *FPGA* seja a plataforma de comando mais adequada para o efeito podendo, com facilidade, ser utilizada para gerar mais sinais de comando para um inversor com mais níveis (e transístores).

Os resultados experimentais obtidos demonstram a correcta implementação do conceito do comando multinível para um inversor trifásico *cascaded H-bridge* de cinco níveis.

Capítulo 5

Conclusões e Futuros Desenvolvimentos

5.1 - Conclusões

Após todo o trabalho desenvolvido nesta dissertação é possível concluir que os inversores multinível são uma solução atractiva para aplicações de média e alta potência pois suportam tensões maiores, têm capacidade de comutar a frequências elevadas obtendo um espectro harmónico mais limpo em relação aos inversores de dois níveis.

A evolução e simplificação dos métodos de controlo e a existência de controladores de elevada capacidade e velocidade de processamento tornam a implementação de algoritmos de controlo, nomeadamente a modulação vectorial, cada vez mais facilitada.

A topologia simulada e implementada foi a *cascaded H-bridge*. No entanto, todas as topologias existentes são relevantes dependendo da aplicação que se pretenda implementar.

A realização de simulações com diferentes tipos de modulação permite efectuar uma escolha adequada do método de controlo a implementar através de um balanço entre qualidade e simplicidade do método, com as características da aplicação em que o inversor vai ser implementado. Os métodos de comando simulados foram, então, a modulação por largura de impulsos com desfasamento e a modulação por largura de impulsos vectorial.

O método de comando utilizado no controlo do inversor foi a modulação por largura de impulsos com desfasamento, sendo implementado em *FPGA*. O uso de uma *FPGA* para implementação do controlo em malha aberta do inversor envolveu um moroso estudo das *FPGA*, dispositivos que suportam a implementação de circuitos lógicos relativamente grandes e que apresentam alguma complexidade, consistindo num arranjo de células ou blocos lógicos configuráveis contidos num único circuito integrado. Cada célula tem a capacidade computacional para implementar funções lógicas e realizar o mapeamento para comunicação entre si.

As *FPGA* são, então, o meio mais adequado para o controlo deste tipo de inversores, encontrando-se na linha da frente para aplicações de controlo de inversores multinível de qualquer topologia, *cascaded H-bridge*, *multi-point clamped*, *flying capacitors*, ou outra.

Os objectivos propostos foram alcançados, desde a pesquisa sobre os conversores multinível até à implementação, teste e caracterização do conversor multinível *cascaded H-bridge*.

5.2 - Futuros Desenvolvidos

Um conjunto de trabalhos adicionais está na linha deste. Era de grande interesse implementar o algoritmo de modulação vectorial para a estrutura disponível; e aumentar a estrutura multinível para 7 níveis, de forma a tornar mais atractiva a implementação de outros métodos de controlo, nomeadamente a eliminação selectiva de harmónicos.

A implementação de outros métodos abre portas para um leque de *upgrades* atraentes no trabalho desenvolvido no âmbito da electrónica e do controlo e conversão de energia, nomeadamente a implementação do controlo do conversor em malha fechada e na ligação à rede eléctrica nacional.

Referências

- [1] J. Rodriguez, J.-S. Lai, and F.Z. Peng, "Multilevel inverters: a survey of topologies, controls, and applications," *IEEE Transactions on Industrial Electronics*, vol.49, no.4, pp. 724-738, Aug 2002.
- [2] T.A. Meynard and H. Foch, "Multi-level conversion: high voltage choppers and voltage-source inverters," *PESC '92 Record. 23rd Annual IEEE Power Electronics Specialists Conference*, vol.1, pp.397-403, 29 Jun-3 Jul, 1992.
- [3] J.-S. Lai, F.Z. Peng; "Multilevel converters-a new breed of power converters," *Conference Record of the 1995 IEEE Industry Applications Conference. Thirtieth IAS Annual Meeting, IAS '95*, vol.3, pp.2348-2356, 8-12 Oct, 1995.
- [4] A. Lega, S. Munk-Nielsen, F. Blaabjerg, and D. Casadei, "Multilevel converters for PS applications: comparison and implementation," *European Conference on Power Electronics and Applications, EPE 2007 (CD-ROM)*, pp.1-9, 2-5 Sept. 2007.
- [5] M.D. Manjrekar, P.K. Steimer, and T.A. Lipo, "Hybrid multilevel power conversion system: a competitive solution for high-power applications," *IEEE Transactions on Industry Applications*, vol.36, no.3, pp.834-841, May/Jun 2000.
- [6] M.D. Manjrekar, P. Steimer, and T.A. Lipo, "Hybrid multilevel power conversion system: a competitive solution for high power applications," *Conference Record of the 1999 IEEE Industry Applications Conference, 1999. Thirty-Fourth IAS Annual Meeting*, vol.3, pp.1520-1527, 1999.
- [7] R. Abe, Y. Nagai, K. Tsuyuki, H. Nishikawa, T. Shimamura, A. Kawaguchi, and K. Shimada, "Development of multiple space vector control for direct connected parallel current source power converters," *Proceedings of the Power Conversion Conference - Nagaoka 1997*, vol.1, pp.283-288, vol.1, 3-6 Aug 1997.
- [8] J. Rodriguez, L. Moran, P. Correa, and C. Silva, "A vector control technique for medium-voltage multilevel inverters," *IEEE Transactions on Industrial Electronics*, vol.49, no.4, pp. 882-888, Aug 2002.
- [9] B.Z. Du, L.M. Tolbert, and J.N. Chiasson, "Active harmonic elimination for multilevel converters", *IEEE Transactions on Power Electronics*, vol.21, no.2, pp. 459-469, Mar 2006.
- [10] B.P. McGrath, D.G. Holmes, M. Manjrekar, and T.A. Lipo, "An improved modulation strategy for a hybrid multilevel inverter," *Conference Record of the 2000 IEEE Industry Applications Conference, 2000*, vol.4, pp.2086-2093, Oct 2000.

- [11] B. Mwinyiwiwa, Z. Wolanski, and B.-T. Ooi, "Microprocessor-implemented SPWM for multiconverters with phase-shifted triangle carriers," *IEEE Transactions on Industry Applications*, vol.34, no.3, pp.487-494, May/Jun 1998.
- [12] M. Calais, L.J. Borle, V.G. Agelidis, "Analysis of multicarrier PWM methods for a single-phase five level inverter," *IEEE 32nd Annual Power Electronics Specialists Conference, PESC 2001*, vol.3, pp.1351-1356, 2001.
- [13] J.R. Espinoza, G. Joos, and H. Jin, "Modelling and implementation of space vector PWM techniques in active filter applications," *IEEE Workshop on Computers in Power Electronics, 1996*, pp.142-146, 11-14 Aug 1996.
- [14] B.P. McGrath, D.G. Holmes, and T.A. Lipo, "Optimized space vector switching sequences for multilevel inverters," *IEEE Transactions on Power Electronics*, vol.18, no.6, pp. 1293-1301, Nov. 2003.
- [15] J. Rodriguez, S. Bernet, B. Wu, J.O. Pontt, and S. Kouro, "Multilevel voltage-source-converter topologies for industrial medium-voltage drives", *IEEE Transactions on Industrial Electronics*, vol. 54, n°. 6, pp. 2930-2945, Dec. 2007.
- [16] D.G. Holmes and T.A. Lipo, "Pulse Width Modulation for Power Converters. Principle and Practice", IEEE Press, 2003.
- [17] I. Pereira, "Projecto, Simulação e Implementação um Inversor Multinível", Dissertação de Mestrado, Faculdade de Engenharia da Universidade do Porto, Porto, 2008.
- [18] N. Celanovic, B. Borojevic, "A comprehensive study of neutral-point voltage balancing problem in three-level neutral-point-clamped voltage source PWM inverters," *Fourteenth Annual Applied Power Electronics Conference and Exposition, APEC '99*, vol.1, pp.535-541, 14-18, Mar 1999.
- [19] N. Celanovic, D. Boroyevich, "A fast space-vector modulation algorithm for multilevel three-phase converters," *IEEE Transactions on Industry Applications*, vol.37, no.2, pp.637-641, Mar/Apr 2001.
- [20] M.Y. Lee, P. Wheeler, and C. Klumpner, "A new modulation method for the three-level-output-stage matrix converter," *Power Conversion Conference - Nagoya, PCC '07*, pp.776-783, 2-5 April 2007.
- [21] J.-H. Suh, C.-H. Choi, and D.-S. Hyun; , "A new simplified space-vector PWM method for three-level inverters ," *Fourteenth Annual Applied Power Electronics Conference and Exposition, APEC '99*, vol.1, pp.515-520, 14-18 Mar 1999.
- [22] S. Wei, B. Wu, F. Li, and C. Liu, "A general space vector PWM control algorithm for multilevel inverters," *Eighteenth Annual IEEE Applied Power Electronics Conference and Exposition, 2003. APEC '03*, vol.1, pp. 562-568, 9-13 Feb 2003.
- [23] S. Tuncer, Y. Tatar, "A new approach for selecting the switching states of SVPWM algorithm in multilevel inverter," *European Transactions on Electrical Power*, vol. 17, pp. 81-95, 2007.
- [24] A. Radan, N. Madani, "Optimized selection of switching algorithm in space vector modulated neutral point clamped converters," *European Conference on Power Electronics and Applications, EPE 2005*, CD-ROM, Dresden, Germany, pp.1-9, 2005.
- [25] P. Lauttamus, H. Tuusa, "Unified space-vector modulation scheme for multilevel inverters," *Power Conversion Conference - Nagoya, PCC '07*, vol.1, pp.1464-1471, 2-5 April 2007.

- [26] B. Wu, "High Power Converters and AC Drives," Wiley-IEEE Press, 2006.
- [27] <http://www.xilinx.com/company/gettingstarted/index.htm>. - *Getting Started with FPGAs*. - Última consulta em 2010/05.
- [28] http://www.xilinx.com/publications/products/cpld/logic_handbook.pdf. - *Programmable Logic Design*. Última consulta em 2010/05.
- [29] <http://cnx.org/content/m10919/2.2/> - *Fixed Point Arithmetic and Q format*. Última consulta em 2010/04.
- [30] <http://www.canterbury-consulting.co.uk/index.php/services/fpga-development/56-advantages-of-fpga-devices>. - *Advantages of FPGA devices*. Última consulta em 2010/05.
- [31] <http://www.xilinx.com/esp/index.htm>. - *Market Solutions*. Última consulta em 2010/05.
- [32] <http://www.actel.com/products/solutions/auto/default.aspx>. - *Automotive*. Última consulta em 2010/05.
- [33] S. Palnitkar, "Verilog HDL A Guide to Digital Design and Synthesis", Mountain View, CA: SunSoft Press, 2008.
- [34] <http://www.xilinx.com/itp/xilinx10/books/manuals.pdf>. - *Xilinx ISE 10.1 Design Suite Software Manuals and Help - PDF Collection*. Última consulta em 2010/05.
- [35] <http://modelsim.s3.amazonaws.com/modelsim-comparison.pdf> - *ModelSim Product Comparison*. Última consulta em 2010/05.
- [36] http://portal.model.com/modelsim/resources/references/modelsim_se_user.pdf. Última consulta em 2010/05.
- [37] http://www.xilinx.com/support/documentation/boards_and_kits/ug230.pdf - *Spartan-3E FPGA Starter Kit Board User Guide*. Última consulta 2010/05.