

Faculdade de Engenharia da Universidade do Porto



FEUP

Projecto e Implementação de um Inversor Multinível

Ivo Filipe Barroso de Freitas Pereira

Dissertação submetida no âmbito do
Mestrado Integrado em Engenharia Electrotécnica e de Computadores
Major de Automação

Orientador: Prof. Dr. António José de Pina Martins

Julho de 2008

Resumo

Nesta dissertação é feito um estudo das principais topologias multinível, resultando deste estudo a simulação e a implementação de um inversor de topologia *Neutral Point Clamped* (NPC) com três níveis. O estudo sintetiza as características das topologias, analisando as suas vantagens e desvantagens entre elas e os conversores convencionais de dois níveis. Perante este cenário escolheu-se a topologia a implementar. A simulação envolveu a comparação entre estratégias de controlo a aplicar à estrutura *Neutral Point Clamped* passando por modulação sinusoidal e modulação vectorial. Por fim, é implementado o inversor projectado e obtidos os resultados experimentais de forma a validar as características de multinível estudadas.

Palavras-chave: conversor multinível, *Digital Signal Processor* (DSP), modulação multinível, topologia *Neutral Point Clamped*.

Abstract

In this dissertation it's presented a study of the main inverter topologies. From this study it results the simulation and implementation of a three level Neutral Point Clamped (NPC) inverter topology. The study resumes the characteristic of topologies, analyzing the advantages and the disadvantages between them and the conventional two level converter. With this scenario it was been chosen the implemented topology. The simulation involved the comparison between the modulation strategies to apply to the Neutral Point Clamped structure passing through the pulse width modulation and the space vector modulation. Finally, was implemented the chosen inverter and obtained the experimental results to validate the multilevel characteristics study.

Keywords: Digital Signal Processor (DSP), multilevel converters, multilevel modulation, Neutral Point Clamped topology.

Agradecimentos

Gostaria de agradecer ao Prof. Dr. António Pina Martins por toda a sua disponibilidade e conselhos dados ao longo desta dissertação.

Aos meus colegas de curso tenho de agradecer todo o apoio dado ao longo destes anos de estudo, em especial ao Pedro Silva e ao André Nelson, companheiros de laboratório, e que tudo fizeram para o sucesso deste trabalho.

Finalmente, agradeço à minha família em particular aos meus pais, meu irmão e minha avó por todo o carinho, paciência e apoio.

Conteúdo

Resumo.....	III	
Abstract.....	V	
Agradecimentos	VII	
Conteúdo.....	IX	
Lista de figuras.....	XIII	
Lista de Tabelas	XVII	
Abreviaturas.....	XIX	
1	Introdução	1
1.1	- Motivação	1
1.2	- Objectivos.....	2
1.3	- Estrutura da dissertação	2
2	Estado da arte dos conversores multinível	3
2.1	- Introdução aos conversores multinível	3
2.2	- Topologias dos conversores multinível	4
2.2.1	- Conversor com díodos fixos ao ponto neutro	5
2.2.2	- Conversor de Condensadores Flutuantes	8
2.2.3	- Conversor convencional em cascata	11
2.2.4	- Outras topologias	13
2.2.4.1	Conversor Multi Point Clamped	13
2.2.4.2	Conversor Assimétrico Híbrido	13
2.2.4.3	Conversor <i>Diode/Capacitor-Clamped</i>	13

2.3 - Modulação multinível	14
2.3.1 -Controlo Vectorial	15
2.3.2 -Eliminação selectiva de harmónicos.....	16
2.3.3 -Modulação multinível híbrida.....	17
2.3.4 -Modulação por largura de impulsos (MLI).....	17
2.3.4.1MLI por desfasamento	18
2.3.4.2MLI por desnivelamento	19
2.3.5 -MLI Vectorial	20
2.4 - Aplicações.....	21
2.4.1 -Controlo directo do binário.....	22
2.5 - Conclusões.....	24
3 Simulação do Conversor Mulinível	25
3.1 - Introdução	25
3.2 - Esquema do sistema de simulação.....	25
3.3 - Simulação do conversor com MLI por desnivelamento	26
3.4 - Simulação do conversor com MLI de duas moduladoras.....	33
3.5 - Simulação do conversor com injeção de terceiro harmónico.....	35
3.6 - Simulação do conversor com MLI Vectorial.....	36
3.6.1 -Princípio de funcionamento	36
3.6.2 -Algoritmo e resultados da simulação.....	42
3.7 - Conclusões.....	46
4 Implementação do Conversor Multinível.....	47
4.1 - Introdução	47
4.2 - Rectificador.....	48
4.3 - Conversor multinível	48
4.4 - Sistema de controlo.....	49
4.4.1 -DSP (TMS320F2812).....	50
4.4.1.1Entradas e Saídas Digitais	52
4.4.1.2Sistema de Interrupções	52
4.4.1.3Event Manager	53

4.4.1.4	Unidade de <i>Dead Band</i>	54
4.4.2	- <i>Drive</i>	55
4.4.2.1	Protecção contra excesso de corrente.....	56
4.4.2.2	Circuito do <i>flip-flop</i>	57
4.4.2.3	Circuito de protecção contra curto-circuitos num ramo e de geração de tempo morto	57
4.5	- Conclusões.....	59
5	Equipamento desenvolvido e resultados experimentais.....	60
5.1	- Introdução	60
5.2	- Equipamento experimental	60
5.3	- Resultados experimentais	65
5.3.1	-Frequência de comutação de 1.6 kHz	65
5.3.2	-Frequência de comutação de 6,25 kHz	70
5.3.3	-Modulação com injeção de terceiro harmónico	72
5.4	- Conclusões.....	73
6	Conclusões e Trabalho Futuro	74
6.1	- Conclusões.....	74
6.2	- Trabalho futuro	75
	Referências.....	76
Anexo A	Circuito de Simulação	80
Anexo B	<i>Look up Tables</i>	81
Anexo C	Placa de Potência.....	83
Anexo D	Circuito de <i>Drive</i>	84

Lista de figuras

Figura 2.1. Braço de um conversor com (a)dois níveis (b)três níveis e (c)n níveis	5
Figura 2.2. a) Conversor NPC de 3 níveis e b) Braço de um conversor NPC de 5 níveis	6
Figura 2.3. Tensão de saída V_{co} para um conversor de 3 níveis	6
Figura 2.4. Tensão de saída V_{ao} para um conversor de 5 níveis	7
Figura 2.5. a)Conversor de condensadores flutuantes (3 níveis) b) Ramo do conversor de condensadores flutuantes (5 níveis)	9
Figura 2.6. Tensão de saída V_{ao} para um conversor de condensadores flutuantes (3 níveis)	9
Figura 2.7. a)Conversor convencional em cascata (3 níveis) b) Ramo do conversor convencional em cascata (5 níveis).....	12
Figura 2.8. Ramo de um conversor Multi Point Clamped de 5 níveis	13
Figura 2.9. Ramo de um conversor <i>Diode/Capacitor-Clamped</i> (3 níveis)	14
Figura 2.10. Digrama das estratégias de comutação existentes para multinível	15
Figura 2.11. a) Plano complexo dos estados de um conversor de 3 níveis b) Forma de onda da saída com modulação vectorial para um conversor de 3 níveis	15
Figura 2.12. Forma de onda resultante da eliminação selectiva de harmónicos para um conversor de 7 níveis.....	16
Figura 2.13. a) Ramo do um conversor híbrido b) Onda de referência e tensão de saída para o patamar de alta tensão e baixa frequência c)Onda de referência e tensão de saída para o patamar de baixa tensão e frequência elevada d) Conjunto das ondas de referência e das tensões de saída	17
Figura 2.14. MLI por desfasamento num conversor de 5 níveis a) Onda de referência e portadoras b)-e) Resultado das comparações f) Onda de saída resultante da soma das 4 ondas anteriores	18
Figura 2.15. MLI por desnivelamento num conversor de 5 níveis a)portadoras em oposição de fase b)portadoras em oposição de fase alternada c)portadoras em fase.	19
Figura 2.16. a) Conversor convencional de dois níveis b)Diagrama de vectores de estado	20
Figura 2.17. Diagrama de vectores de estado para conversores de três níveis.....	21

Figura 2.18. Representação vectorial do fluxo no estator e no rotor durante Δt	22
Figura 2.19. Representação dos 6 vectores mais próximos do vector fluxo estatórico.....	23
Figura 2.20. Diagrama de blocos do DTC	23
Figura 3.1. Diagrama de blocos do sistema a ser simulado	26
Figura 3.2. Circuito de simulação com controlo MLI para o conversor NPC de 3 níveis	27
Figura 3.3. a) Formas de onda da moduladora e das portadoras; b-c) Sinais de controlo para os IGBTs T1 e T2.....	27
Figura 3.4.a) Tensão no ponto médio e b) Corrente no ponto médio.....	28
Figura 3.5. Corrente numa das fases da carga (em cima) e tensão entre uma das fases e o ponto médio (em baixo)	28
Figura 3.6. Espectro harmónico da tensão entre fases	29
Figura 3.7. Tensão entre fases para um índice de modulação igual a a) 0,5 e b) 1	30
Figura 3.8.a) Portadoras em oposição de fase e moduladora; b-c) Sinais de controlo dos IGBTs.....	30
Figura 3.9.a) Tensão no ponto médio e b) Corrente no ponto médio.....	31
Figura 3.10. a) Corrente na carga e b) Tensão entre fase e ponto médio na carga.....	31
Figura 3.11. Espectro harmónico da tensão entre fases	31
Figura 3.12. Tensão entre fases para modulação com portadoras em fase e índice de modulação 0.5.....	33
Figura 3.13. Tensão entre fases para modulação com portadoras em oposição de fase e índice de modulação 0.5	33
Figura 3.14. a) Modulação com duas moduladoras e uma portadora; b-c) Sinais de controlo para os IGBTs.....	34
Figura 3.15. Tensão entre fase e o ponto médio para dupla moduladora (índice de modulação igual a 1).....	34
Figura 3.16. Espectro harmónico da tensão entre fases para dupla moduladora (índice de modulação igual a 1).....	34
Figura 3.17. a) Modulação com injeção de terceiro harmónico b-c) Sinais de controlo dos IGBTs	35
Figura 3.18. Tensão entre fases com injeção de terceiro harmónico.....	36
Figura 3.19. Espectro harmónico da tensão composta com injeção de terceiro harmónico	36
Figura 3.20. Diagrama de vectores de um conversor de 3 níveis, com vector de referência e os sectores.....	37
Figura 3.21. Passagem de coordenadas cartesianas para coordenadas hexagonais, no sector I. ..	38
Figura 3.22. Diagrama de vectores de estado.....	40
Figura 3.23. Diagrama de vectores com diferente disposição de zonas.....	41
Figura 3.24. Entradas e saídas do bloco <i>C Script</i> do PSIM	42
Figura 3.25. Diagrama de blocos do código	42

Figura 3.26. Circuito de selecção dos segmentos.....	43
Figura 3.27. Sinais de controlo para os interruptores de um braço do conversor	44
Figura 3.28. Tensão no ponto médio com MLI vectorial.....	44
Figura 3.29. Corrente no ponto médio com MLI vectorial	44
Figura 3.30. Tensão entre: a) fase e ponto médio e b) entre fases	45
Figura 3.31. Espectro harmónico da tensão entre: a) fase e ponto médio e b) entre fases.....	45
Figura 4.1. Diagrama de blocos do equipamento experimental.....	47
Figura 4.2. Circuito de rectificação das tensões da rede	48
Figura 4.3. Conversor NPC de 3 níveis.....	49
Figura 4.4. Diagrama de blocos do controlo	50
Figura 4.5. Diagrama de blocos do DSP [49]	50
Figura 4.6. Interface do Code Composer Studio [49]	51
Figura 4.7. Portas e pinos do DSP [49].....	52
Figura 4.8. Unidade PIE [49]	53
Figura 4.9. Diagrama de blocos do EVA [49]	54
Figura 4.10. Unidade de <i>Dead Time</i> [49].....	55
Figura 4.11. Diagrama de blocos do circuito de drive	56
Figura 4.12. Circuito de protecção contra picos de corrente [49].....	56
Figura 4.13. Circuito do <i>flip-flop</i>	57
Figura 4.14. Circuito de protecção contra curto-circuitos num ramo e de geração de tempo morto.....	58
Figura 4.15. Circuito de aplicação do HCPL3180	58
Figura 5.1. DSP ligada à placa de distribuição de sinais.....	61
Figura 5.2. Placa de <i>drive</i>	61
Figura 5.3. Parte de cima do conversor NPC	62
Figura 5.4. Visão lateral do conversor NPC	62
Figura 5.5. Montagem rectificadora.....	63
Figura 5.6. Variac trifásico.....	63
Figura 5.7. Motor utilizado como carga.....	64
Figura 5.8. Conjunto rectificador, controlo, conversor e carga.....	64
Figura 5.9. Visão sobre a banca de trabalho	65
Figura 5.10. Tensão simples e corrente na carga a 50Hz.....	66
Figura 5.11. Espectro harmónico da tensão simples	66
Figura 5.12. Tensão composta e corrente na carga a 50Hz.....	67
Figura 5.13. Espectro harmónico da tensão composta	67
Figura 5.14. Tensão simples (em cima) e corrente no ponto médio (em baixo).....	68
Figura 5.15. Corrente à entrada dos ramos do conversor e corrente na carga.....	68
Figura 5.16. Tensão aos terminais de um IGBT com a corrente como referência	69

Figura 5.17. Tensão composta e corrente na carga a 25 Hz.....	69
Figura 5.18. Espectro harmónico da tensão composta a 25Hz.....	70
Figura 5.19. Tensão composta e corrente na carga para a frequência de comutação de 6,25 kHz	70
Figura 5.20. Espectro harmónico da tensão composta para a frequência de comutação de 6,25 kHz	71
Figura 5.21. Tensão composta e corrente na carga para a frequência de comutação de 6,25 kHz e frequência de saída de 25 Hz	71
Figura 5.22. Espectro harmónico da tensão composta para a frequência de comutação de 6,25 kHz e frequência de saída de 25 Hz.....	72
Figura 5.23. Tensão composta para frequência de comutação de 1,6 kHz e frequência de saída de 25 Hz	72
Figura 5.24. Espectro harmónico da tensão composta para frequência de comutação de 1,6 kHz e frequência de saída de 25 Hz	73

Lista de Tabelas

Tabela 2.1. Sequência de comutação para obter os três níveis de tensão de saída.....	6
Tabela 2.2. Sequência de comutação para obter os cinco níveis de tensão de saída.....	7
Tabela 2.3- Sequência de comutação para obter a os três níveis de tensão de saída num conversor de condensadores flutuantes.....	9
Tabela 2.4. Sequência de comutação para obter a os cinco níveis de tensão de saída num conversor de condensadores flutuantes.....	10
Tabela 2.5. Sequência de comutação para obter a os três níveis de tensão de saída num conversor de convencional em cascata	11
Tabela 2.6. Combinação dos estados dos interruptores para um conversor de dois níveis.....	20
Tabela 3.1. Valores RMS e de THD da tensão entre a fase e o ponto médio para três índices de modulação diferentes, com portadoras em fase	29
Tabela 3.2. Valores RMS e de THD da tensão entre fase e ponto médio para três índices de modulação diferentes, com portadoras em oposição de fase	32
Tabela 3.3 Valores RMS e de THD da tensão entre fases para três índices de modulação diferentes, com portadoras em fase.....	32
Tabela 3.4 Valores RMS e de THD da tensão entre fases para três índices de modulação diferentes, com portadoras em oposição de fase.....	32
Tabela 3.5. Valores RMS e de THD da tensão entre fases para três índices de modulação diferentes, com dupla moduladora	35
Tabela 3.6. Vectors de estado de nível 0 e baixo, e o nível de tensão nos três ramos.....	40
Tabela 3.7. Sequência e tempos de comutação dos vectors de estado	41
Tabela 3.8. Parte referente ao sector I da <i>lookup table</i> do IGBT T1.....	43
Tabela 3.9. Valores RMS e de THD da tensão entre a fase e o ponto médio para três índices de modulação diferentes, com MLI Vectorial	46
Tabela 3.10. Valores RMS e de THD da tensão entre fases para três índices de modulação diferentes, com MLI Vectorial.....	46

Abreviaturas

Lista de abreviaturas (ordenadas por ordem alfabética):

A/D	Analog/Digital
DSP	Digital Signal Processor
DTC	Direct Torque Control
EMI	Electromagnetic Interference
EV	Event Manager
FACTS	Flexible AC Transmission System
FFT	Fast Fourier Transform
GPIO	General Purpose Input Output
IGBT	Insulated Gate Bipolar Transistor
MLI	Modulação por Largura de Impulsos
MPC	Multi Pointed Clamped
NPC	Neutral Point Clamped
PIE	Peripheral Interrupt Expansion
PSPWM	Phase Shift Pulse Width Modulation
PWM	Pulse Width Modulation
RMS	Root Mean Square
SMES	Superconducting Magnetic Energy Storage
SVPWM	Space Vector Pulse Width Modulation
THD	Total Harmonic Distortion
uP	Microprocessor
UPS	Uninterruptible Power Supply

Lista de símbolos:

k	Número de níveis de tensão entre fases
n	Número de níveis de um conversor
p	Número de níveis de tensão de fase num conversor
h_m	Amplitude dos harmônicos ímpares m
V_k	k nível da tensão DC
α_k	Ângulo de disparo
v_s	Tensão no estator
i_s	Corrente no estator
T_e	Binário electromagnético
p	Número de pólos
M	Indutância mútua
σL_s	Indutância de fugas
φ_s	Fluxo no estator
φ_r	Fluxo no rotor
ϑ_{sr}	Relação angular entre o fluxo no estator e no rotor
V_{rms}	Valor eficaz da tensão entre uma fase e o neutro
V_f	Tensão da componente fundamental
V_{ab}	Tensão entre fase a e b
V_{bc}	Tensão entre fase b e c
V_{ca}	Tensão entre fase c e a
\vec{V}_{ref}	Vector de referência
V_{rm}	Vector representativo do eixo m no referencial hexagonal
V_{rn}	Vector representativo do eixo n no referencial hexagonal
\vec{V}_{ul}	Vector mais próximo de vector de referência de índice ul
\vec{V}_{lu}	Vector mais próximo de vector de referência de índice lu
\vec{V}_{uu}	Vector mais próximo de vector de referência de índice uu
\vec{V}_{ll}	Vector mais próximo de vector de referência de índice ll
d	<i>Duty-cycle</i>
f_{sw}	Frequência de comutação dos interruptores
f_{sp}	Frequência de amostragem
f_1	Frequência fundamental

Capítulo 1

Introdução

Neste capítulo revela-se a razão do interesse crescente sobre os conversores multinível de forma a introduzir o tema e a motivação desta dissertação, mostrando de seguida os objectivos e a estrutura da dissertação.

1.1 - Motivação

Com o aumento da utilização da energia eléctrica os conversores de potência vão ganhando cada vez mais importância, o que obriga ao aparecimento de novas topologias e técnicas de controlo de conversores. Assim, em 1981, surge o conceito de conversor multinível num artigo publicado por *Nabae, Takahshi e Akagi*, onde é apresentada a topologia de díodos ligados ao ponto neutro (NPC - *Neutral Point Clamped*). Desde então os conversores multinível têm sido amplamente estudados tendo surgido diferentes topologias como as de condensadores flutuantes (*Flying-Capacitor Converter*) e conversores convencionais em cascata (*Cascaded Full-Bridge Converter*).

A principal diferença entre um conversor multinível e um conversor convencional está nos níveis de tensão de entrada e de saída, num conversor convencional tem-se apenas dois níveis de tensão enquanto num conversor multinível tem-se três ou mais níveis de tensão. Esta particularidade permite que o conversor multinível tenha vantagens, como menor tensão aplicada aos interruptores, maior rendimento devido a menos perdas de comutação, frequência de comutação superior, menor conteúdo harmónico à saída, redução de interferências electromagnéticas e resposta dinâmica mais rápida. Assim estes conversores foram ganhando importância em aplicações de média e alta tensão, como fontes de energia renováveis, máquinas eléctricas e distribuição de energia.

A implementação do conversor multinível apenas se tornou possível com a evolução e crescimento da Electrónica de Potência, visto que este implica custos mais elevados por ter mais interruptores e um controlo mais complexo. Este problema é ultrapassado nos dias de hoje

com o aparecimento de semicondutores de potência mais rápidos, com tensões de bloqueio maiores e a preços acessíveis, como os IGBTs, e com controladores com maior capacidade e rapidez de processamento, como o DSP (*Digital Signal Processor*).

Com o aparecimento das energias renováveis, a qualidade do sinal entregue à rede por parte dos conversores destas fontes de energia tende a ser melhorada em comparação a sistemas mais antigos, o que implica que seja dada uma maior importância aos conversores multinível porque estes permitem um aumento da potência gerada e a melhoria do aproveitamento da energia disponível. Assim os conversores multinível aparecem na linha da frente para ligar à rede eléctrica energias renováveis, como a energia solar fotovoltaica, a energia eólica e as pilhas de combustível, sendo a energia eólica um dos campos de maior interesse para o conversor multinível, pois necessita de intensidades de corrente elevadas para baixos níveis de tensão de forma a ter potências elevadas.

Perante as razões indicadas nos parágrafos anteriores é de todo o interesse o estudo da estrutura e do controlo do conversor multinível, sendo nesta dissertação focalizada a topologia de díodos ligados ao ponto neutro (NPC) após uma análise de diferentes topologias e das suas vantagens e desvantagens no seu projecto e implementação.

1.2 - Objectivos

Os objectivos desta tese estão ilustrados nos pontos seguintes:

- Documentar de forma completa o estado actual dos conversores multinível.
- Fazer um estudo comparativo das topologias possíveis para um conversor multinível.
- Projectar e simular a topologia escolhida.
- Implementar em uP/DSP o algoritmo de controlo do conversor.
- Implementar, testar e caracterizar o conversor multinível.

1.3 - Estrutura da dissertação

Para além da introdução esta dissertação contém mais 5 capítulos. No capítulo 2, é feita uma abordagem ao que já existe sobre topologias multinível fazendo uma comparação entre elas analisando as suas vantagens e desvantagens. É feito ainda um estudo sobre tipos de modulação existentes para conversores multinível. No capítulo 3, é simulada a topologia escolhida para implementação, com vários tipos de controlo referidos no capítulo anterior. No capítulo 4, realiza-se a descrição da implementação do conversor multinível, desde as estruturas envolventes, como o controlo, o rectificador e a carga, até à própria concepção do conversor. No capítulo 5, é ilustrado todo o equipamento experimental utilizado no trabalho desenvolvido ao longo da dissertação e são analisados os resultados experimentais obtidos. No capítulo 6, são referidas as conclusões finais e futuras linhas de desenvolvimento.

Capítulo 2

Estado da arte dos conversores multinível

Neste capítulo são comparadas as características de um conversor multinível e de um conversor convencional. De seguida são analisadas as diversas topologias e estratégias de comutação dos conversores multinível de forma a obter informação sobre o que já foi feito. Por fim são referenciadas algumas aplicações para este tipo de conversores.

2.1 - Introdução aos conversores multinível

Nos últimos anos a utilização de conversores multinível tem crescido em diversos níveis energéticos mas com maior saída para a média e alta tensão. O crescimento do mercado para aplicações de alta potência e o decréscimo das performances dos semicondutores com o aumento da tensão obriga a que sejam utilizadas estruturas em série, sendo os conversores multinível uma solução para esse problema [1].

O conversor multinível pode se definir como um fixador de níveis de tensão, onde a tensão alternada à saída é gerada pelos níveis de tensão que se tem na entrada através da escolha correcta da comutação dos interruptores. No caso do conversor convencional apenas se tem um nível de tensão no lado DC do conversor, sendo esta a principal diferença entre os dois conversores. Desta diferença na funcionalidade do conversor multinível resulta uma série de vantagens e desvantagens[2-4]. Entre as vantagens tem-se:

- Com os mesmos interruptores de um conversor convencional pode-se aumentar a tensão de trabalho do conversor, sendo este aumento proporcional ao número de níveis do conversor.
- Com tensões mais elevadas pode-se aumentar a potência do conversor sem alterar o valor máximo de corrente, garantindo assim as mesmas perdas em condução e melhorando o rendimento do conversor.

- A frequência de comutação pode ser superior à de um conversor convencional, podendo ser ainda superior à frequência de comutação dos interruptores.
- Com um número infinito de níveis poder-se-ia conseguir uma distorção harmónica nula, mas para conversores de potências idênticas um conversor de três níveis já apresenta um conteúdo harmónico menor à de um conversor convencional. Como consequência existe uma redução de custo e peso em filtros para eliminação de harmónicos.
- A tensão de saída, por ser sintetizada por níveis, diminui os transitórios de tensão, reduzindo os problemas de interferências electromagnéticas (EMI).
- A resposta dinâmica é mais rápida por ter filtro de menor tamanho e mais níveis de tensão à saída.

Entre as desvantagens encontram-se:

- Um maior número de interruptores, o que aumenta o custo da estrutura, e um controlo mais complexo, proporcional ao número de níveis.
- O lado contínuo do conversor tem diferentes níveis de tensão que podem ser obtidos por várias fontes contínuas ou por condensadores. No caso de condensadores simplifica-se bastante o circuito e o custo, mas para o bom funcionamento do conversor estes condensadores tem de garantir um nível de tensão constante para qualquer condição de trabalho, sendo o controlador do conversor totalmente responsável por esta função.

As desvantagens apresentadas pelo conversor multinível têm sido cada vez mais atenuadas ao longo do tempo devido à evolução dos semicondutores como os IGBTs, que ao longo dos anos têm aumentado a sua potência e frequência de comutação, a preços acessíveis. Na área de controlo também têm surgido novos processadores de sinal (DSP - *Digital Signal Processor*) mais rápidos e com grande capacidade de cálculo, facilitando a aplicação do controlo do conversor multinível.

2.2 - Topologias dos conversores multinível

Na Figura 2.1 está apresentada a forma generalizada de um braço para conversores de vários níveis, onde se pode ver que o lado contínuo é constituído por uma série de condensadores e o braço do conversor por uma série de interruptores que colocam na saída os vários níveis de tensão de entrada, formando um sinal em escada. Para obter tensões elevadas na saída os interruptores têm de estar num estado que permita a soma das tensões dos condensadores.

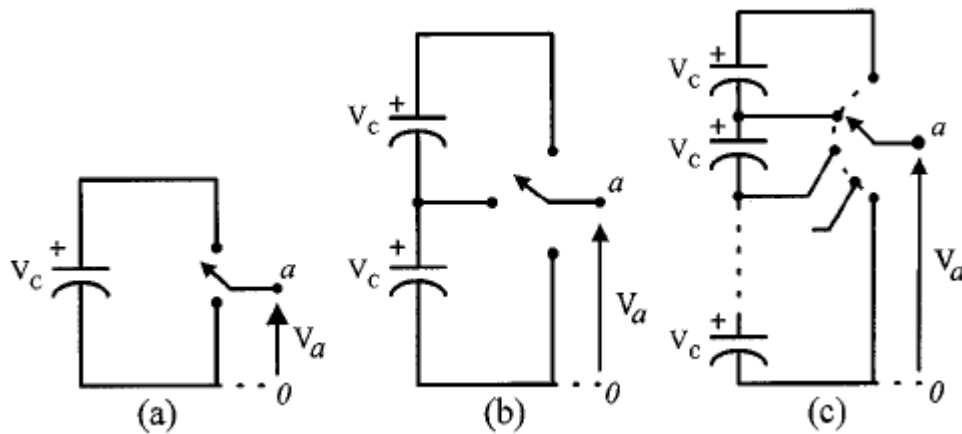


Figura 2.1. Braço de um conversor com (a)dois níveis (b)três níveis e (c) n níveis

O conversor de dois níveis apenas pode ter dois valores de tensão na saída enquanto o de três níveis podem ter três, e o de n níveis terá n valores de tensão na saída. Num conversor trifásico com n níveis por ramo a tensão entre fases terá k níveis, dados por:

$$k = 2n - 1. \quad (2.1)$$

Os p níveis de tensão de fase existentes num conversor são calculados pela seguinte equação:

$$p = 2k - 1. \quad (2.2)$$

Desta forma para um conversor de três níveis ter-se-á 5 níveis de tensão entre fases e 9 níveis de tensão de fase [5].

Actualmente existem várias topologias de conversores multinível mas o estudo deste tema centrou-se sobre as três principais topologias, devido a serem as mais estudadas e desenvolvidas e com mais aplicações. Essas topologias são:

- Conversor com díodos fixos ao ponto neutro (NPC – *Neutral Point Clamped* ou *Diode Clamped Converter*)
- Conversor de condensadores flutuantes (*Flying Capacitor Converter*)
- Conversor convencional em cascata (*Cascated Full Bridge Converter*)

Existem ainda outras topologias que estão a emergir:

- Conversor *Multi Point Clamped* (MPC)
- Conversor assimétrico híbrido
- Conversor *Diode/Capacitor-Clamped*

2.2.1 - Conversor com díodos fixos ao ponto neutro

A topologia NPC foi introduzida em 1981 por *Nabae*, como já foi referido. A estrutura apresentada por *Nabae* esta representada na Figura 2.2, onde se pode ver um conversor de 3 níveis (Fig. 2.2a) e um braço de um conversor de 5 níveis (Fig. 2.2b). Por associação facilmente representa-se o esquema genérico para n níveis.

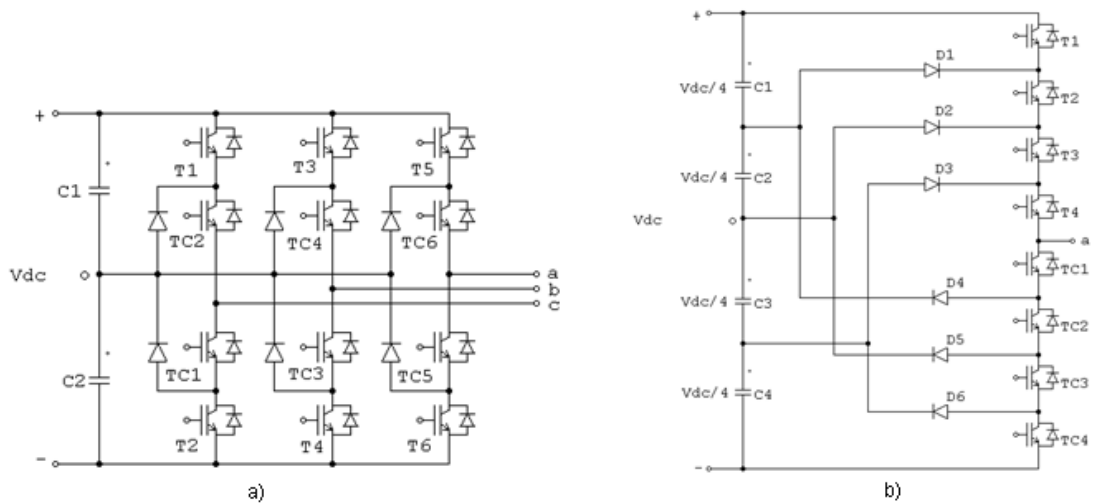


Figura 2.2. a) Conversor NPC de 3 níveis e b) Braço de um conversor NPC de 5 níveis

Nesta topologia a tensão do barramento DC divide-se em vários níveis de tensão através de condensadores, podendo ser dispensado o uso de fontes DC extras em relação ao conversor convencional. O ponto médio “o” entre os condensadores corresponde ao ponto neutro do barramento DC (*Neutral Point*). A tensão de saída para cada fase (V_{ao} , V_{bo} e V_{co}) tem três níveis: $V_{dc}/2$, 0, $-V_{dc}/2$. Estes três níveis são obtidos por um conjunto de estados dos interruptores representados na Tabela 2.1, que na sequência certa formam a onda da tensão de saída ilustrada na Figura 2.3.

Tabela 2.1. Sequência de comutação para obter os três níveis de tensão de saída

Interruptores ligados	V_{co}
T1-TC2	$V_{dc}/2$
TC2-TC1	0
T2-TC1	$-V_{dc}/2$

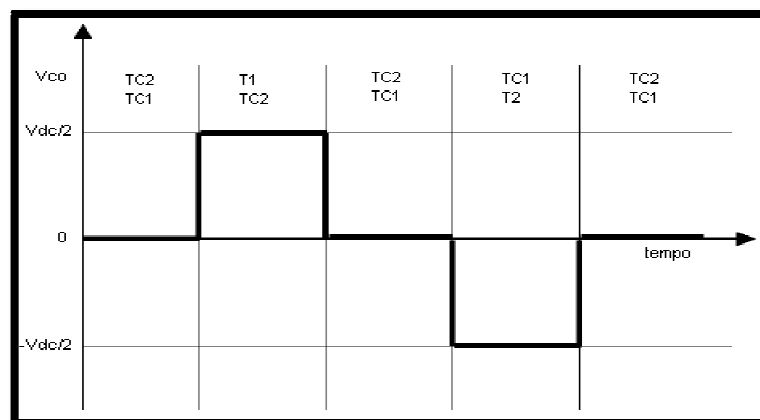


Figura 2.3. Tensão de saída V_{co} para um conversor de 3 níveis

De forma semelhante os estados dos interruptores aplicam-se às outras tensões por fase. Em cada braço encontram-se dois pares de interruptores complementares sendo neste caso TC1 e TC2 complementares de T1 e T2, respectivamente. Os díodos ligados ao ponto neutro diferenciam esta estrutura da de um conversor convencional, pois estes permitem fixar os diferentes níveis de tensão criados pelos condensadores do lado DC, na saída do conversor.

Na Figura 2.2b está apenas representado um dos ramos do conversor de 5 níveis. Este conversor divide a tensão de entrada pelos condensadores C1, C2, C3 e C4 formando 5 tensões diferentes ($V_{dc}/2$, $V_{dc}/4$, 0, $-V_{dc}/4$ e $-V_{dc}/2$). Sendo estes valores de tensão representados na saída. Na tabela 2.2 está a combinação de estado dos interruptores para obter as tensões desejadas na saída e como se pode ver na Figura 2.4, a tensão de saída V_{ao} terá um aspecto cada vez mais aproximado de uma onda sinusoidal com o aumento do número de níveis.

Tabela 2.2. Sequência de comutação para obter os cinco níveis de tensão de saída

Interruptores Ligados	Vao
T1-T2-T3-T4	$V_{dc}/2$
T2-T3-T4-TC1	$V_{dc}/4$
T3-T4-TC1-TC2	0
T4-TC1-TC2-TC3	$-V_{dc}/4$
TC1-TC2-TC3-TC4	$-V_{dc}/2$

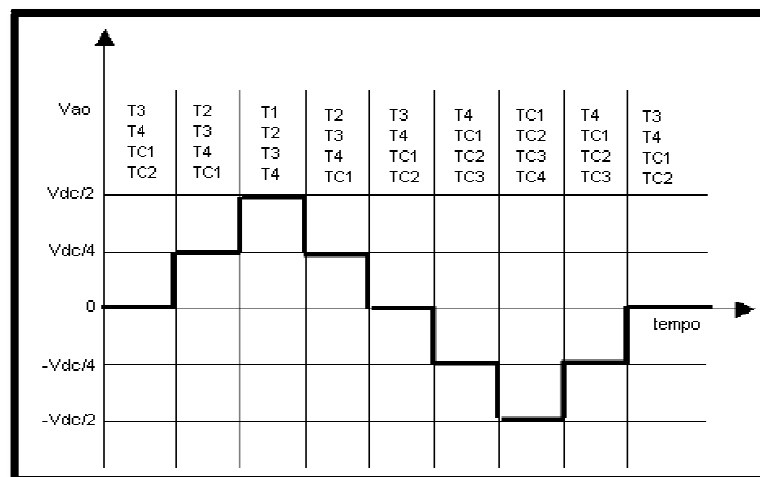


Figura 2.4. Tensão de saída V_{ao} para um conversor de 5 níveis

Nos conversores de mais de três níveis é importante ter em atenção a queda de tensão nos díodos. Pode-se ver pela Figura 2.4 que quando os interruptores T1-T2-T3-T4 são accionados a tensão a ser suportada pelo díodo D3 é de $3V_{dc}/4$. Uma tensão superior à suportada por qualquer um dos interruptores. De forma a solucionar esta questão podem ser colocados díodos em série dividindo a tensão a ser suportada por estes. Esta solução leva ainda a um aumento

significativo dos semicondutores a utilizar na montagem. Uma situação semelhante acontece ao díodo D4 quando os interruptores TC1-TC2-TC3-TC4 estão ligados.

Estudado o princípio de operação dos conversores NPC, as vantagens resultantes desta topologia são:

- A tensão que um interruptor tem de bloquear é de $V_{dc}/(n-1)$ para o caso de n níveis.
- O número de condensadores necessários para esta topologia é inferior a outras topologias multinível, o que se torna atractivo a nível de custos.
- Pode em muitos casos não necessitar de transformador.
- A mudança de um nível de tensão à saída é feita com apenas o accionamento de um interruptor, diminuindo perdas e interferências.

Como desvantagens são apresentadas as seguintes razões:

- Os díodos de fixação (*clamped diodes*) têm de ser de recuperação rápida e suportar a corrente nominal do conversor, sendo estes factores bastante importantes para o correcto funcionamento do conversor.
- Em topologias com mais de três níveis, os díodos de fixação não bloqueiam os mesmos níveis de tensão, sendo isso dependente da posição do díodo no conversor como referido anteriormente. Esta dificuldade pode ser ultrapassada com a associação de díodos em serie, o que leva a ter $(n-1)*(n-2)$ díodos por n níveis, aumentando bastante o numero de díodos por nível, complicando o projecto, elevando os custos e diminuindo a fiabilidade do conversor.
- As tensões nos terminais dos condensadores têm de se manter estáveis e equilibradas independentemente do ponto de funcionamento, o que implica um esforço adicional ao controlo do conversor, aumentando a complexidade do algoritmo de controlo. Um maior número de níveis implicará o aumento da complexidade do controlo.

Analisando as vantagens e desvantagens desta topologia repara-se que apresenta todas as vantagens de uma estrutura multinível e que as desvantagens apresentadas apenas se tornam significativas para níveis superiores a três. Assim a topologia de três níveis apresenta-se como uma boa base de estudo das características de um conversor multinível.

2.2.2 - Conversor de Condensadores Flutuantes

A topologia de condensadores flutuantes foi apresentada e desenvolvida ao longo da década de 90, tendo inicio no trabalho apresentado por *Meynard* e *Foch* em 1992 [6]. Na Figura 2.5a está representado um conversor de condensadores flutuantes de três níveis, onde os díodos da topologia NPC foram substituídos por condensadores, com a função semelhante de fixar a tensão de bloqueio dos interruptores na tensão de um condensador.

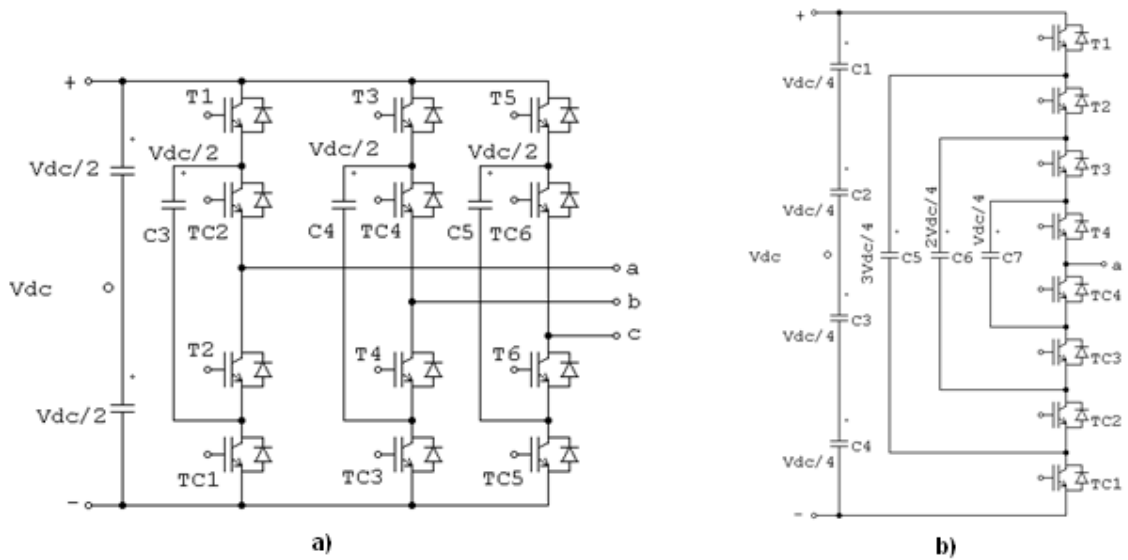


Figura 2.5. a) Conversor de condensadores flutuantes (3 níveis) b) Ramo do conversor de condensadores flutuantes (5 níveis)

À semelhança do conversor NPC de três níveis as tensões de saída V_{ao} , V_{bo} e V_{co} podem tomar os seguintes valores: $V_{dc}/2$, 0 , $-V_{dc}/2$. Estes valores são obtidos por diferentes estados dos interruptores como ilustrado na Tabela 2.3, sendo T1-TC1 e T2-TC2 pares complementares. Apesar da forma de onda de saída ser semelhante à topologia NPC a estratégia de comutação é diferente visto ter-se mais uma opção para obter tensão nula, na Figura 2.6 está representada uma hipótese de uma estratégia de comutação.

Tabela 2.3- Sequência de comutação para obter a os três níveis de tensão de saída num conversor de condensadores flutuantes

Interruptores ligados	V_{ao}
T1-TC2	$V_{dc}/2$
T1-T2 ou TC1-TC2	0
TC1-TC2	$-V_{dc}/2$

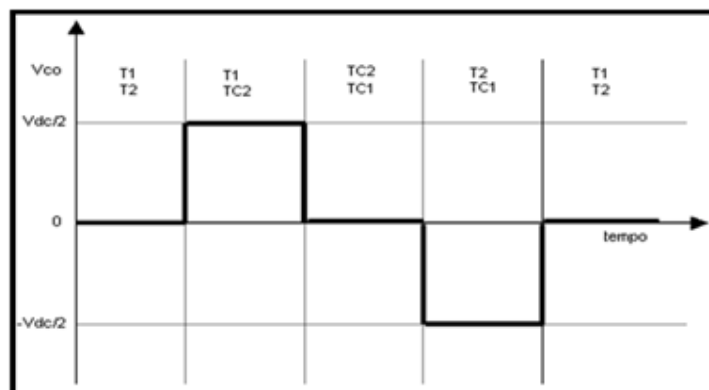


Figura 2.6. Tensão de saída V_{ao} para um conversor de condensadores flutuantes (3 níveis)

É importante referir que no caso do conversor estar a funcionar como um inversor e a fase estar a fornecer corrente à carga, o condensador C3 é carregado quando T1 e T2 estão ligados e o condensador é descarregado quando TC1 e TC2 estão ligados, o contrário acontece se a carga fornecer corrente ao conversor. Este é um aspecto importante a ter em conta visto que para o bom funcionamento do conversor os condensadores devem ter sempre uma tensão constante e apenas com uma escolha correcta da comutação dos interruptores se consegue uma tensão estável aos terminais dos condensadores.

Como seria de esperar o aumento de níveis no conversor de condensadores flutuantes aumentará o número de condensadores utilizados. Na Figura 2.5b tem-se um ramo do conversor de 5 níveis onde os condensadores C1, C2, C3, C4 e C7 estão a uma tensão de $V_{dc}/4$, C5 a uma tensão de $3 \cdot V_{dc}/4$ e C6 a $V_{dc}/2$. No caso dos condensadores C5 e C6 estes podem ser substituídos por uma associação em série três e dois condensadores, respectivamente, de valor nominal $V_{dc}/4$ de forma a ter os condensadores todos iguais. Este aumento do número de condensadores implicará um custo e dificuldade de controlo muito maior, sendo a complexidade e o número de estados dos interruptores superior à topologia NPC, como ilustrado na Tabela 2.4.

Tabela 2.4. Sequência de comutação para obter a os cinco níveis de tensão de saída num conversor de condensadores flutuantes

Interruptores ligados	Vao
T1-T2-T3-T4	$V_{dc}/2$
T1-T2-T3-TC4 ou T2-T3-T4-TC1 ou T1-T3-T4-TC2	$V_{dc}/4$
T1-T2-TC4-TC3 ou T3-T4-TC2-TC1 ou T1-T3-TC4-TC2 ou T1-T4-TC3-TC2 ou T2-T4-TC3-TC1 ou T2-T3-TC4-TC1	0
T1-TC4-TC3-TC2 ou T4-TC3-TC2-TC1 ou T3-TC4-TC2-TC1	$-V_{dc}/4$
TC1-TC2-TC3-TC4	$-V_{dc}/2$

Estudado o princípio de operação dos conversores de condensadores flutuantes, as vantagens resultantes desta topologia são:

- A tensão que um interruptor tem de bloquear é de $V_{dc}/(n-1)$ para o caso de n níveis.
- Não existem problemas associados a díodos de fixação como a corrente de recuperação inversa.

- Pode funcionar como um conversor CC/CC sem ter o problema de a tensão aos terminais dos condensadores não se manter constante devido a ter várias combinações dos estados dos interruptores para um só nível de tensão.
- A estratégia para garantir uma tensão constante aos terminais dos condensadores pode ser pensada de forma independente para cada ramo ao contrário da topologia NPC onde tem de ser pensada para todo o sistema trifásico.

Como desvantagens são apresentadas as seguintes razões:

- O número de condensadores utilizados nesta topologia é uma séria desvantagem visto aumentar o tamanho, custo e complexidade do controlo e com o aumento de níveis este problema passa a ser mais difícil de contornar.
- O processo para carregar os condensadores flutuantes tem de ser uma estratégia a ter em consideração antes do funcionamento do conversor.
- Existe o perigo de haver ressonância devido às capacidades existentes no sistema.
- A variação brusca da tensão do lado DC leva a que a tensão dos condensadores recupere mais lentamente, causando tensões de fixação dos transístores superiores ao esperado. Este é um problema que limita bastante a aplicação da topologia de condensadores flutuantes em aplicações como eólicas e fotovoltaicas onde as variações de carga são constantes.

2.2.3 - Conversor convencional em cascata

O conceito da topologia do conversor convencional em cascata é anterior às duas topologias atrás apresentadas. Esta topologia data de 1975, como referenciado no artigo [5], onde pela primeira vez foi utilizado um formato onde se ligavam conversores convencionais em serie para formar na saída uma onda de tensão com vários níveis. Na Figura 2.7a está representado um conversor trifásico de três níveis em cascata, onde cada ponte pode gerar três tensões de saída: V_{dc} , 0 e $-V_{dc}$. Na Tabela 2.5 estão representados os estados dos interruptores para produzirem os três níveis de tensão.

Tabela 2.5. Sequência de comutação para obter a os três níveis de tensão de saída num conversor de convencional em cascata

Interruptores Ligados	Van
T1-TC2	V_{dc}
T1-T2 ou TC1-TC2	0
TC1-T2	$-V_{dc}$

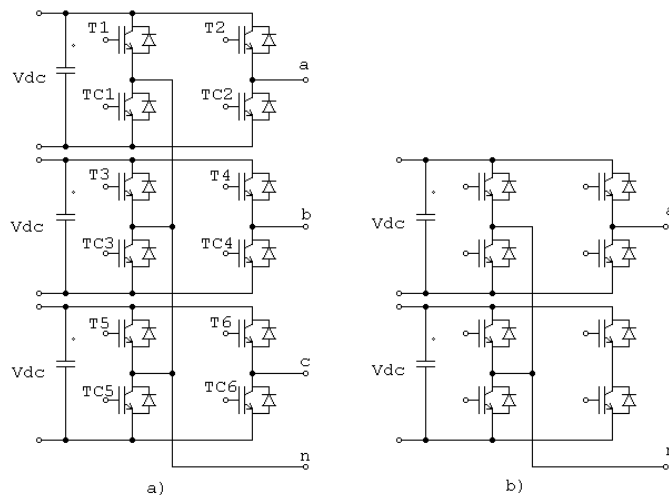


Figura 2.7. a) Conversor convencional em cascata (3 níveis) b) Ramo do conversor convencional em cascata (5 níveis)

As tensões contínuas de entrada têm de estar isoladas entre si, normalmente por transformadores de isolamento. Em alguns casos estas fontes podem ser substituídas por baterias, pilhas de combustível ou painéis fotovoltaicos.

Na Figura 2.7b está ilustrado um ramo de um conversor com 5 níveis que apresenta sua saída (V_{an}) as seguintes tensões: $2V_{dc}$, V_{dc} , 0 , $-V_{dc}$ e $-2V_{dc}$.

Estudado o princípio de operação dos conversores convencionais em cascata, as vantagens resultantes desta topologia são:

- Uma construção modular porque basta associar várias pontes em série. Desta forma os custos, manutenção e a complexidade de construção são menores. O número de níveis pode também ser aumentado facilmente sem ser necessário acrescentar novos componentes.
- Não necessita nem de díodos de fixação nem de condensadores flutuantes, evitando problemas associados a estes componentes.
- Número de componentes utilizado é menor em relação a outras estruturas multinível com o mesmo número de níveis.
- Na maioria dos casos o controlo é simplificado por não haver problemas em manter um nível constante de tensão no condensador.

Como desvantagens são apresentadas as seguintes razões:

- Cada ponte do conversor necessita de uma fonte isolada, através de utilização de transformadores com vários secundários ou transformadores isolados entre si, o que levará ao aumento do tamanho e dos custos de construção.
- A ligação de fontes isoladas entre conversores em montagens do tipo CA/CC/CA bidireccionais não é possível pois produzem um curto-circuito, apenas evitando este fenómeno se comutarem sincronamente.

2.2.4 - Outras topologias

Apesar de existir três tipos de topologias dominantes na área dos conversores multinível existem outras topologias que estão a emergir. Essas topologias consistem em pequenas variações das topologias principais.

2.2.4.1 Conversor Multi Point Clamped

Esta topologia pode ser encontrada em [7] aplicada a uma UPS. Este conversor é em tudo semelhante à topologia NPC para três níveis mas começa-se a diferenciar para níveis superiores como mostra a Figura 2.8. Na figura pode-se ver que a tensão é fixada por um par de interruptores em vez de díodos, o que a diferencia da topologia NPC. Devido a ter interruptores a fixar a tensão o seu controlo é mais complexo que outros conversores multinível.

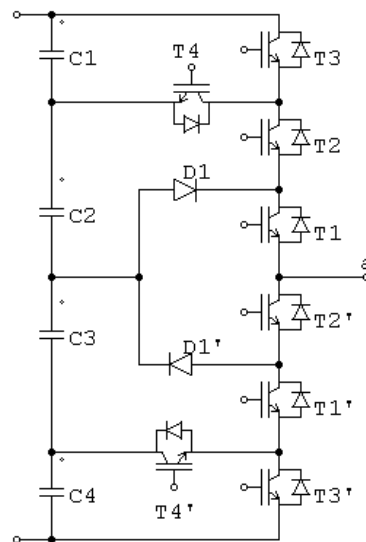


Figura 2.8. Ramo de um conversor Multi Point Clamped de 5 níveis

2.2.4.2 Conversor Assimétrico Híbrido

Nos conversores convencionais em cascata as fontes isoladas têm todas tensões idênticas. Uma maneira de aumentar a tensão sem adicionar componentes é ter um conjunto de fontes assimétricas, isto é, com níveis de tensão diferentes [8]. No caso do conversor da Figura 2.7b, se as fontes tivessem os níveis de tensão $2V_{dc}$ e V_{dc} a tensão de saída passaria a ter 7 níveis: $3V_{dc}$, $2V_{dc}$, V_{dc} , 0 , $-V_{dc}$, $-2V_{dc}$ e $-3V_{dc}$. Esta mudança implicaria diferentes interruptores para cada ponte prontos a bloquear diferentes níveis de tensão.

2.2.4.3 Conversor Diode/Capacitor-Clamped

O conversor *Diode/Capacitor-Clamped* é abordado em [9], e a sua topologia está ilustrada na Figura 2.9, onde se pode ver um condensador flutuante colocado entre dois díodos de fixação. Este condensador tem o objectivo de reduzir os picos de tensão que ocorrem nos interruptores devido a indutâncias parasitas e de manter o ponto médio a uma tensão constante.

Apesar dos benefícios de ter este condensador flutuante numa estrutura NPC, estes não chegam para justificar a sua utilização.

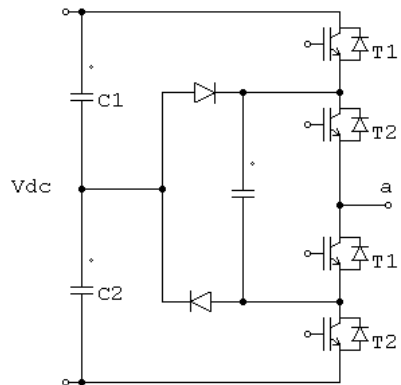


Figura 2.9. Ramo de um conversor *Diode/Capacitor-Clamped* (3 níveis)

2.3 - Modulação multinível

A modulação multinível engloba diversas estratégias de comutação que são bastantes semelhantes às utilizadas para conversores de dois níveis. O facto de ter mais níveis obriga a que existam variações nas estratégias de comutação. No caso do PWM baseado em portadora apenas é necessária uma portadora para gerar os sinais de controlo de um conversor de dois níveis, enquanto para um conversor de três níveis são necessárias duas portadoras, e para um conversor de 5 níveis é preciso 4 portadoras, e assim sucessivamente.

O objectivo da modulação em conversores CC/CA passa obviamente por determinar a amplitude e a frequência da saída, mas passa também por eliminar o conteúdo harmónico da tensão de saída e manter a tensão aos terminais dos condensadores da estrutura constante, se a topologia necessitar. Certos objectivos só podem ser conseguidos devido à presença de estados redundantes, isto é, um nível de tensão de saída pode ser obtido através de mais do que uma combinação de interruptores, desta forma pode ser melhorada a sequência de disparo dos interruptores e equilibrada a tensão dos condensadores.

As estratégias de comutação podem agrupar-se de algumas formas, mas a forma mais comum e simples de se agrupar é pela frequência de comutação. Assim na Figura 2.10 é apresentado um digrama das estratégias de comutação existentes para conversores multinível, referenciadas em [10].

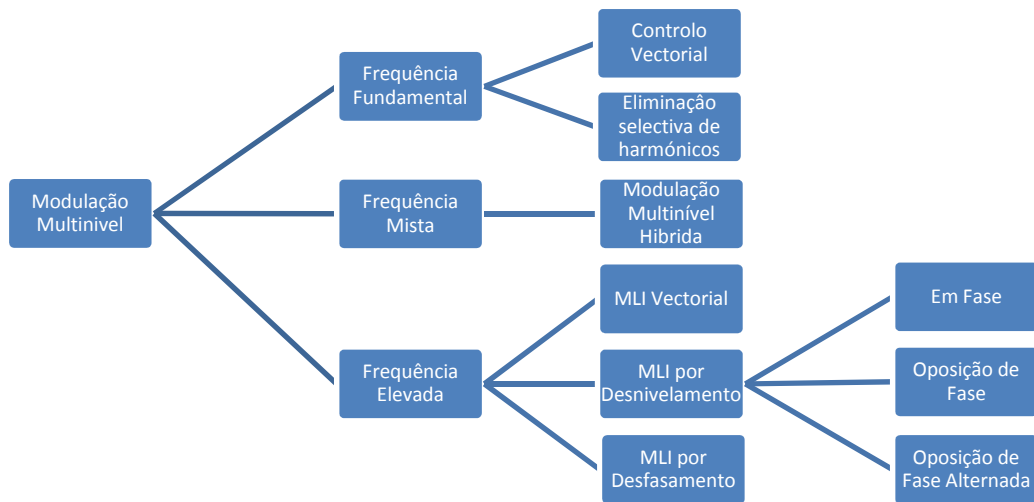


Figura 2.10. Digrama das estratégias de comutação existentes para multinível

Estas estratégias vão de seguida ser explicadas de forma a poder-se compreender as diferenças entre elas e de que forma se mostram vantajosas.

2.3.1 - Controlo Vectorial

A modulação por controlo vectorial à frequência fundamental consiste na escolha do melhor vector de estado em relação ao vector de referência. Na Figura 2.11a estão representados os estados possíveis de um conversor de três níveis, onde os vértices dos triângulos correspondem aos estados e os hexágonos delimitam as zonas mais próximas desses mesmos estados. Cada vez que é realizada uma comutação o algoritmo verifica em que zona se encontra o vector de referência e escolhe o vector de estado correspondente a essa zona. Pelo facto de a comutação ser baixa a tensão à saída será em forma de escada como representado na Figura 2.11b.

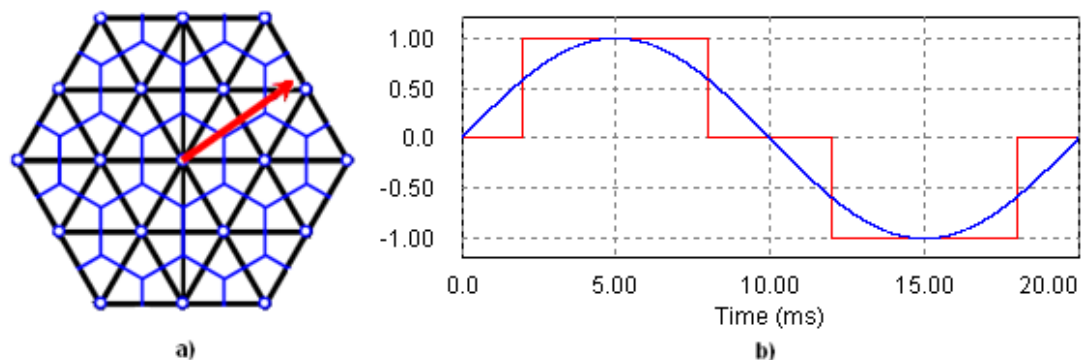


Figura 2.11. a) Plano complexo dos estados de um conversor de 3 níveis b) Forma de onda da saída com modulação vectorial para um conversor de 3 níveis

Os resultados desta modulação mostram-se benéficos para conversores de muitos níveis, visto que quantos mais níveis tiverem mais o sinal à saída se aproxima da onda desejada. Mas ter um conversor com muitos níveis implica um controlo muito mais complexo para calcular o vector certo no instante de comutação. Este método apresenta as vantagens de ter uma implementação simples e uma baixa frequência de comutação, ideal para semicondutores como

os GTOs. Em contrapartida apresenta um espectro harmónico mau, uma dinâmica lenta devido à baixa frequência de comutação, e a necessidade de uma tensão de entrada variável para controlar a amplitude. A utilização desta modulação torna-se assim bastante desfavorável para conversores de dois e três níveis, tendo sido encontradas referências a este método em [11, 12].

2.3.2 - Eliminação selectiva de harmónicos

Esta técnica, como o nome indica, baseia-se no cancelamento de harmónicos através da escolha do ângulo de disparo dos interruptores. A série de Fourier, descrita na equação 2.3, dá a amplitude dos harmónicos ímpares m que se quer eliminar.

$$h_m = \frac{4}{m\pi} \sum_{k=1}^n [V_k \cos(m\alpha_k)] \quad (2.3)$$

Na equação, V_k é o nível k da tensão DC e α_k é o ângulo de disparo. Na Figura 2.12 tem-se um exemplo de uma onda com eliminação selectiva de harmónicos num conversor de 7 níveis. Como se pode ver um conversor de 7 níveis apenas permite a escolha de três ângulos de disparo resultando daí a eliminação de dois harmónicos e o controlo da amplitude da frequência fundamental. De uma forma geral pode-se dizer que para um número n de ângulos de disparo tem-se $n-1$ harmónicos a serem eliminados, tendo em conta que: $\alpha_1 < \alpha_2 < \dots < \alpha_n < \frac{\pi}{2}$. É normal optar-se por cancelar apenas os harmónicos de baixa frequência e deixar o cancelamento dos harmónicos de alta frequência para filtro passivos.

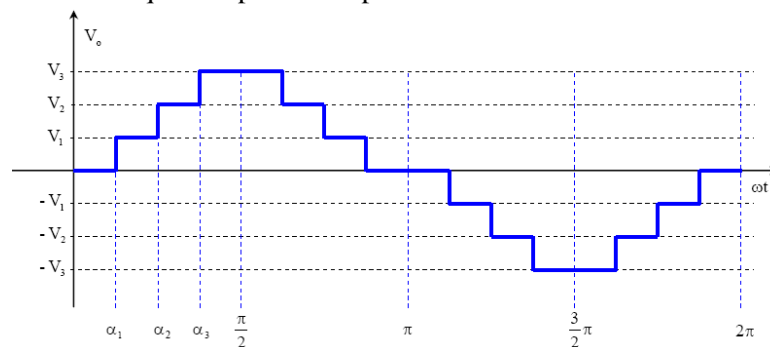


Figura 2.12. Forma de onda resultante da eliminação selectiva de harmónicos para um conversor de 7 níveis

Teoricamente este método tem melhores condições para gerar tensões de melhor qualidade que outro método de baixa frequência [13]. Mas devido ao controlo ter de resolver sistemas de equações complexas para o cálculo dos harmónicos e ainda fazer uma selecção dos tempos de disparo dentro de uma gama limitada de 0 a $\pi/2$, leva a que a sua implementação seja pouco encontrada na literatura. Em [13] são obtidos resultados da utilização deste método partindo de uma eliminação selectiva com desfasamento da fase e obtendo os resultados finais através de uma optimização desenvolvida em [14].

É ainda de notar que esta técnica encontra-se englobada nas comutações de baixa frequência mas que pode-se tornar de alta frequência com o aumento do número de níveis do conversor e consequente aumento de número de disparos.

2.3.3 - Modulação multinível híbrida

A modulação híbrida é uma estratégia de comutação que está referida em [15, 16], onde é aplicada a um conversor multinível híbrido composto por uma ponte em H de IGBTs e outra de GTOs, como mostra a Figura 2.13a. Como é de prever as duas pontes vão ter de comutar a frequências diferentes formando uma modulação híbrida. Desta forma ter-se-á um patamar de alta tensão formado pelos GTOs que é modelado à frequência fundamental como é ilustrado na Figura 2.13b. Na Figura 2.13c tem-se a modulação do patamar de baixa tensão que surge da subtracção da saída do patamar de alta tensão com a onda de referência. Quando as duas formas de ondas se juntam formam a onda da Figura 2.13d, com 7 níveis de tensão.

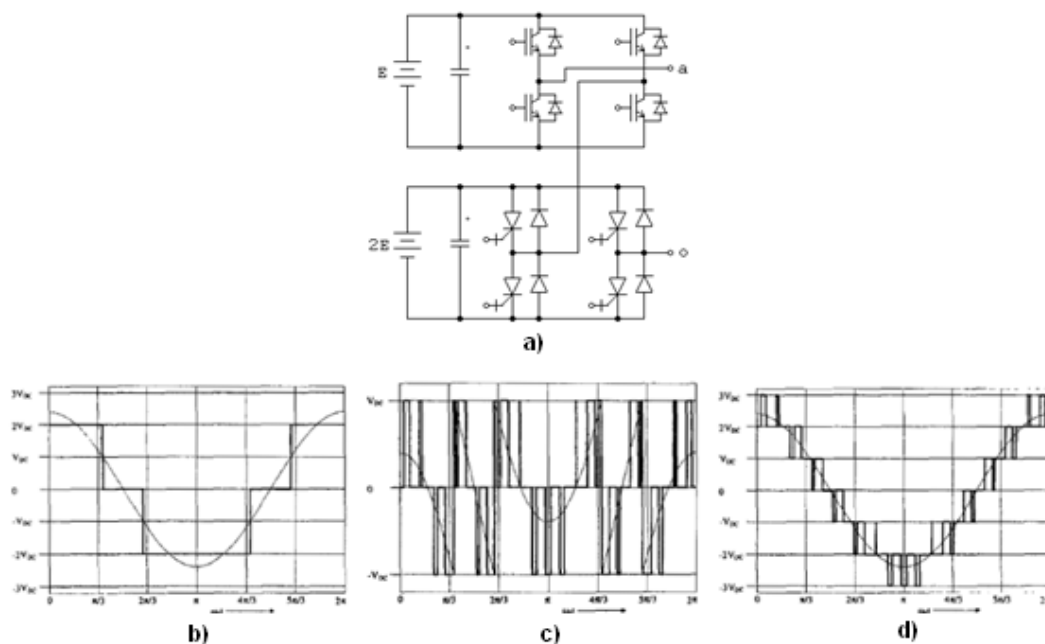


Figura 2.13. a) Ramo do um conversor híbrido b) Onda de referência e tensão de saída para o patamar de alta tensão e baixa frequência c) Onda de referência e tensão de saída para o patamar de baixa tensão e frequência elevada d) Conjunto das ondas de referência e das tensões de saída

Desta forma esta técnica de modulação permite explorar estruturas de potência com diferentes tipos de semicondutores e com um conteúdo harmónico reduzido.

2.3.4 - Modulação por largura de impulsos (MLI)

A modulação por largura de impulsos (MLI) aplicada aos conversores multinível tem o mesmo princípio da MLI aplicada aos conversores convencionais e tem a vantagem de ser uma das técnicas mais aplicadas ao controlo de conversores. O princípio consiste em comparar uma onda triangular (portadora) de alta frequência com a onda que se deseja à saída (moduladora). Em alguns casos é utilizada uma onda em dente de serra como portadora devido a ser mais simples de implementar mas com a desvantagem de gerar mais conteúdo harmónico na onda de saída. A onda moduladora, no caso de conversores CC/CA, é formada por uma onda sinusoidal.

Como esta é uma técnica bastante flexível e fácil de implementar permite que existam diversas variações como ilustrado no diagrama da Figura 2.10.

2.3.4.1 MLI por desfasamento

No caso da MLI por desfasamento (*Phase Shifted PWM – PSPWM*) são utilizadas, para conversores de n níveis, $n-1$ portadoras, com frequência e amplitudes iguais, mas como o nome indica têm de estar desfasadas entre si [17]. O desfasamento escolhido para a menor distorção harmónica é dada por $\Delta = T_s / (n - 1)$, com Δ a ser o atraso necessário para a escolha do desfasamento e T_s o período comutação. Na Figura 2.14a pode-se ver as portadoras e a moduladora que geram os sinais das Figura 2.14b-e, donde a sua soma resulta na onda de saída da Figura 2.14f. Como pode ser visto esta onda é referente a um conversor de 5 níveis e comuta a uma frequência $(n-1)$ vezes superior à frequência da portadora.

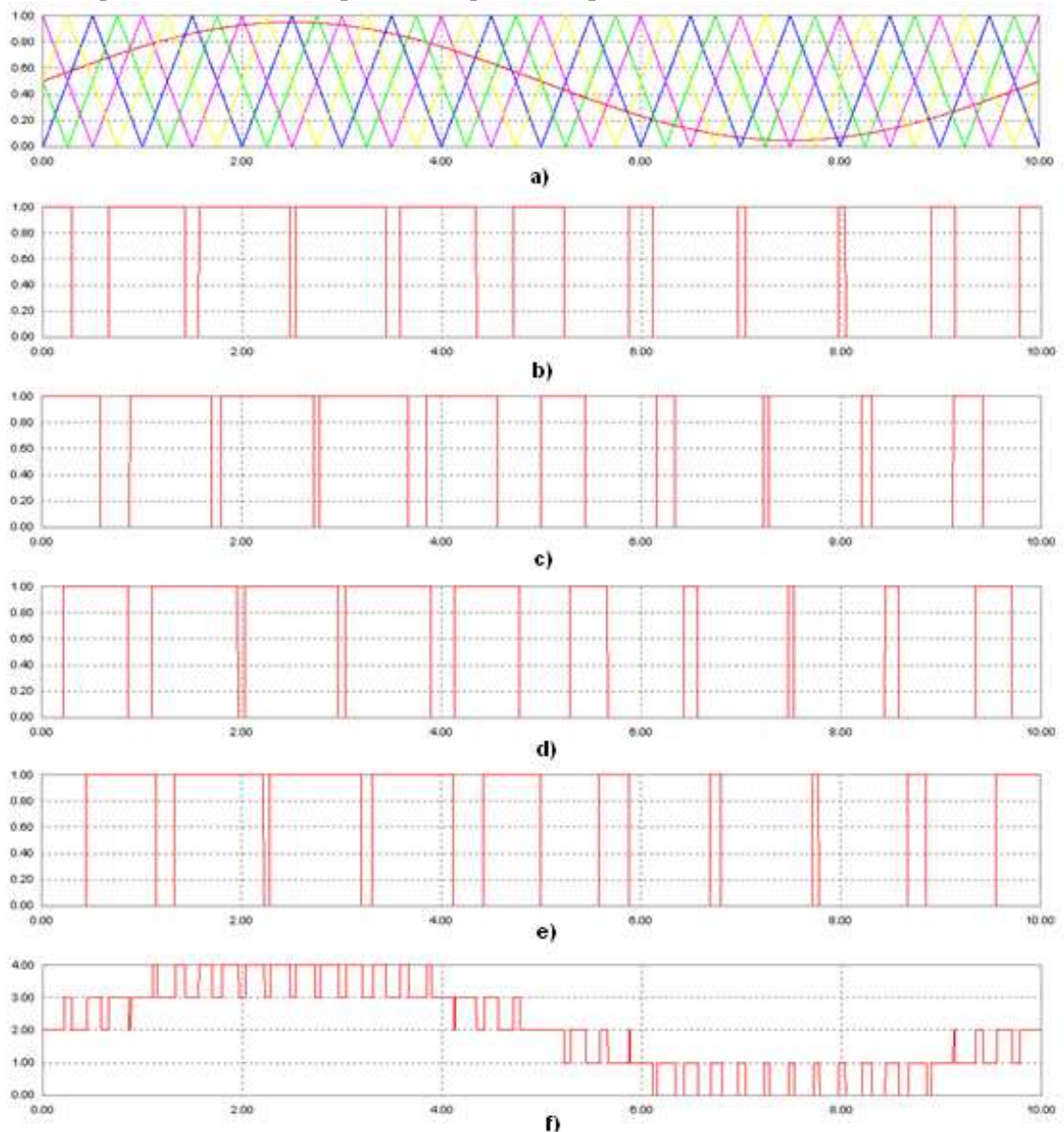


Figura 2.14. MLI por desfasamento num conversor de 5 níveis a) Onda de referência e portadoras b)-e) Resultado das comparações f) Onda de saída resultante da soma das 4 ondas anteriores

Esta modulação apresenta uma vantagem adicional quando aplicada a conversores convencionais em cascata, porque os sinais saídos da comparação entre a moduladora e as portadoras podem ser directamente aplicados aos interruptores deste tipo de conversor, enquanto para as outras topologias é necessário algum tipo de condicionamento de sinal.

2.3.4.2 MLI por desnivelamento

Em [18] são analisadas as três variantes deste tipo de modulação: em fase, em oposição de fase e em oposição de fase alternada. A modulação por desnivelamento implica que as portadoras estejam a frequências e amplitudes iguais, tal como no caso anterior, mas as portadoras encontram-se a diferentes níveis de tensão, como ilustrado nas Figura 2.15a-c, para um conversor de 5 níveis.

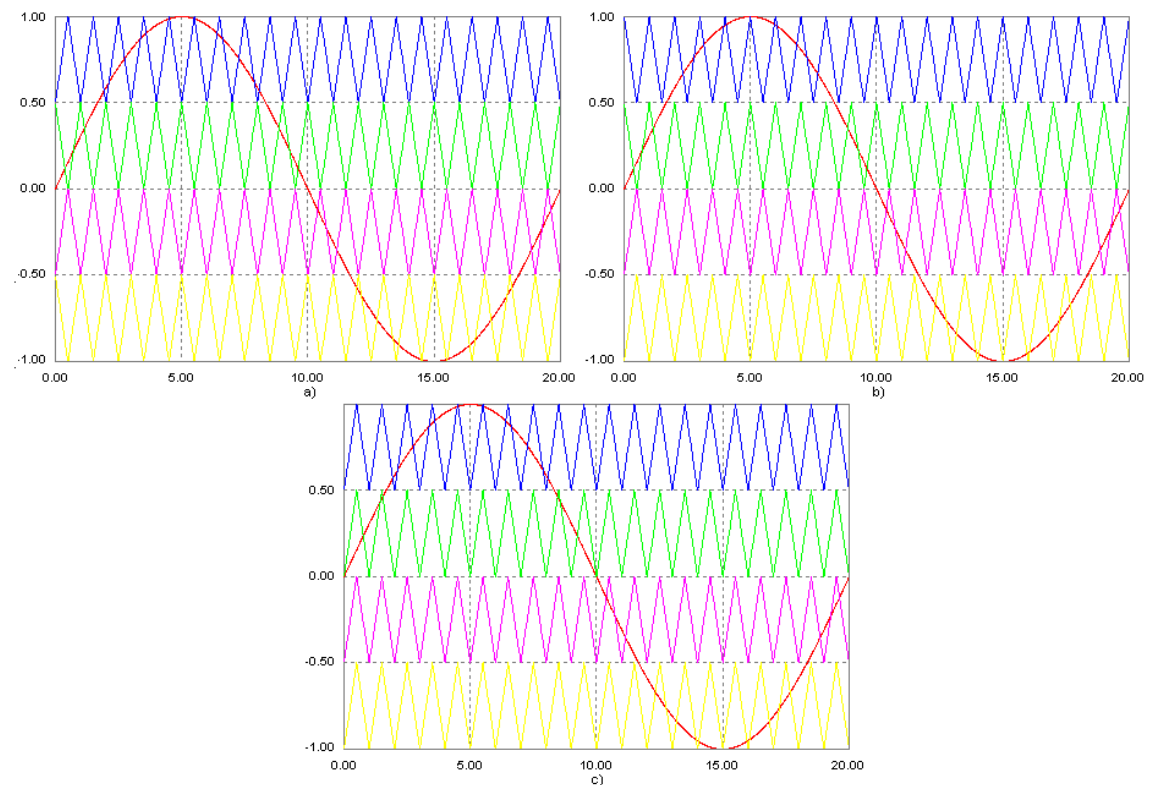


Figura 2.15. MLI por desnivelamento num conversor de 5 níveis a)portadoras em oposição de fase b)portadoras em oposição de fase alternada c)portadoras em fase.

É importante ainda referir que para o caso do conversor de três níveis as estratégias de portadoras em oposição de fase e em oposição de fase alternada são iguais, não existindo diferença nas portadoras. A modulação com portadoras em fase é referenciado em [16] como sendo a estratégia que melhores resultados obtém de conteúdo harmónico da tensão fase-a-fase.

2.3.5 - MLI Vectorial

A modulação por largura de impulsos (MLI Vectorial ou SVPWM - *Space Vector PWM*) consiste na representação de todos os estados possíveis da saída em vetores no plano d-q e na escolha de qual desses vetores deve representar a saída, dependendo da posição do vector de referência. Na Figura 2.16b pode-se ver o número de estados possíveis num conversor convencional de dois níveis (Figura 2.16a). Para este conversor existem 8 estados possíveis, representados na Tabela 2.6, tendo em consideração que existem combinações que não podem ser aqui incluídas por curto-circuitarem um ramo [19].

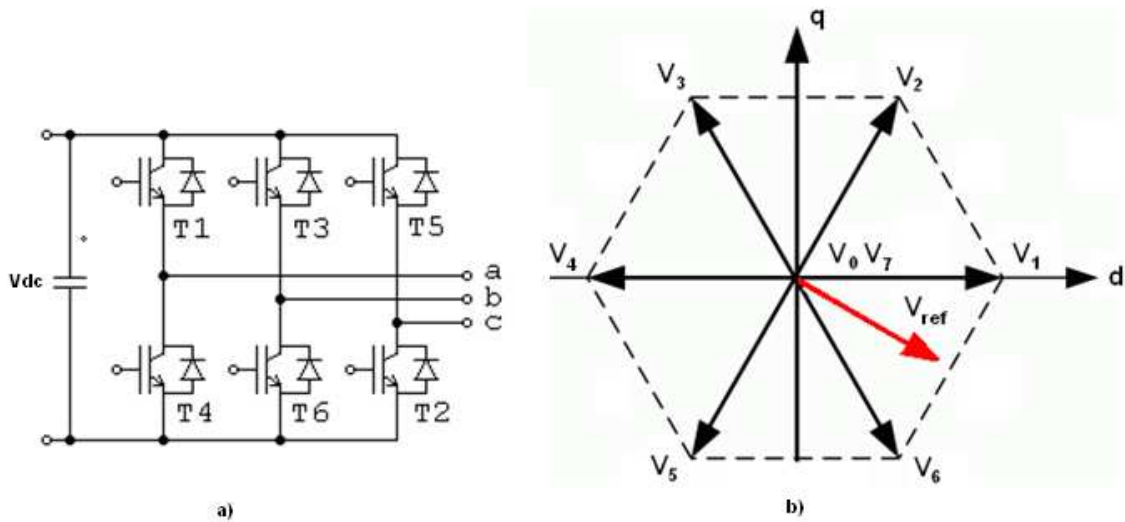


Figura 2.16. a) Conversor convencional de dois níveis b) Diagrama de vetores de estado

Tabela 2.6. Combinação dos estados dos interruptores para um conversor de dois níveis

Estados	Interruptores ligados	Vab	Vbc	Vac
1	T1, T6, T2	Vdc	0	-Vdc
2	T3, T2, T1	0	Vdc	-Vdc
3	T3, T2, T4	-Vdc	Vdc	0
4	T5, T4, T3	-Vdc	0	Vdc
5	T5, T4, T6	0	-Vdc	Vdc
6	T1, T6, T5	Vdc	-Vdc	0
7	T1, T3, T5	0	0	0
8	T4, T6, T2	0	0	0

O algoritmo que escolhe o estado da saída tem de ter em consideração em que local se encontra o vector de referência, que sequência de vectores deve ser utilizada e o tempo que esses vectores devem estar accionados. Estes são aspectos, que vão ser discutidos mais tarde nesta dissertação, sendo essenciais para obter a amplitude, frequência e conteúdo harmónico desejado para a saída.

Aplicando este conceito à conversão multinível obtém-se o digrama de vectores da Figura 2.17 [20]. Nesta figura mostra-se que um conversor de três níveis tem 27 estados possíveis com 8 estados redundantes. Facilmente conclui-se que o cálculo dos estados a serem escolhidos torna-se bastante mais difícil. Em cada vector está representado que nível de tensão tem cada ramo do conversor, por exemplo a sequência 210 corresponde a ter V_{ao} , V_{bo} e V_{co} iguais a $V_{dc}/2$, 0 e $-V_{dc}/2$, respectivamente.

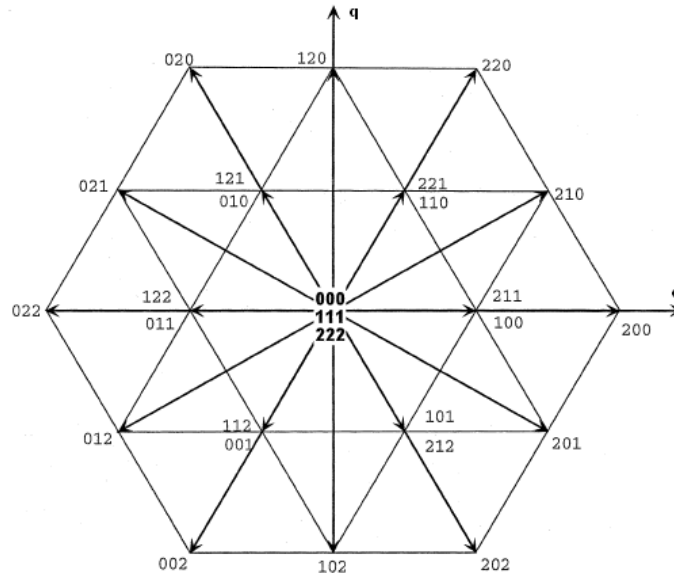


Figura 2.17. Diagrama de vectores de estado para conversores de três níveis

Uma solução em MLI vectorial apresenta características como: amplitude de saída superior à uma modulação PWM sinusoidal, perdas em comutação inferiores, cálculo e aplicação pode ser feito num dispositivo de controlo digital, e a sua complexidade aumenta bastante com o número de níveis.

2.4 - Aplicações

Aqui vão ser apresentadas algumas das aplicações para conversores multinível e explicado o controlo directo do binário de forma a ter uma referência de um controlo em malha fechada. É importante destacar que a área de aplicações dos conversores multinível é muito grande tendo maior incidência sobre a média/alta potência.

Entre as aplicações encontradas tem-se accionamento de motores [21-23], transmissão de energia eléctrica (FACTS – *Flexible AC Transmission System*) [24], ligação de energias renováveis à rede eléctrica [25-28], sistemas de armazenamento de energia como SMES (*Superconducting Magnetic Energy Storage*) [29], compensação estática de energia reactiva [30, 31] e filtros activos [32, 33].

2.4.1 - Controlo directo do binário

O controlo directo do binário ou DTC (*Direct Torque Control*) é uma estratégia que baseia o seu controlo segundo as características da carga, normalmente um motor de indução. O seu funcionamento consiste em controlar o binário e o fluxo no estator através das medidas de corrente e tensão à saída do conversor [34].

O fluxo do estator de um motor de indução através de uma transformação de *Park* é dado por:

$$\frac{d\varphi_s(t)}{dt} = v_s(t) - R_s i_s(t) \quad (2.4)$$

com a tensão no estator v_s e a corrente no estator i_s . Desprezando o efeito da corrente no estator por este ser pequeno em relação á tensão estatórica pode-se dizer que a variação do fluxo é dado por:

$$\Delta\varphi_s(t) = \varphi_s(t) - \varphi_s(t - 1) = \int_{t-\Delta t}^t v_s(t) d\tau = v_s(t)\Delta t \quad (2.5)$$

Desta forma obtém-se uma relação directa entre o fluxo e a tensão no estator, que juntamente com a equação do binário electromagnético permite controlar o motor.

$$T_e = \frac{3p}{2} \frac{M}{(\sigma L_s)^2} \varphi_s \varphi_r \sin \vartheta_{sr} \quad (2.6)$$

Analisando a equação tem-se T_e como o binário electromagnético, p o número de pólos, M a indutância mutua, σL_s a indutância de fugas, φ_s o fluxo no estator, φ_r o fluxo no rotor e ϑ_{sr} a relação angular entre o fluxo no estator e no rotor. Está ilustrado na Figura 2.18 de que forma a tensão no estator pode influenciar o binário electromagnético através do ângulo ϑ_{sr} . Uma variação da tensão v_s irá aumentar o ângulo ϑ_{sr} , aumentando o binário electromagnético podendo-se desta maneira controlar tanto a amplitude do fluxo no estator como o binário através da tensão estatórica. Assim o vector do fluxo no estator tem uma componente paralela que altera a amplitude da tensão estatórica e uma componente perpendicular que controla o binário.

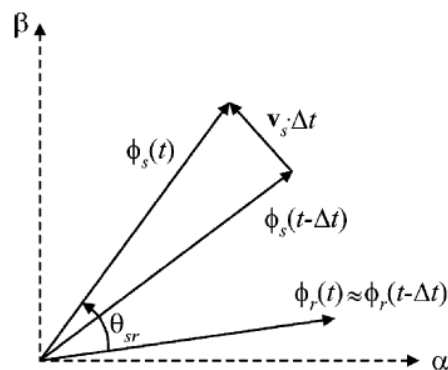


Figura 2.18. Representação vectorial do fluxo no estator e no rotor durante Δt

Transportando este conceito para os conversores multinível repara-se que é dado um maior numero de vectores à escolha para controlar o fluxo e o binário do que os tradicionais 8 vectores de um conversor convencional. Em [21], é explicado de que forma a escolha de

vectores influencia o fluxo e o binário. Assim para um conversor de n níveis o vector do fluxo no estator encontra-se sempre numa área formada por 6 vectores mais próximos, como representado na Figura 2.19. O algoritmo de controlo tem de entre estes vectores que escolher quais os melhores para corrigir o erro existente entre fluxo e o binário existente e o desejado. Por exemplo, para aumentar o fluxo e o binário pode ser utilizado o vector V_3 , para aumentar o fluxo e diminuir o binário pode ser utilizado o vector V_1 e assim sucessivamente. Os vectores V_2 e V_5 não são utilizados porque não têm influência sobre o binário.

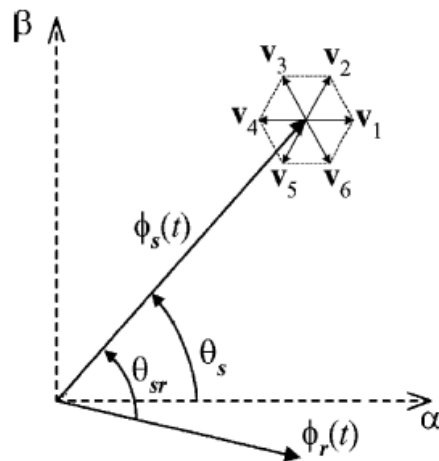


Figura 2.19. Representação dos 6 vectores mais próximos do vector fluxo estático

O conceito de DTC é simples e eficaz, sendo o seu único entrave o cálculo dos vectores mais próximos a partir do vector de fluxo no estator, que obriga o controlador a executar um grande número de cálculos. Na Figura 2.20 está um exemplo de um diagrama de blocos do controlo directo do binário, utilizado em [35].

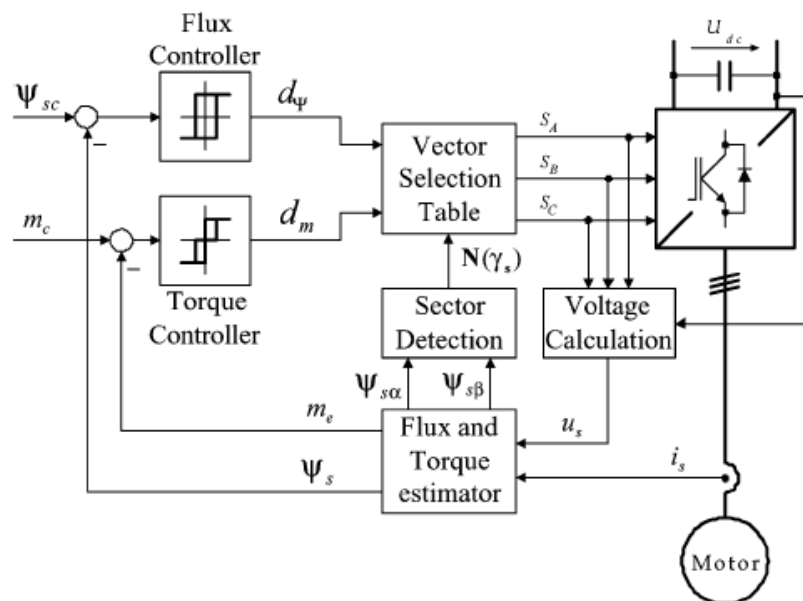


Figura 2.20. Diagrama de blocos do DTC

2.5 - Conclusões

Após o estudo das topologias, métodos de controlo e aplicações existentes para conversores multinível conclui-se que esta é uma área em franco desenvolvimento e que começa a ter cada vez mais vantagens com o evoluir da electrónica.

A topologia a adoptar nesta dissertação vai ser a topologia NPC de três níveis, resultado da análise feita das diversas topologias. Pode-se dizer que esta topologia permite estudar todas as vantagens de um conversor multinível com o benefício da simplicidade da sua estrutura e controlo.

Capítulo 3

Simulação do Conversor Mulinível

Ao longo deste capítulo vão ser analisadas as características que definem o comportamento do conversor multinível. Essa análise vai ser feita através de várias simulações com alguns dos tipos de controlos referidos no capítulo anterior.

3.1 - Introdução

O software de simulação utilizado foi o PSIM 7.0.5 porque é um software indicado para simulação de circuitos de potência, tendo ainda em conta que permite um bloco de programação em C para controlos mais complexos e a sua utilização é simples e intuitiva.

A topologia a ser simulada vai ser a NPC de três níveis e os tipos de controlos a utilizar vão ser os de modulação a alta frequência. É importante ainda referir que o controlo vai ser feito em malha aberta.

O critério de comparação entre a aplicação de vários controlos vai incidir sobre a forma da corrente e tensão à saída, perdas nos semicondutores, corrente e tensão no ponto médio e espectro harmónico da tensão de saída.

O processo de simulação que antecede a implementação é sempre um passo importante para a compreensão total do funcionamento da estrutura em estudo e para uma correcta implementação.

3.2 - Esquema do sistema de simulação

Na Figura 3.1 está representado o diagrama de blocos do sistema a ser simulado. Este sistema tem como entradas a tensão e a corrente do barramento DC e a referência de frequência e amplitude do sinal que se quer à saída. Como saídas tem a tensão e corrente na carga.

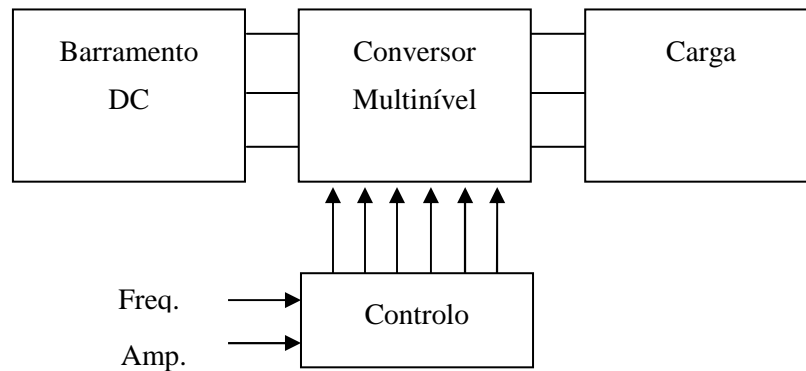


Figura 3.1. Diagrama de blocos do sistema a ser simulado

O barramento DC é formado por dois condensadores que garantem equilíbrio e tensão constante ao barramento e tornam o ponto médio acessível. O valor destes condensadores deve ser dimensionado de forma a garantir um *ripple* de tensão pequeno.

A carga vai ser trifásica ligada em estrela com resistência e indutância. Esta carga permite visualizar a forma de onda sinusoidal da corrente e o espectro harmónico de tensão de uma forma fácil.

O conversor multinível vai ter uma topologia NPC de três níveis como ilustrado na Figura 2.2a. Os interruptores (IGBTs) e os díodos que fazem parte da simulação terão características ideais.

O bloco de controlo vai depender da estratégia a implementar mas tendo sempre como entradas a frequência e a amplitude do sinal que se quer à saída e como saída os 12 sinais de comando para os interruptores do conversor.

3.3 - Simulação do conversor com MLI por desnivelamento

O conceito de MLI foi já explicado em 2.3.5. Esta é a forma mais simples de controlar um conversor, bastando ter uma referência e cruzá-la com uma portadora, que pode ser triangular ou em dente de serra, resultando deste cruzamento o sinal de controlo para os interruptores.

Na Figura 3.2 é apresentado o circuito de simulação do conversor com controlo por MLI. Pode se ver que o controlo é feito com fontes de sinal sinusoidal e triangulares, comparadores e inversores.

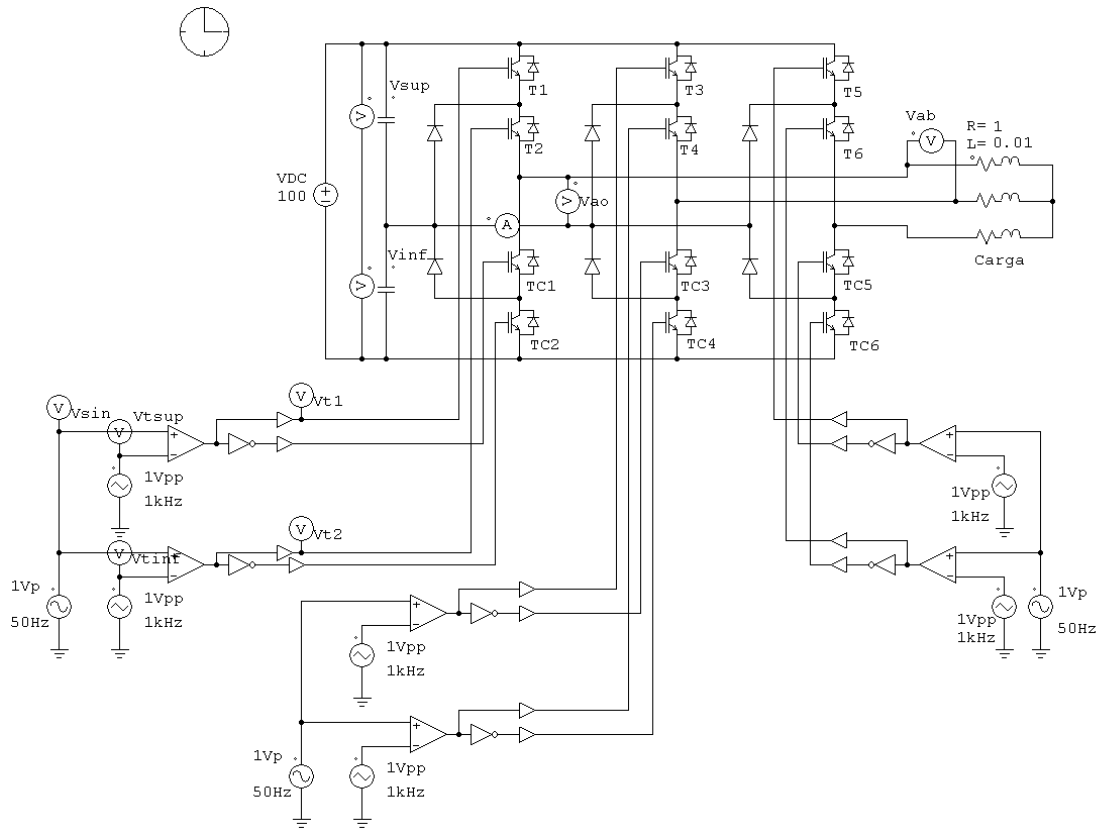


Figura 3.2. Circuito de simulação com controle MLI para o conversor NPC de 3 níveis

A tensão de entrada é de 100 V e a carga RL trifásica tem um conjunto de três resistências de 50 Ω cada e três indutâncias de 0,01 H. A frequência da portadora é de 1,6 kHz com a moduladora a 50 Hz tendo um índice de modulação de 1.

Na primeira simulação vão ser utilizadas portadoras triangulares em fase, para poder comparar com as portadoras triangulares em oposição de fase. Na Figura 3.3a estão representadas as portadoras e a moduladora e nas Figura 3.3b-c estão os sinais de controle para os IGBTs (T1 e T2) resultantes da modulação.

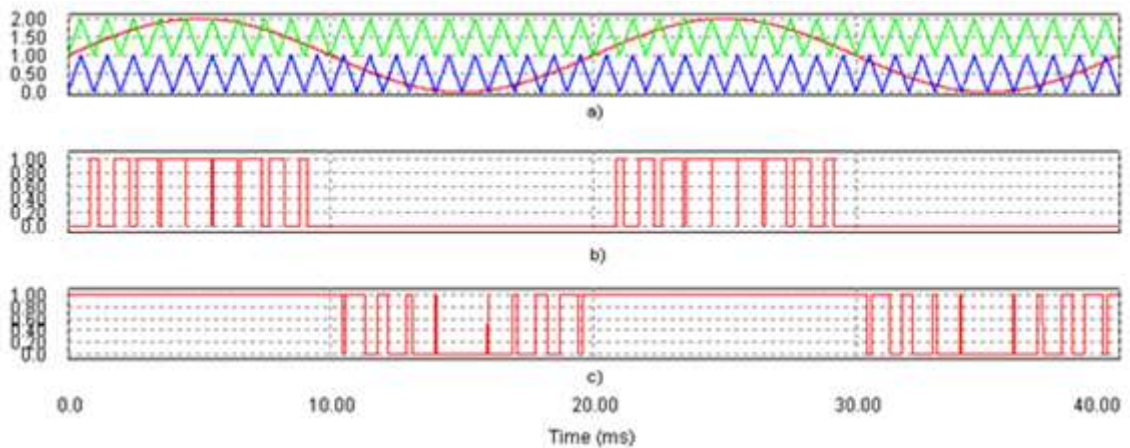


Figura 3.3. a) Formas de onda da moduladora e das portadoras; b-c) Sinais de controle para os IGBTs T1 e T2

Para controlar um braço de um conversor de três níveis é necessário ter mais dois sinais de controlo para além dos que estão nas Figura 3.3b-c, esses sinais são os complementares que correspondem respectivamente aos IGBTs TC1 e TC2.

É fundamental agora analisar as formas de onda que caracterizam o conversor multinível. Para isso começou-se por ver as tensões que constituem o barramento DC e a corrente no ponto médio. Na Figura 3.4a está ilustrada a tensão no ponto médio do barramento DC (V_{np}) e que se define como $V_{np} = V_{sup} - V_{inf}$. Esta tensão tem de ser mantida constante porque a sua oscilação pode levar ao aumento da distorção harmónica e os interruptores terão de suportar sobretensões que podem levar à sua destruição.

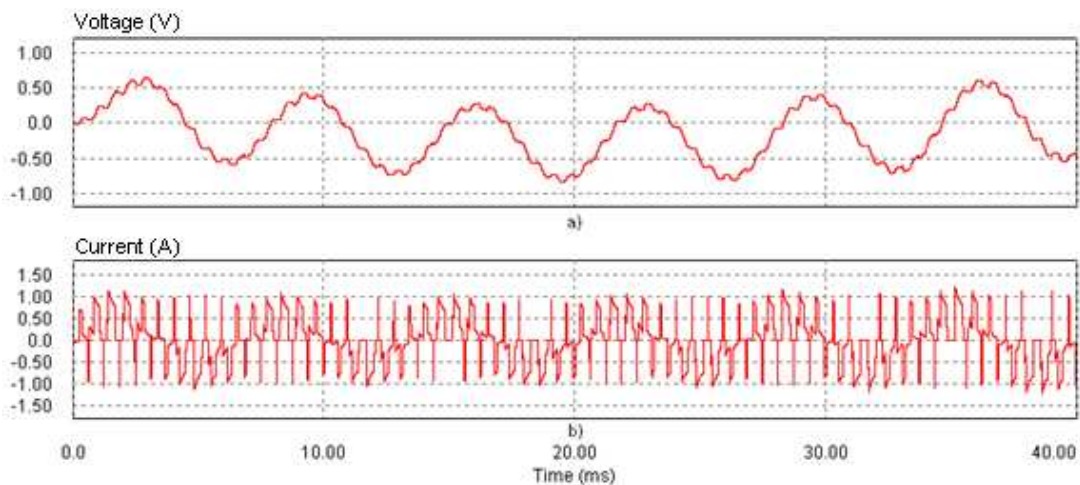


Figura 3.4.a) Tensão no ponto médio e b) Corrente no ponto médio

Na Figura 3.4b tem-se a corrente no ponto médio que acompanha as comutações dos transístores. É importante também que a corrente neste ponto não ultrapasse valores que condicionem o correcto funcionamento dos semicondutores.

A corrente e a tensão de saída estão representadas na Figura 3.5. Facilmente se distinguem os três níveis da onda de tensão, característicos do conversor. Na Figura 3.6 está o espectro harmónico da tensão entre fases na saída.

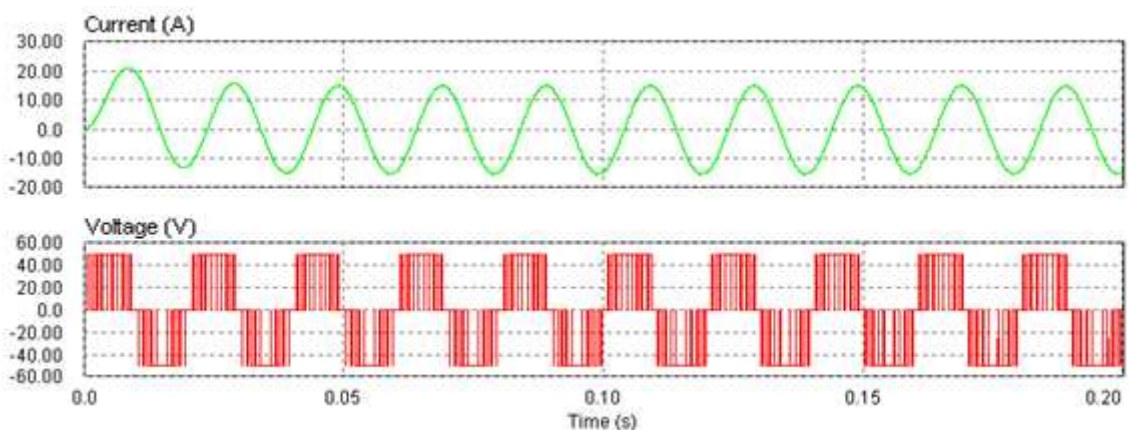


Figura 3.5. Corrente numa das fases da carga (em cima) e tensão entre uma das fases e o ponto médio (em baixo)

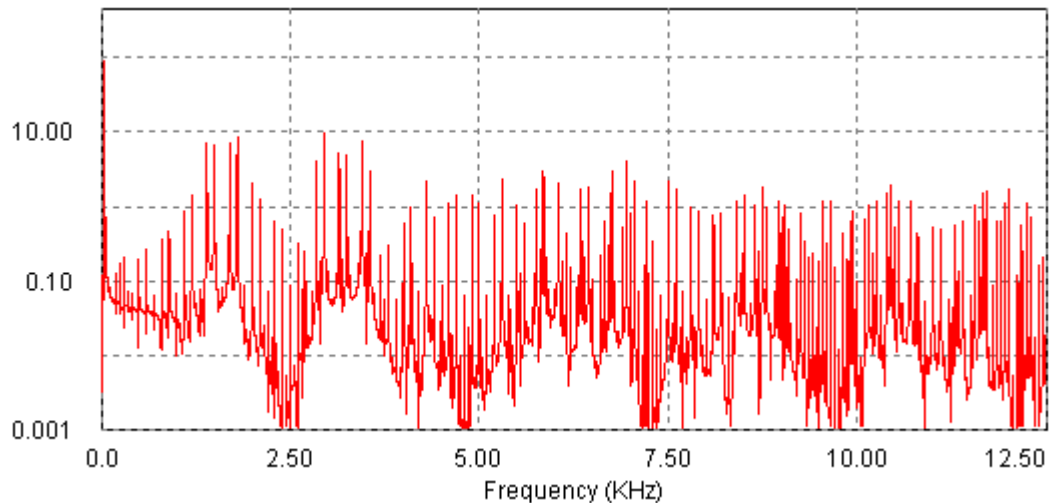


Figura 3.6. Espectro harmônico da tensão entre fases

Analisando o gráfico da Figura 3.6 é possível verificar que o harmônico à frequência de comutação foi eliminado tendo apenas harmônicos à sua volta e nos seus múltiplos. Este espectro é gerado por uma análise de FFT (*Fast Fourier Transform*), onde o resultado é discreto.

A distorção harmónica total ou THD (*Total Harmonic Distortion*) para a tensão entre fase e ponto médio é de 0,52. A Tabela 3.1 mostra o valor eficaz ou RMS (*Root Mean Square*) da tensão de saída e a THD para três índices de modulação diferentes: 0,25, 0,5 e 1 com portadoras em fase.

Tabela 3.1. Valores RMS e de THD da tensão entre a fase e o ponto médio para três índices de modulação diferentes, com portadoras em fase

Índice de modulação	RMS	THD
1	39,8 V	0,52
0,5	28,2 V	1,24
0,25	19,9 V	2,02

Com o diminuir do índice de modulação o conteúdo harmónico cresce. Este facto deve-se à diminuição do valor eficaz da componente fundamental, visto que a THD é expressa pela seguinte equação:

$$THD = \frac{\sqrt{V_{rms}^2 - V_f^2}}{V_f}, \tag{3.1}$$

onde V_{rms} é o valor eficaz da tensão entre uma fase e o neutro e V_f é a tensão da componente fundamental.

É importante ainda referir que no caso dos índices de modulação 0,5 e 0,25 não são utilizados todos os níveis possíveis para a tensão entre fases. Como se pode ver na Figura 3.7a a tensão entre fases tem apenas três níveis para o caso do índice de modulação ser igual 0,5 e na Figura 3.7b a tensão entre fases tem cinco níveis para um índice de 1.

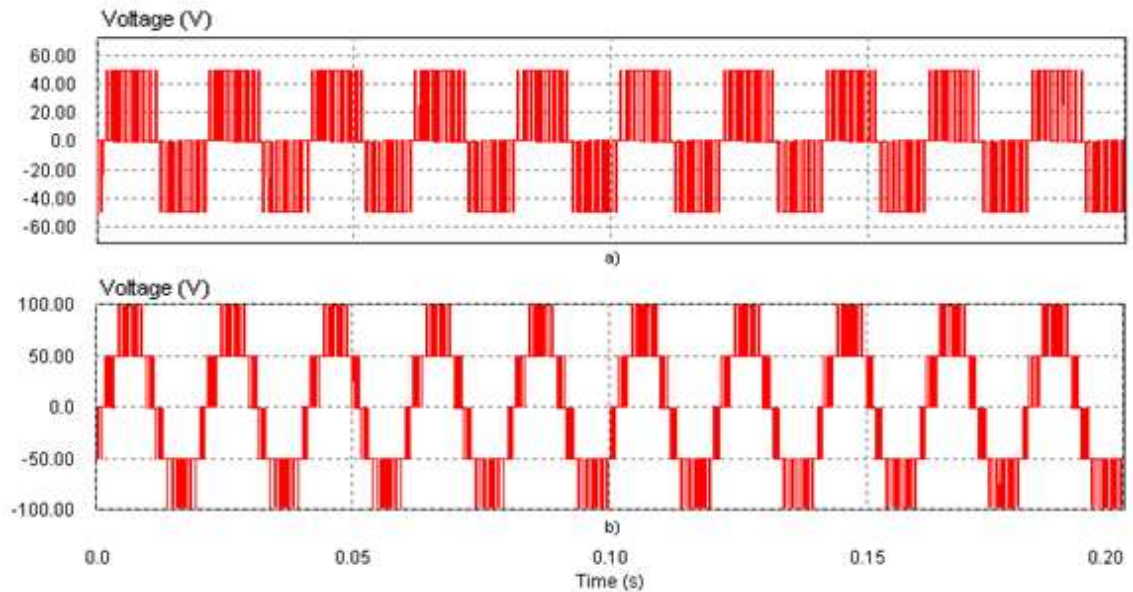


Figura 3.7. Tensão entre fases para um índice de modulação igual a a) 0,5 e b) 1

Este facto mostra-se uma vantagem para este tipo de modulação porque para amplitudes de tensão mais pequenas a estratégia escolhe apenas os níveis necessários para gerar a tensão de saída, ao contrário de algumas estratégias que vão ser apresentadas mais à frente.

A próxima simulação é controlada com portadoras em oposição de fase, a Figura 3.8a ilustra este caso, para um índice de modulação de 1. Nas Figura 3.8b-c estão os sinais de controlo para os IGBTs sem os seus complementares.

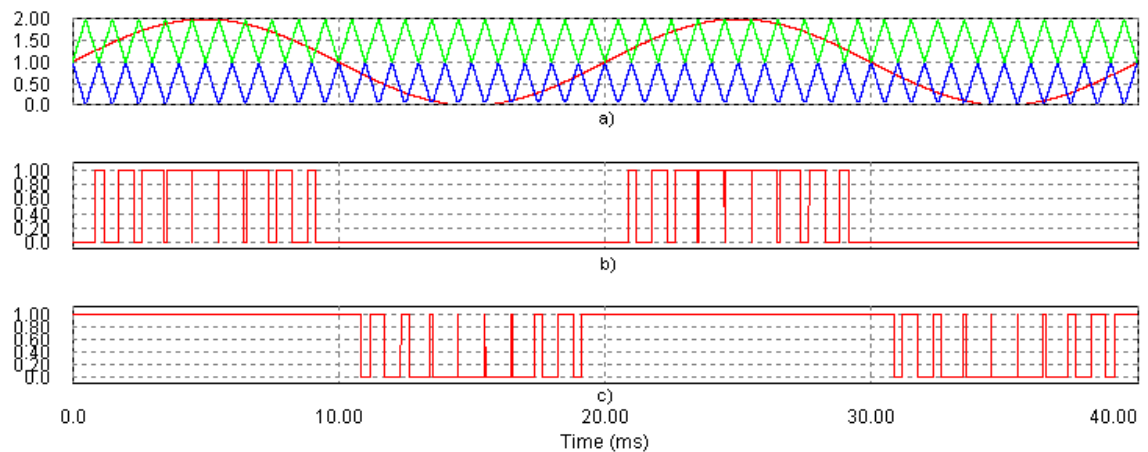


Figura 3.8.a) Portadoras em oposição de fase e moduladora; b-c) Sinais de controlo dos IGBTs

Em comparação com a modulação com portadoras em fase, facilmente se observa que existe maior simetria entre os sinais de controlo dos IGBTs. Esta simetria vai-se reflectir posteriormente na qualidade do sinal na saída.

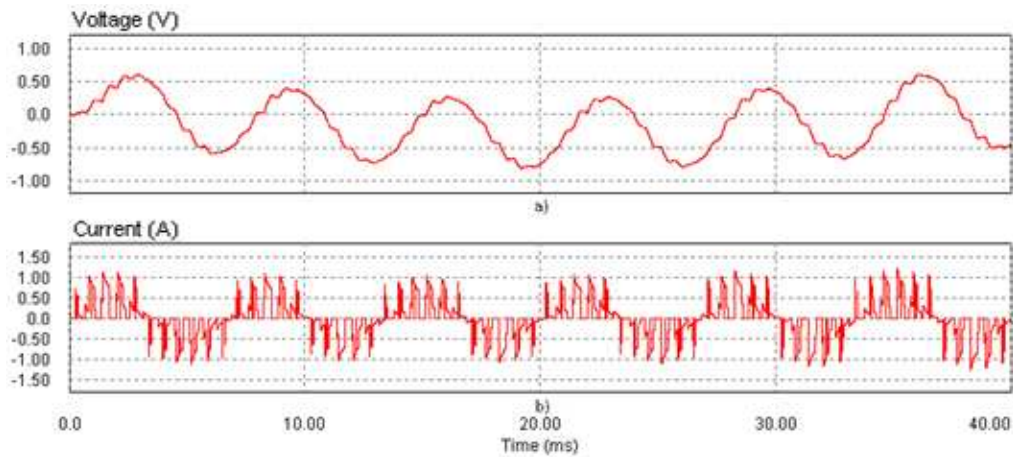


Figura 3.9.a) Tensão no ponto médio e b) Corrente no ponto médio

A tensão e a corrente no ponto médio são semelhantes ao caso das portadoras triangulares em fase, oscilando entre valores praticamente iguais, como ilustra a Figura 3.9.

De forma idêntica, a tensão e a corrente na carga são análogas à tensão e corrente na carga para modulação com portadoras em fase, não sendo visível na Figura 3.10 qualquer diferença entre as formas de onda.

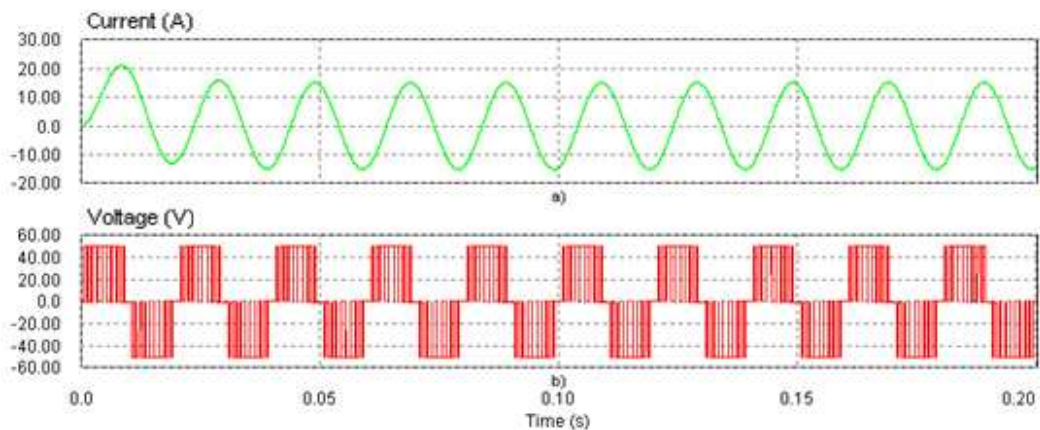


Figura 3.10. a) Corrente na carga e b) Tensão entre fase e ponto médio na carga

A partir da tensão entre fases obtém-se o espectro de harmônicos da tensão de saída da Figura 3.11.

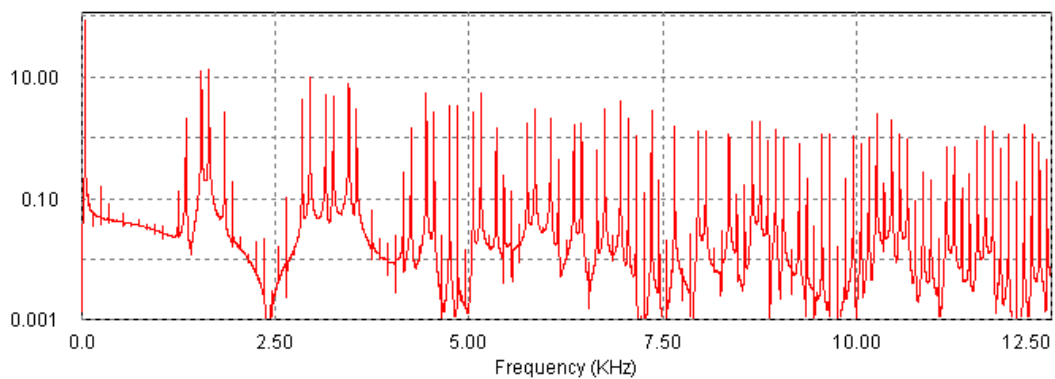


Figura 3.11. Espectro harmônico da tensão entre fases

A utilização de portadoras em oposição de fase não produz harmónico à frequência de comutação nem na tensão simples nem na tensão entre fases, mas produz harmónicos à sua volta que têm amplitudes elevadas.

A THD resultante da tensão entre fase e ponto médio, para um índice de modulação igual a 1, é de 0,51. Na Tabela 3.2 é possível comparar o valor eficaz e a THD da tensão de saída para vários índices de modulação.

Tabela 3.2. Valores RMS e de THD da tensão entre fase e ponto médio para três índices de modulação diferentes, com portadoras em oposição de fase

Índice de modulação	RMS	THD
1	39,7 V	0,51
0,5	28,1 V	1,24
0,25	19,9 V	2,01

Comparando com a Tabela 3.1 vê-se que não existem diferenças significativas tanto a nível do valor eficaz como da THD. A diferença entre estes dois tipos de modulação existe quando se analisa o conteúdo harmónico da tensão entre fases [36]. Assim construiu-se a Tabela 3.3 com os valores relativos à modulação com portadoras em fase e a Tabela 3.4 com as portadoras em oposição de fase.

Tabela 3.3 Valores RMS e de THD da tensão entre fases para três índices de modulação diferentes, com portadoras em fase

Índice de modulação	RMS	THD
1	65,0 V	0,35
0,5	37,1 V	0,69
0,25	26,3 V	1,39

Tabela 3.4 Valores RMS e de THD da tensão entre fases para três índices de modulação diferentes, com portadoras em oposição de fase

Índice de modulação	RMS	THD
1	65,9 V	0,39
0,5	46,6 V	1,15
0,25	33,0 V	1,90

Da análise da Tabela 3.3 e da Tabela 3.4 verifica-se que para índices de modulação elevados a distorção harmónica e o valor eficaz são semelhantes entre as duas técnicas de modulação. Para valores mais baixos de índice de modulação, a técnica de portadoras em fase tem menor conteúdo harmónico e menor valor eficaz, o que torna a utilização de uma das duas técnicas dependente da aplicação onde se insere. Se a aplicação necessita de baixa THD a modulação com portadoras em fase é o indicado, caso seja preciso maior valor eficaz as portadoras em oposição de fase são mais adequadas.

A diferença pode ser explicada pela escolha dos níveis, como já foi referenciado atrás. Pode-se ver essa diferença para um índice de modulação 0,5, no caso de portadoras em fase na Figura 3.12, e para portadoras em oposição de fase na Figura 3.13.

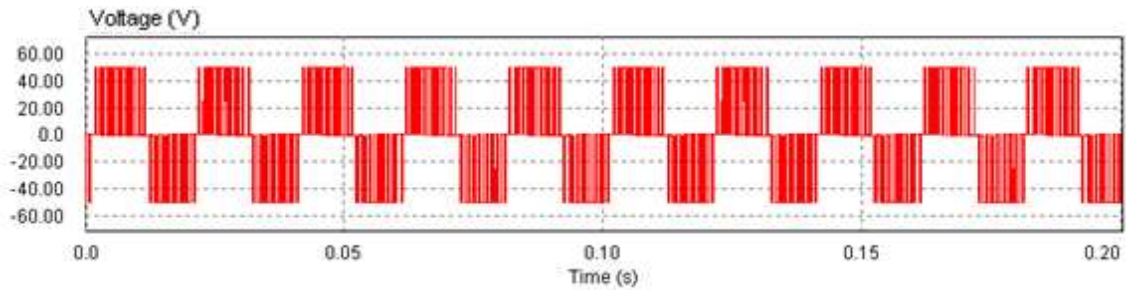


Figura 3.12. Tensão entre fases para modulação com portadoras em fase e índice de modulação 0.5

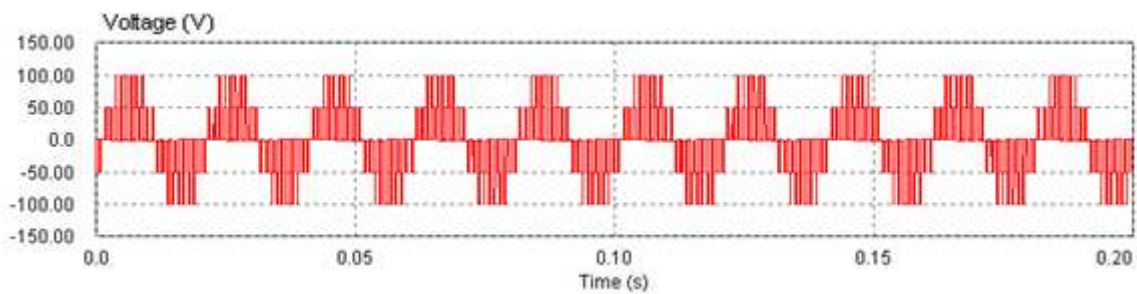


Figura 3.13. Tensão entre fases para modulação com portadoras em oposição de fase e índice de modulação 0.5

Por fim falta estudar as perdas nos semicondutores. Como se realizou as simulações com semicondutores ideais não existem perdas, mas adicionando parâmetros como tensão de saturação nos IGBTs e queda de tensão nos díodos, rapidamente se conclui que as perdas nos semicondutores são semelhantes para as duas técnicas aqui simuladas. Neste ponto é apenas importante referir que as perdas em comutação são bastante menores quando comparadas com um conversor convencional, porque os IGBTs apenas têm de bloquear metade da tensão.

3.4 - Simulação do conversor com MLI de duas moduladoras

Esta técnica de modulação não foi referida no ponto 2.3 porque é derivada da modulação baseada em portadoras.

A modulação a partir de duas moduladoras possibilita que seja utilizada apenas uma portadora. Na Figura 3.15a tem-se um exemplo desta técnica para um conversor de três níveis. Aqui pode-se ver que cada moduladora gera um sinal de comando para os IGBTs: T1 e T2 da Figura 3.2.

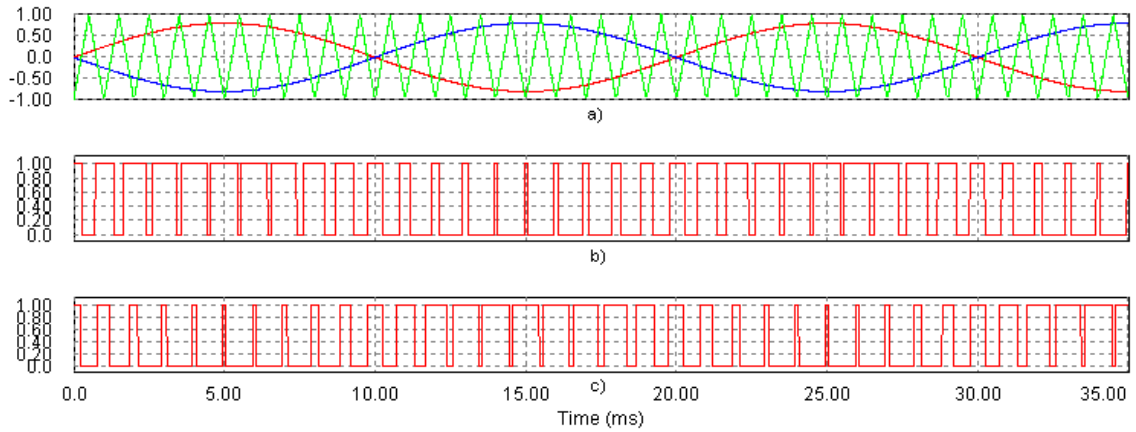


Figura 3.14. a) Modulação com duas moduladoras e uma portadora; b-c) Sinais de controlo para os IGBTs

Como se pode ver, nas Figura 3.14b-c, os sinais de controlo são diferentes da MLI com desnivelamento, estando sempre em comutação. Deste controlo resulta a onda de tensão entre fases e ponto médio da Figura 3.15 e o espectro harmónico da tensão entre fases da Figura 3.16.

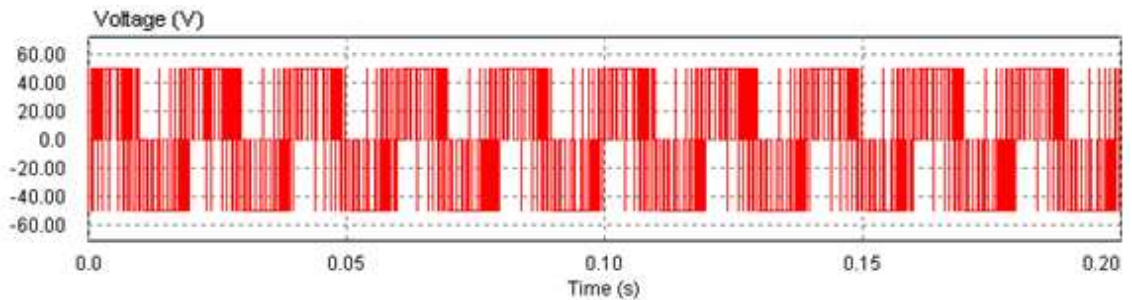


Figura 3.15. Tensão entre fase e o ponto médio para dupla moduladora (índice de modulação igual a 1)

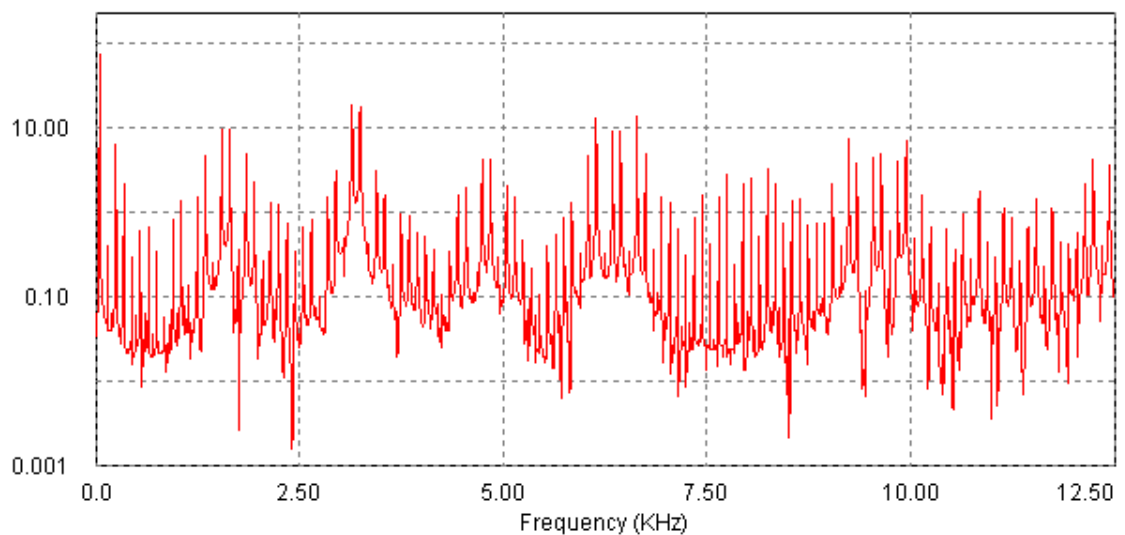


Figura 3.16. Espectro harmónico da tensão entre fases para dupla moduladora (índice de modulação igual a 1)

Pelas figuras acima ilustradas rapidamente conclui-se que esta modulação tem um conteúdo harmónico superior aos casos anteriores e por análise da Tabela 3.5 prova-se essa mesma conclusão.

Tabela 3.5. Valores RMS e de THD da tensão entre fases para três índices de modulação diferentes, com dupla moduladora

Índice de modulação	RMS	THD
1	66,2 V	0,75
0,5	53,3 V	2,69
0,25	38,8 V	4,80

Apesar da sua simplicidade esta técnica apresenta-se com distorção harmónica muito elevada para índices de modulação baixos, o que leva a uma grande contrapartida na sua utilização.

3.5 - Simulação do conversor com injeção de terceiro harmónico

Tal como a modulação referida no ponto anterior a injeção de terceiro harmónico não foi referida em 2.3 mas é aqui simulada porque a sua implementação permite obter resultados superiores às técnicas anteriormente referidas.

Esta modulação está ilustrada na Figura 3.17a, onde a moduladora é a soma da sinusóide de referência com uma outra ao triplo da frequência e a um sexto da amplitude.

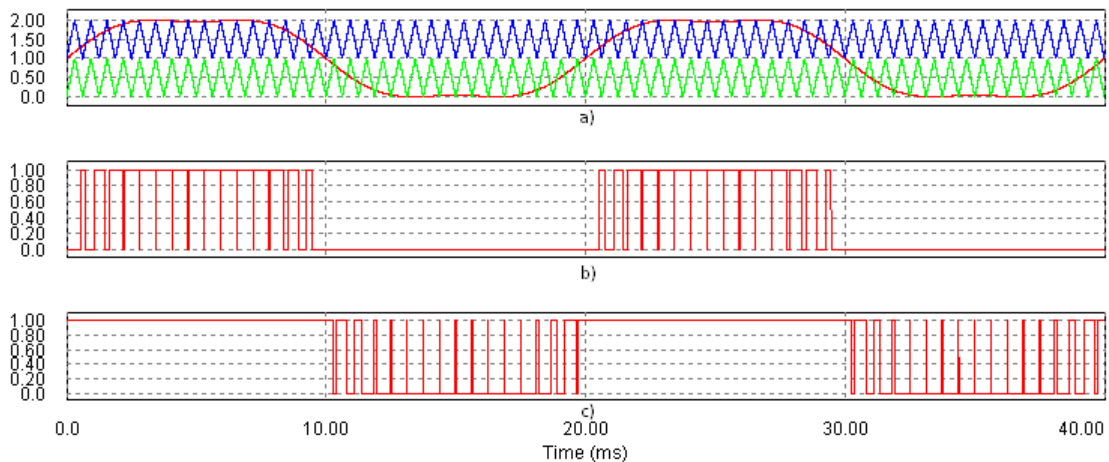


Figura 3.17. a) Modulação com injeção de terceiro harmónico b)-c) Sinais de controlo dos IGBTs

Pelas Figura 3.17b-c vê-se que os sinais de controlo são semelhantes aos casos de modulação com duas portadoras. A tensão entre fases e o respectivo espectro harmónico estão ilustrados na Figura 3.18 e na Figura 3.19, respectivamente.

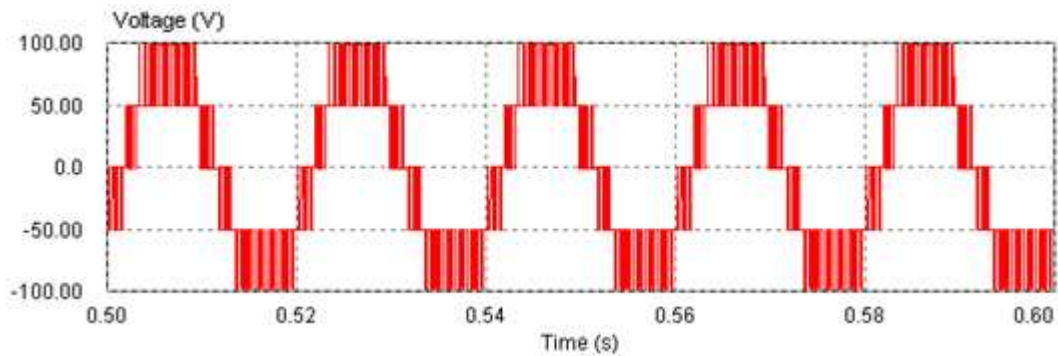


Figura 3.18. Tensão entre fases com injeção de terceiro harmônico

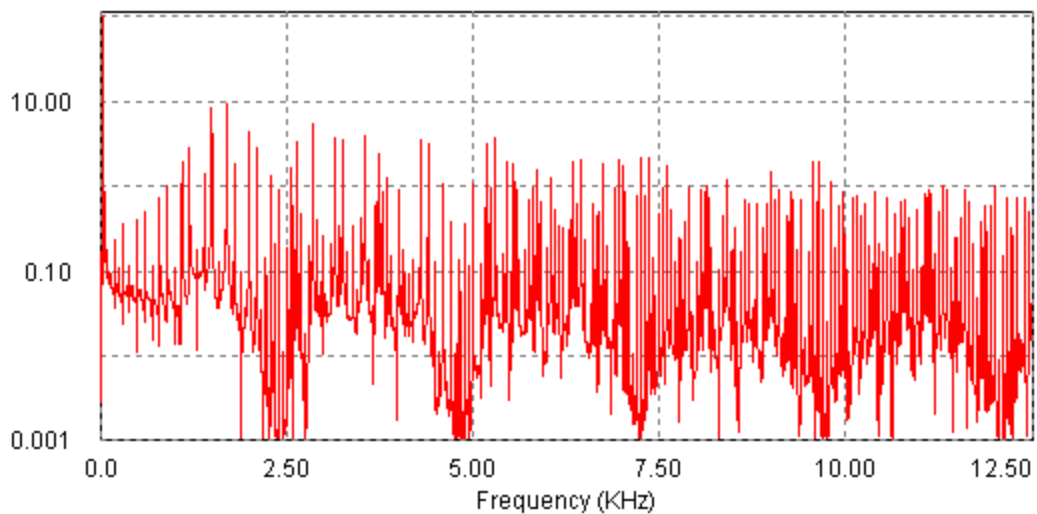


Figura 3.19. Espectro harmônico da tensão composta com injeção de terceiro harmônico

A injeção do terceiro harmônico garante um valor eficaz da tensão composta de 72,9 V e uma THD de 0,27, ao índice de modulação máximo, o que demonstra uma performance superior que qualquer outra modelação aqui analisada.

3.6 - Simulação do conversor com MLI Vectorial

A modulação por largura de impulsos vectorial foi apresentada na secção 2.3.5 - onde apenas se abordou superficialmente o algoritmo de implementação. Nesta secção vai-se mostrar e explicar o algoritmo desenvolvido para simular o conversor NPC.

3.6.1 - Princípio de funcionamento

De uma forma fácil pode-se encontrar alguma documentação sobre a aplicação de SVPWM a conversores multinível, mas nem toda a documentação se encontra completa ou preparada para a aplicação em causa. Desta maneira o princípio de funcionamento vai ser explicado tendo como referências [19, 20, 37-41].

A modulação vectorial consiste na escolha de um dos vectores de estado mediante a localização do vector de referência. Este processo engloba três fases: localização do vector

referência no diagrama de vectores de estado, escolha dos tempos de comutação e sequência de vectores a seleccionar.

O vector de referência caracteriza as três tensões geradas por uma fonte trifásica e pode ser calculado pela seguinte equação:

$$\vec{V} = \frac{2}{3} \left(V_{ab} + V_{bc} \cdot e^{j\frac{2\pi}{3}} + V_{ca} \cdot e^{-j\frac{2\pi}{3}} \right) \quad (3.2)$$

onde V_{ab} , V_{bc} e V_{ca} são as tensões entre fases.

A partir do sistema de (3.3), o vector de referência pode ser representado no plano d-q, de forma a ser inserido no digrama de vectores de estado, como ilustra a Figura 3.20. Para localizar o vector que melhor representa a referência é normalmente utilizado o método dos três vectores mais próximos, isto é, o vector de referência raramente coincide com um dos vectores de estado sendo para isso escolhido um grupo de três vectores mais próximos para representar a referência.

$$\begin{bmatrix} V_q \\ V_d \end{bmatrix} = \sqrt{\frac{2}{3}} \begin{bmatrix} 1 & -\frac{1}{2} & -\frac{1}{2} \\ 0 & \frac{\sqrt{3}}{2} & \frac{\sqrt{3}}{2} \end{bmatrix} \begin{bmatrix} V_{ao} \\ V_{bo} \\ V_{co} \end{bmatrix} \quad (3.3)$$

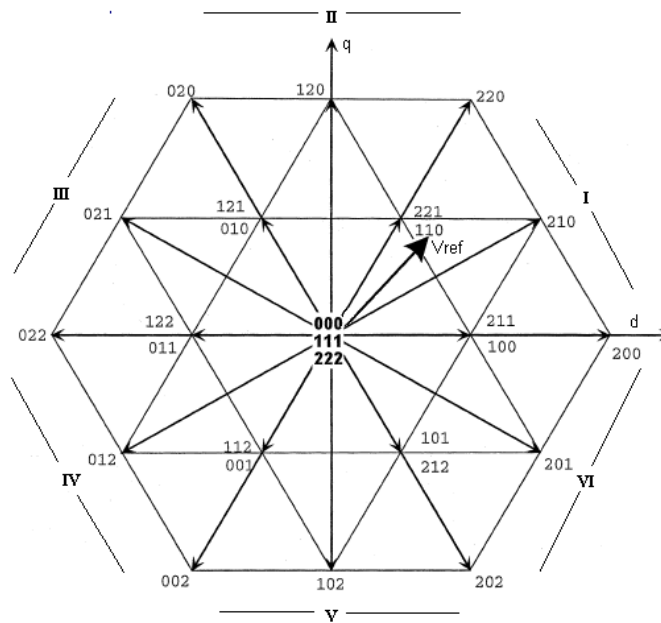


Figura 3.20. Diagrama de vectores de um conversor de 3 níveis, com vector de referência e os sectores

Como se pode ver pela Figura 3.20 os vectores de estado formam um hexágono dividido em triângulos que têm como vértices os vectores. Desta forma para escolher os três vectores mais próximos basta saber em que triângulo está inserido o vector de referência. A maneira mais usual de o fazer é passar o referencial em coordenadas cartesianas para coordenadas hexagonais, como ilustra a Figura 3.21, e assim dividir o diagrama em 6 sectores. Esta mudança de coordenadas é feita através do sistema de equações (3.4):

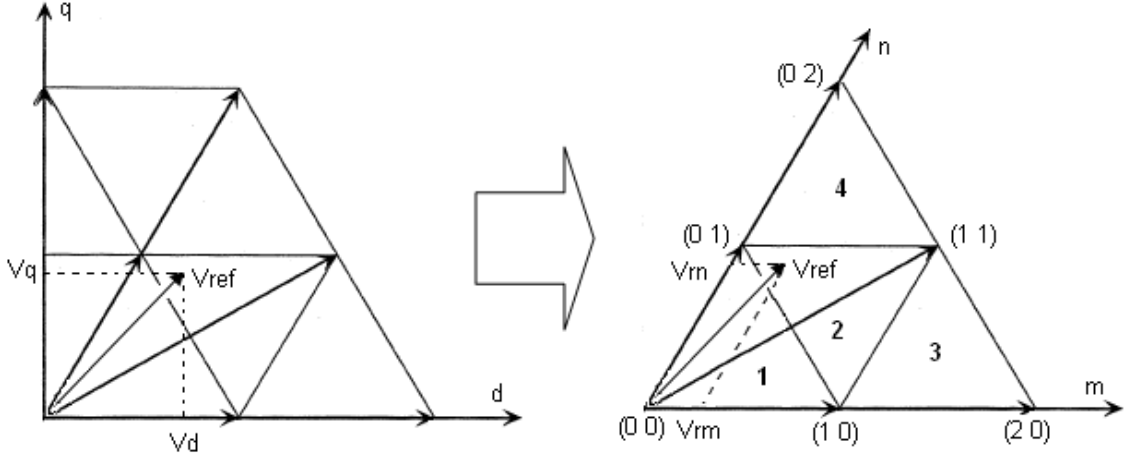


Figura 3.21. Passagem de coordenadas cartesianas para coordenadas hexagonais, no sector I

$$\begin{cases} V_{rm} = \frac{2MV_{ref}}{\sqrt{3}V_{dc}} \sin\left(\frac{\pi}{3} - \theta\right) \\ V_{rn} = \frac{2MV_{ref}}{\sqrt{3}V_{dc}} \sin(\theta) \end{cases}, \text{ para } \begin{cases} V_{ref} = \sqrt{V_d^2 + V_q^2} \\ \theta = \tan^{-1}\left(\frac{V_q}{V_d}\right) \end{cases} \quad (3.4)$$

onde V_{rm} e V_{rn} são os vectores que formam o vector de referência \vec{V}_{ref} no sistema de coordenadas hexagonais (n-m) e M é igual ao número de níveis menos um.

Com este novo referencial o vector de referência passa a ter duas componentes V_{rm} e V_{rn} nos eixos m e n , respectivamente e sabendo que os vectores de estado têm coordenadas com valores inteiros para este referencial, como mostra a Figura 3.21, então facilmente encontra-se os 4 vectores mais próximos arredondando para cima e para baixo os valores das coordenadas do vector de referência. Por exemplo, no caso do vector \vec{V}_{ref} da Figura 3.21 as coordenadas dos 4 vectores mais próximos são calculados pelas equações (3.5):

$$\begin{aligned} \vec{V}_{ul} &= \begin{bmatrix} [V_{rn}] \\ [V_{rm}] \end{bmatrix} = \begin{bmatrix} [0.9] \\ [0.3] \end{bmatrix} = \begin{bmatrix} V_{uln} \\ V_{ulm} \end{bmatrix} = \begin{bmatrix} 1 \\ 0 \end{bmatrix}, \quad \vec{V}_{lu} = \begin{bmatrix} [V_{rn}] \\ [V_{rm}] \end{bmatrix} = \begin{bmatrix} [0.9] \\ [0.3] \end{bmatrix} = \begin{bmatrix} V_{lun} \\ V_{lum} \end{bmatrix} = \begin{bmatrix} 0 \\ 1 \end{bmatrix}, \\ \vec{V}_{uu} &= \begin{bmatrix} [V_{rn}] \\ [V_{rm}] \end{bmatrix} = \begin{bmatrix} [0.9] \\ [0.3] \end{bmatrix} = \begin{bmatrix} V_{uun} \\ V_{uum} \end{bmatrix} = \begin{bmatrix} 1 \\ 1 \end{bmatrix} \text{ e } \vec{V}_l = \begin{bmatrix} [V_{rn}] \\ [V_{rm}] \end{bmatrix} = \begin{bmatrix} [0.9] \\ [0.3] \end{bmatrix} = \begin{bmatrix} V_{ln} \\ V_{lm} \end{bmatrix} = \begin{bmatrix} 0 \\ 0 \end{bmatrix}, \end{aligned} \quad (3.5)$$

onde \vec{V}_{ul} , \vec{V}_{lu} , \vec{V}_{uu} e \vec{V}_l são os 4 vectores mais próximos onde o índice u refere-se a arredondamentos para cima (*up*) e o índice l refere-se a arredondamentos para baixo (*low*).

É importante ainda referir que no caso do vector de referência se encontrar nos triângulos 3 e 4 a hipótese de existirem 4 vectores mais próximos não se aplica porque não existe vector \vec{V}_{uu} para estes triângulos sendo escolhidos desde logo os vectores \vec{V}_{ul} , \vec{V}_{lu} , \vec{V}_l .

Falta agora saber entre os vectores \vec{V}_{uu} e \vec{V}_l qual deles é que está mais perto da referência, para isso basta utilizar a expressão (3.6). Caso esta seja maior que zero então \vec{V}_{uu} é o vector mais próximo, caso contrário é \vec{V}_l o vector mais próximo.

$$V_{rn} + V_{rm} - (V_{uln} + V_{ulm}) \quad (3.6)$$

No exemplo tem-se $0.9+0.3-(1+0) > 0$ logo o conjunto de vectores a escolher é \vec{V}_{ul} , \vec{V}_{lu} e \vec{V}_{uu} . Como se pode confirmar na Figura 3.21 o vector \vec{V}_{ref} encontra-se no triângulo 2 que é formado pelos três vectores referidos. O raciocínio de cálculo dos vectores foi apenas realizado

para o sector I mas caso a referência esteja noutra sector é necessário rodar o referencial de maneira a esse sector coincidir com as coordenadas do sector I.

É necessário agora determinar o tempo que cada um dos vectores vai estar activo, este tempo pode também ser chamado *duty-cycle*. Partindo do princípio que se tem o tempo de comutação T_s normalizado, os *duty-cycles* são regidos pelas seguintes equações:

$$\begin{cases} \vec{V}_{ref} = d_1 \vec{V}_{ul} + d_2 \vec{V}_{lu} + d_3 \vec{V}_{uu} \\ 1 = d_1 + d_2 + d_3 \end{cases} \Leftrightarrow \quad (3.7)$$

$$\Leftrightarrow \begin{cases} V_{rn} = d_1 V_{uln} + d_2 V_{lun} + d_3 V_{uun} \\ V_{rm} = d_1 V_{ulm} + d_2 V_{lum} + d_3 V_{uum} \\ 1 = d_1 + d_2 + d_3 \end{cases} \quad (3.8)$$

onde d_1, d_2 e d_3 são os tempos que os vectores \vec{V}_{ul} , \vec{V}_{lu} e \vec{V}_{uu} devem estar accionados, respectivamente.

A partir deste sistema de equações calcula-se facilmente os *duty-cycles*, sendo estes dados pelo sistema de equações (3.9) se \vec{V}_{uu} for o vector escolhido, e pelo sistema de equações (3.10) se \vec{V}_{lu} for escolhido.

$$\begin{cases} d_1 = V_{uum} - V_{rn} \\ d_2 = V_{uum} - V_{rn} \\ d_3 = 1 - (d_1 + d_2) \end{cases} \quad (3.9)$$

$$\begin{cases} d_1 = V_{rm} - V_{lun} \\ d_2 = V_{rn} - V_{lun} \\ d_3 = 1 - (d_1 + d_2) \end{cases} \quad (3.10)$$

Por fim falta decidir que sequência os três vectores mais próximos têm de ter para gerar o sinal de saída com as melhores performances possíveis. Este é um tema onde se encontram varias hipóteses e interpretações [20, 42-45], mas existem características que se devem ter em conta quando se escolhe uma sequência:

- Mínimo de comutações por ramo quando se muda de vector de estado,
- Mínimo de comutações quando o vector de referência transita para um triangulo ou sector,
- Máxima utilização dos vectores de estados existentes,
- Equilíbrio do ponto médio.

Na implementação do algoritmo a sequência de comutação escolhida foi a de 7 segmentos, apresentada em [46]. Por essa razão vai ser aqui detalhado o seu funcionamento.

Em primeiro lugar numera-se os vectores de estado existentes e agrupam-se pela sua amplitude em vectores de zero, de nível pequeno, de nível médio e de nível alto, como mostra a Figura 3.22, resultando deste conjunto, vectores redundantes de nível zero e de nível pequeno. Para distinguir os vectores redundantes dividiu-se em vectores do tipo P e do tipo N, como ilustra a Tabela 3.6.

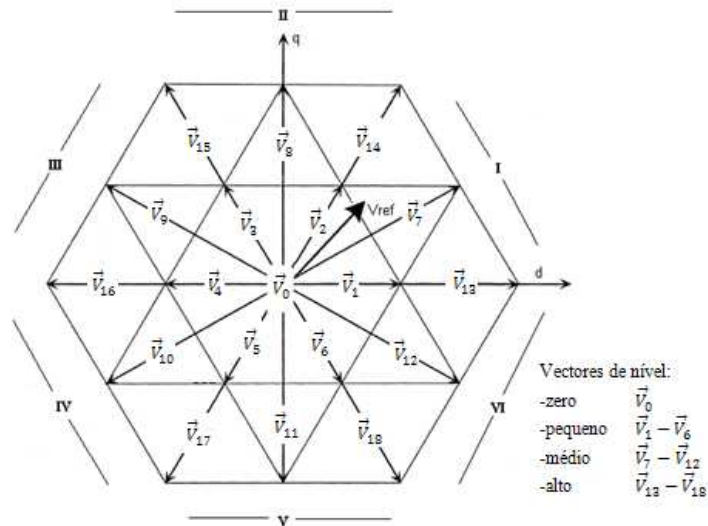


Figura 3.22. Diagrama de vetores de estado

Tabela 3.6. Vetores de estado de nível 0 e baixo, e o nível de tensão nos três ramos

Vetores de Estado		Níveis de tensão nos três ramos	
\vec{V}_0		[222] [111] [000]	
\vec{V}_1	\vec{V}_{1P}	Tipo P	Tipo N
	\vec{V}_{1N}	[211]	[100]
\vec{V}_2	\vec{V}_{2P}	[221]	[110]
	\vec{V}_{2N}		[110]
\vec{V}_3	\vec{V}_{3P}	[121]	[010]
	\vec{V}_{3N}		[010]
\vec{V}_4	\vec{V}_{4P}	[122]	[011]
	\vec{V}_{4N}		[011]
\vec{V}_5	\vec{V}_{5P}	[112]	[001]
	\vec{V}_{5N}		[001]
\vec{V}_6	\vec{V}_{6P}	[212]	[101]
	\vec{V}_{6N}		[101]

A sequência de comutação de 7 segmentos implica a criação de mais dois triângulos por sector como mostra a Figura 3.23. A divisão dos triângulos 1 e 2 à metade permite por um lado utilizar todos os vetores redundantes e por outro que a transição de uma zona para a outra tenha o número de comutações minimizado.

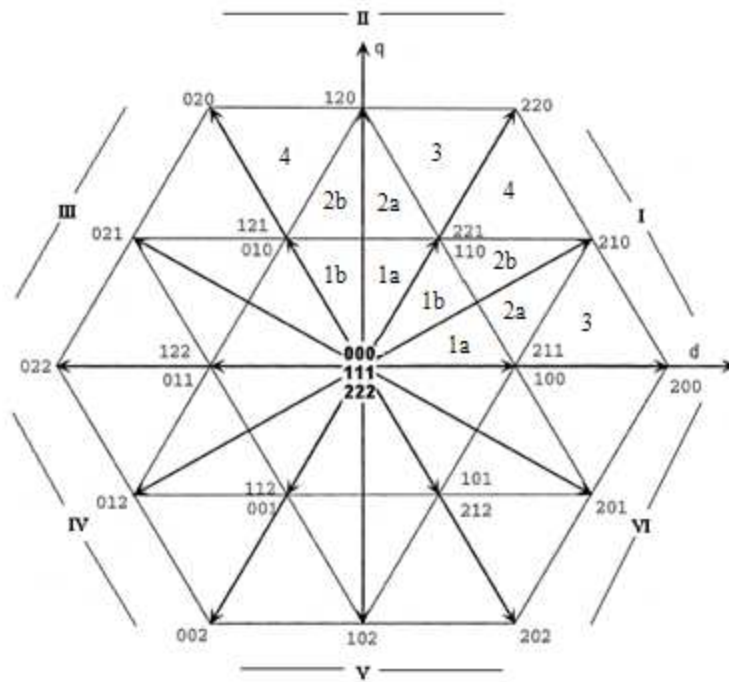


Figura 3.23. Diagrama de vetores com diferente disposição de zonas

Finalmente é escolhida a sequência para cada zona do sector I, Tabela 3.7. Aqui pode se ver que existe simetria na comutação e que a mudança de um vector para o outro apenas implica a comutação de um interruptor e do seu complementar.

Tabela 3.7. Sequência e tempos de comutação dos vectores de estado

Sector I													
Segmento	Duty-cycles	1a		1b		2a		2b		3		4	
1	$d_3/4$	\vec{V}_{1N}	100	\vec{V}_{2N}	110	\vec{V}_{1N}	100	\vec{V}_{2N}	110	\vec{V}_{1N}	100	\vec{V}_{2N}	110
2	$d_2/2$	\vec{V}_{2N}	110	\vec{V}_0	111	\vec{V}_{2N}	110	\vec{V}_7	210	\vec{V}_{13}	200	\vec{V}_7	210
3	$d_1/2$	\vec{V}_0	111	\vec{V}_{1P}	211	\vec{V}_7	210	\vec{V}_{1P}	211	\vec{V}_7	210	\vec{V}_{14}	220
4	$d_3/2$	\vec{V}_{1P}	211	\vec{V}_{2P}	221	\vec{V}_{1P}	211	\vec{V}_{2P}	221	\vec{V}_{1P}	211	\vec{V}_{2P}	221
5	$d_1/2$	\vec{V}_0	111	\vec{V}_{1P}	211	\vec{V}_7	210	\vec{V}_{1P}	211	\vec{V}_7	210	\vec{V}_{14}	220
6	$d_2/2$	\vec{V}_{2N}	110	\vec{V}_0	111	\vec{V}_{2N}	110	\vec{V}_7	210	\vec{V}_{13}	200	\vec{V}_7	210
7	$d_3/4$	\vec{V}_{1N}	100	\vec{V}_{2N}	110	\vec{V}_{1N}	100	\vec{V}_{2N}	110	\vec{V}_{1N}	100	\vec{V}_{2N}	110

Para os outros 5 sectores a sucessão de vectores é semelhante, bastando fazer uma rotação dos vectores para o sector I. É ainda de notar que a frequência de comutação de cada interruptor é dada por:

$$f_{sw} = \frac{f_{sp}}{2} + \frac{f_1}{2}, \tag{3.11}$$

sendo $f_{sp} = 1/T_s$ a frequência de amostragem e f_1 a frequência fundamental.

3.6.2 - Algoritmo e resultados da simulação

Nesta secção é explicado como foi implementado a MLI Vectorial no PSIM 7.0.5 e os resultados da sua simulação. A implementação do algoritmo no PSIM foi quase toda feita num bloco de *C Script*, sendo a parte de escolha da sequência de vectores feita com um circuito que elegia apropriadamente os estados dos IGBTs através de *lookup tables*. O circuito de simulação está no Anexo A. O bloco de *C Script* tem como entradas a frequência e a tensão composta da onda de referência, e como saídas os tempos de selecção dos vectores de estado e a zona onde se encontra a referência, como ilustra a Figura 3.24.

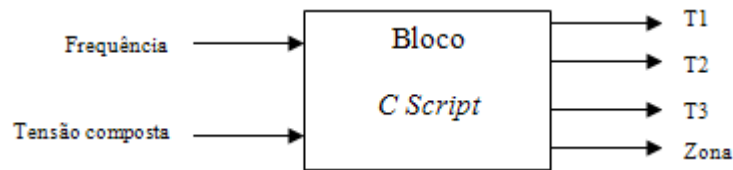


Figura 3.24. Entradas e saídas do bloco *C Script* do PSIM

Dentro do bloco estão as equações e as restrições mostradas em 3.6.1 - e na Figura 3.25 está representado o diagrama de blocos do código.

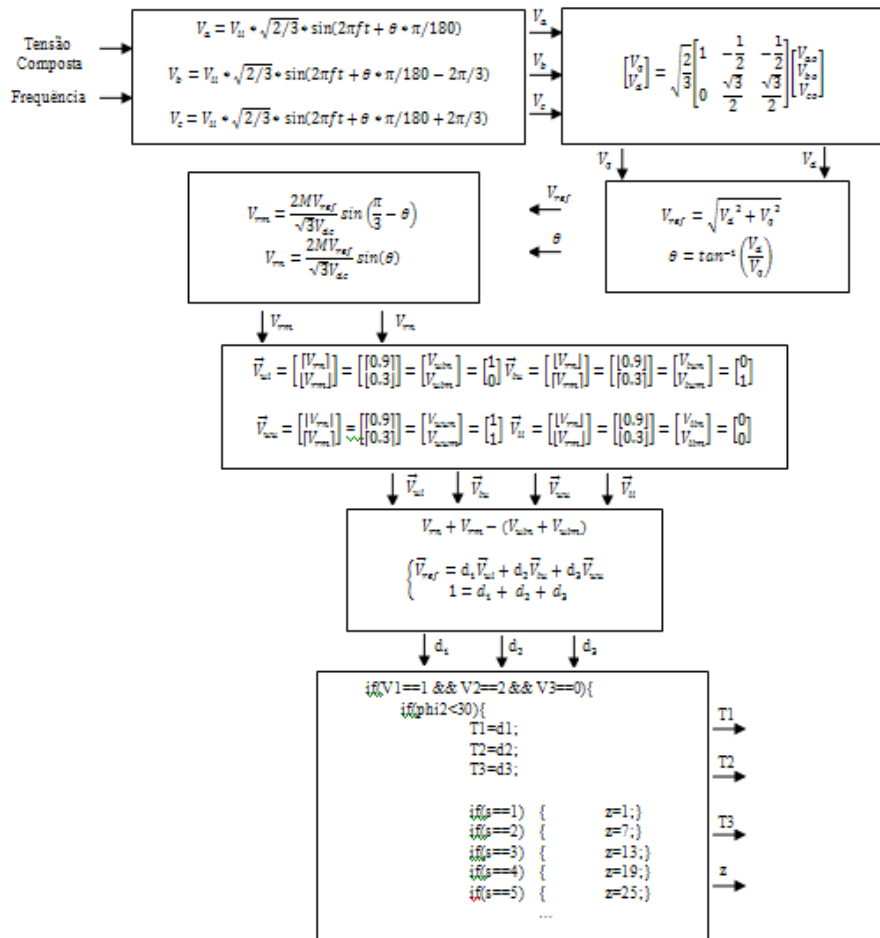


Figura 3.25. Diagrama de blocos do código

O circuito de selecção de segmentos foi baseado numa aplicação de MLI Vectorial em PSIM para conversores de dois níveis [19]. Os valores dos estados dos interruptores são guardados em *lookup tables* de duas dimensões, onde as colunas correspondem às zonas existentes dentro do diagrama de vectores e as linhas ao vector que deve ser escolhido. Na Tabela 3.8 encontram-se um exemplo da *lookup table* do IGBT T1. No Anexo B encontra-se a *lookup table* completa e as *lookup tables* para os outros interruptores.

Tabela 3.8. Parte referente ao sector I da *lookup table* do IGBT T1

Segmento	Sector I					
	1a	1b	2a	2b	3	4
1	0	0	0	0	0	0
2	0	0	0	1	1	1
3	0	1	1	1	1	1
4	1	1	1	1	1	1
5	0	1	1	1	1	1
6	0	0	0	1	1	1
7	0	0	0	0	0	0

Na tabela os valores “0” e “1” indicam o estado do interruptor, desligado ou ligado, controlando a comutação do dispositivo. Desta forma o que o circuito de selecção de segmentos da Figura 3.26 tem de fazer é associar os tempos de comutação determinados ao segmento certo.

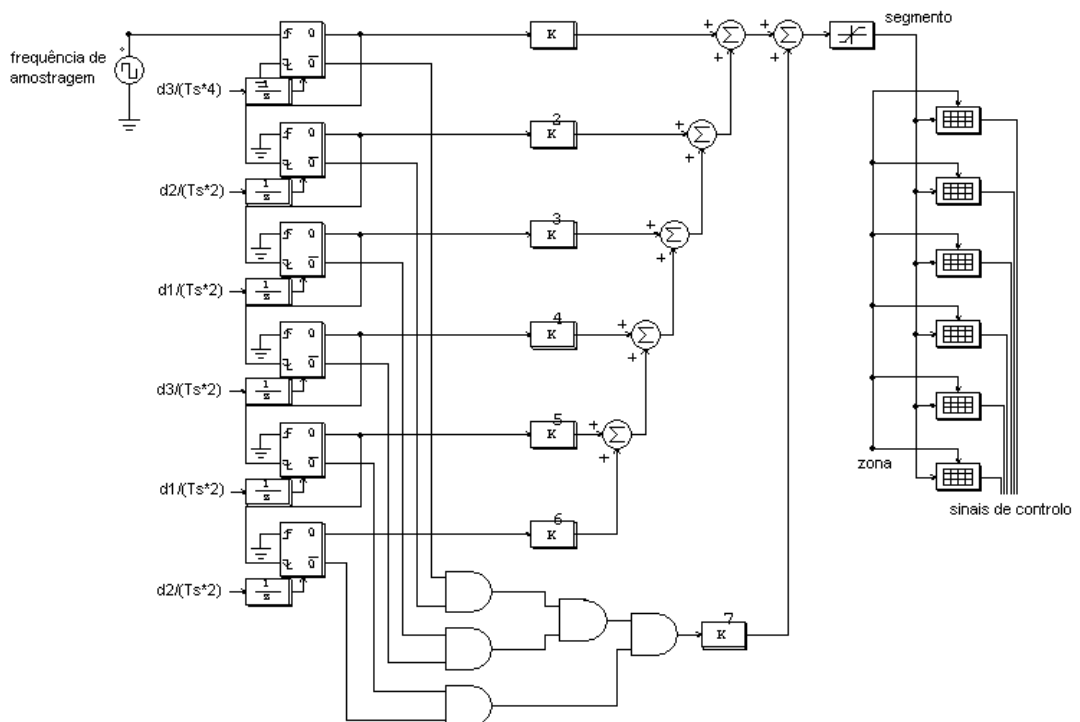


Figura 3.26. Circuito de selecção dos segmentos

Pela figura acima pode-se ver que é escolhida uma frequência de amostragem onde cada período corresponde a uma sequência de 7 segmentos. O sinal que indica a zona também tem de ser amostrado à frequência escolhida. No fim deste circuito tem-se os sinais de controlo que comandam os pares de interruptores existentes na topologia NPC de três níveis.

De forma a concluir esta secção vai-se analisar os resultados obtidos com a simulação da MLI Vectorial explicada atrás. A simulação é realizada nas mesmas condições das simulações anteriormente realizadas.

Na Figura 3.27 estão representados os sinais de comando para os interruptores de um braço, sem os seus complementares. Pode-se observar que são um pouco diferentes dos sinais de controlo já analisados, tendo um padrão de impulsos distinto.

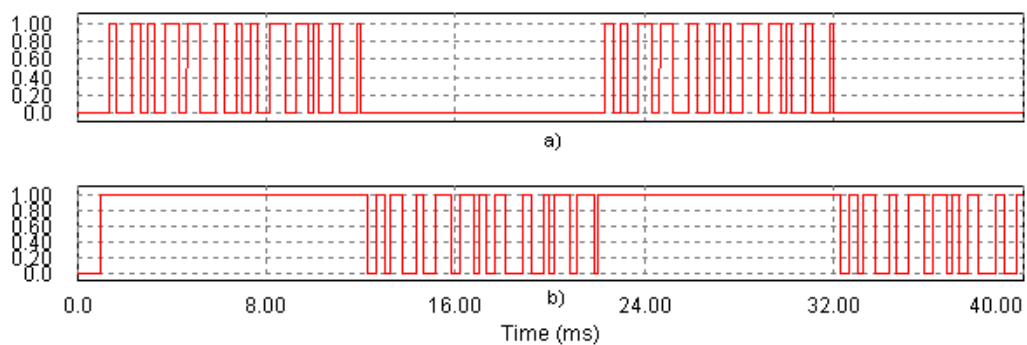


Figura 3.27. Sinais de controlo para os interruptores de um braço do conversor

Com um índice de modulação igual a 1, obteve-se as ondas de tensão e de corrente no ponto médio, ilustradas na Figura 3.28 e na Figura 3.29, onde a tensão se apresenta em volta da tensão nula e a corrente com amplitudes ligeiramente superiores aos casos estudados anteriormente.

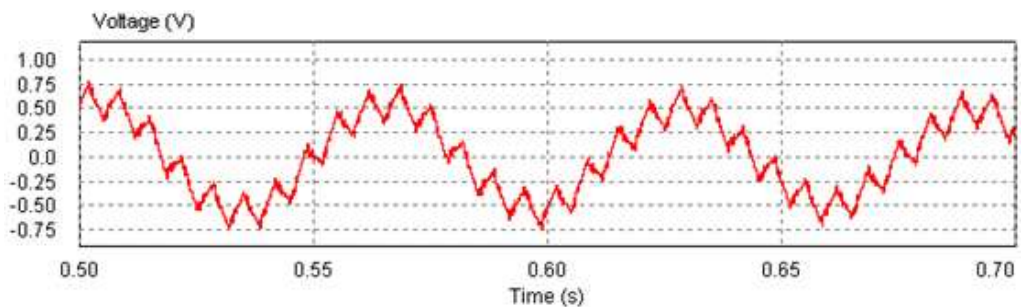


Figura 3.28. Tensão no ponto médio com MLI vectorial

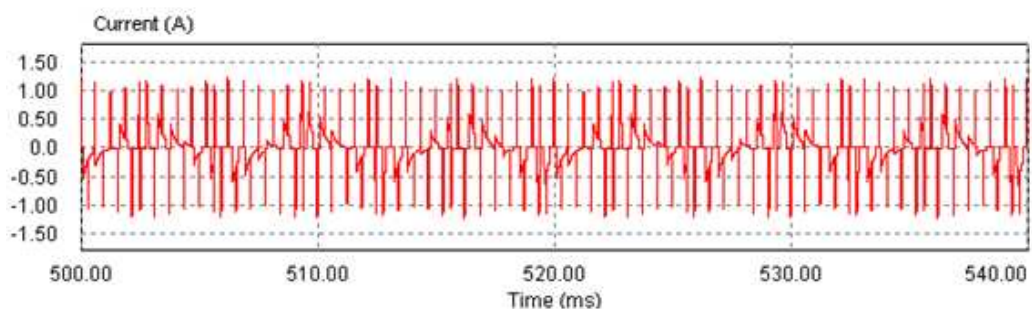


Figura 3.29. Corrente no ponto médio com MLI vectorial

As ondas de tensão na carga estão representadas na Figura 3.30 e os respectivos espectros harmônicos na Figura 3.31. Examinando as figuras repara-se que as formas das tensões são semelhantes em relação à MLI com portadores, como seria de esperar, mas os espectros harmônicos são diferentes. Na Figura 3.31 vê-se que os harmônicos de maior amplitude surgem à volta da frequência de amostragem (1,6 kHz), e que a amplitude da frequência fundamental é superior às restantes modulações o que se vai reflectir no valor eficaz da tensão.

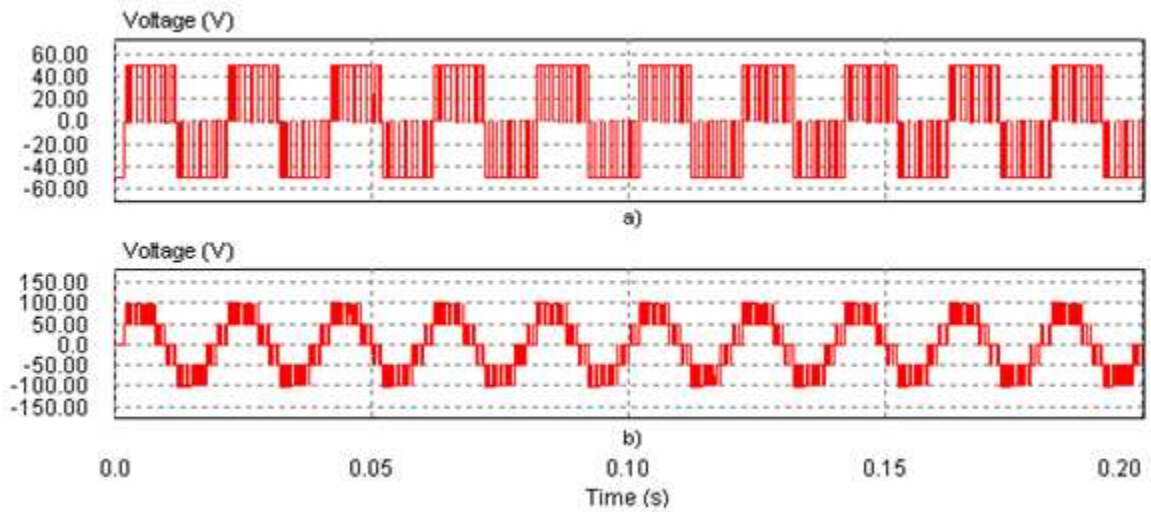


Figura 3.30. Tensão entre: a) fase e ponto médio e b) entre fases

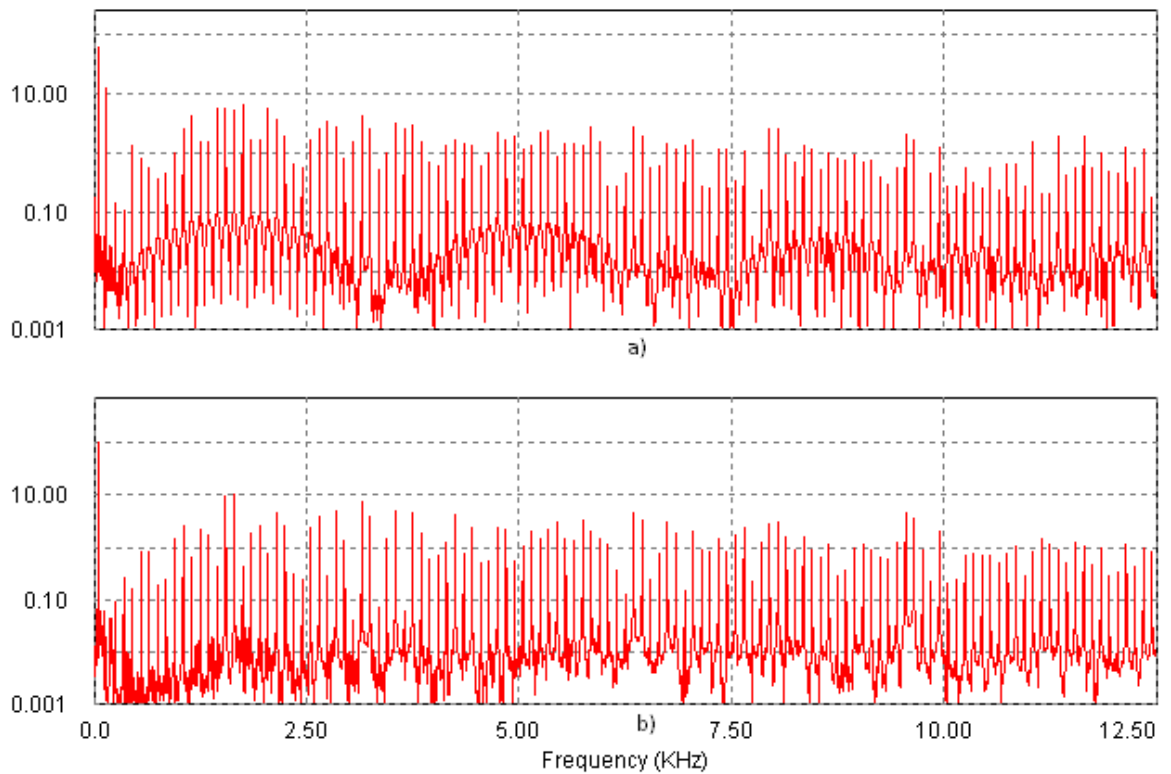


Figura 3.31. Espectro harmónico da tensão entre: a) fase e ponto médio e b) entre fases

Por fim falta comparar o valor eficaz da tensão e a THD para vários valores de índices de modulação. Para isso foram construídas a Tabela 3.9 e a Tabela 3.10, onde a primeira tem o valor eficaz e a THD da tensão entre fase e ponto médio para índices de modulação de 0,25, 0,5, e 1 e a segunda para tensão entre fases.

Tabela 3.9. Valores RMS e de THD da tensão entre a fase e o ponto médio para três índices de modulação diferentes, com MLI Vectorial

Índice de modulação	RMS	THD
1	43,9 V	0,43
0,5	33,3 V	1,22
0,25	25,0 V	2,00

Tabela 3.10. Valores RMS e de THD da tensão entre fases para três índices de modulação diferentes, com MLI Vectorial

Índice de modulação	RMS	THD
1	72,6	0,28
0,5	40,0	0,52
0,25	30,0	1,25

Comparando estas tabelas com as tabelas produzidas para analisar a MLI com portadoras repara-se que para um índice de modulação igual a 1, a performance da MLI Vectorial é superior tanto a nível do valor eficaz produzido como do conteúdo harmónico, apesar da modulação com injeção de terceiro harmónico também conseguir uma performance semelhante com este índice de modulação. À medida que o índice de modulação diminui a performance da modulação vectorial continua a ser superior, passando a reflectir-se esta superioridade mais ao nível de conteúdo harmónico do que ao nível do valor eficaz. Falta ainda falar nas perdas nos semicondutores que para o caso da modulação vectorial apresenta valores menores devido à estratégia de comutação produzida.

3.7 - Conclusões

Neste capítulo foram simulados vários algoritmos de controlo tendo em vista a sua implementação. Em termos de simplicidade a estratégia de duas portadoras é a mais indicada de se implementar, mas em termos de performance a estratégia de modulação vectorial consegue maiores níveis de tensão, melhor conteúdo harmónico e menores perdas.

Capítulo 4

Implementação do Conversor Multinível

Na implementação do conversor vão ser referidos todos os passos dados até à montagem final, dando maior relevância à descrição do sistema de controlo, dos módulos de IGBTs e dos comandos de *drive*.

4.1 - Introdução

A montagem do equipamento experimental foi dividida em 4 partes:

- Rectificador;
- Conversor Multinível;
- Sistema de controlo;
- Carga.

Na Figura 4.1 está o diagrama de blocos de todo o conjunto. Assim, no decorrer deste capítulo, vão ser detalhados cada um destes blocos, caracterizando e descrevendo o seu funcionamento.

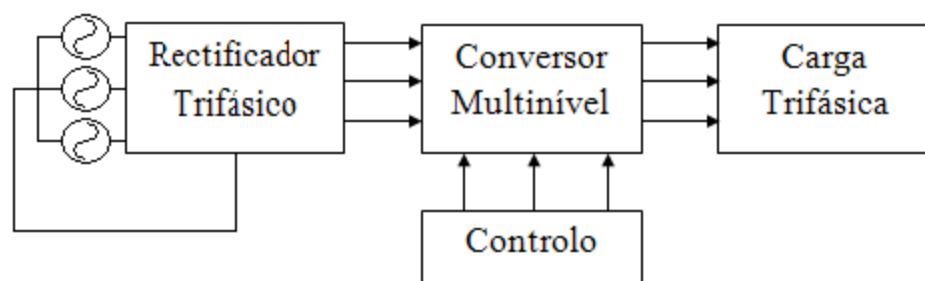


Figura 4.1. Diagrama de blocos do equipamento experimental

4.2 - Rectificador

Como se viu em 3.2 - é necessário criar um barramento DC com ponto médio acessível para a entrada do conversor multinível. Além desta característica é importante que o *ripple* de tensão seja pequeno e o ponto médio estável. Por essas razões optou-se por utilizar uma alimentação trifásica por esta ter o neutro acessível e um *ripple* menor quando rectificada. A Figura 4.2 ilustra todo o circuito de rectificação que liga ao conversor multinível. Pode-se ver que a amplitude das tensões de alimentação AC é controlada por um VARIAC trifásico, depois rectificada por uma ponte de díodos, e por fim filtrada por um conjunto de duas bobinas de 100mH e dois condensadores de 1mF.

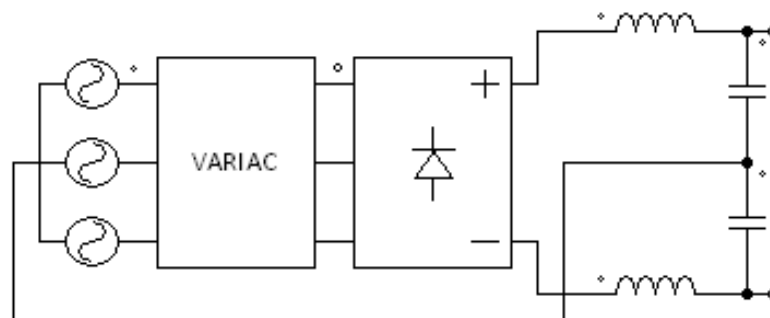


Figura 4.2. Circuito de rectificação das tensões da rede

Pode-se ver que o neutro está ligado ao ponto médio garantindo um maior equilíbrio das tensões em relação a não ter o neutro acessível. No entanto, o inversor funciona correctamente mesmo sem a fixação exterior da tensão no ponto médio. Neste caso, uma malha adicional de controlo desta tensão deve ser incluída no algoritmo de controlo do inversor.

4.3 - Conversor multinível

A topologia do conversor multinível é a NPC de 3 níveis que está ilustrada na Figura 4.3, onde existem 18 semicondutores, entre díodos e IGBTs, que originam 14 pontos de ligação. Estes pontos tornam-se relevantes quando é necessário ligar os semicondutores. Na prática, existem perdas e interferências que podem ser eliminadas ou reduzidas se as distâncias entre estes pontos forem encurtadas.

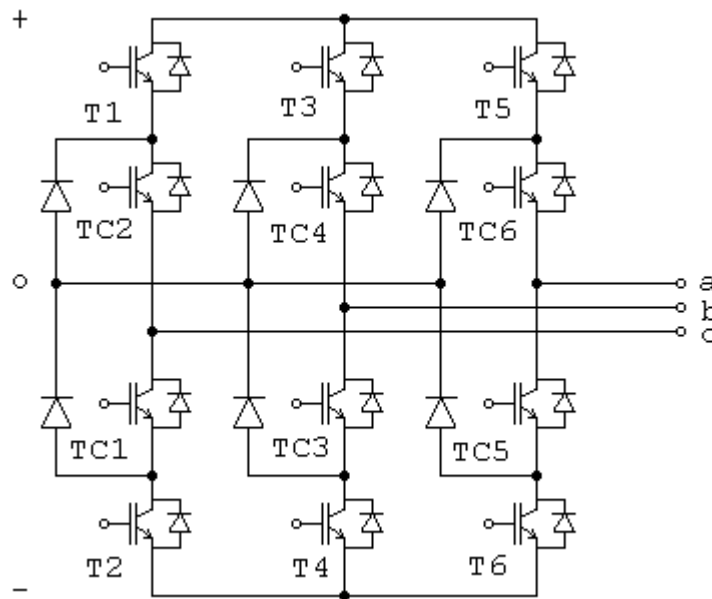


Figura 4.3. Conversor NPC de 3 níveis

Tendo em consideração os cuidados com as ligações os dispositivos utilizados para a montagem do conversor foram os módulos de IGBTs: SK50MLI065 [47]. Este módulo contém um braço completo de um conversor NPC de três níveis, bastando ter mais dois módulos para completar o conversor e assim simplificar e reduzir as ligações entre semicondutores. No Anexo C está ilustrada a placa onde os módulos foram ligados, e pode-se ver que o número de ligações está reduzido ao barramento DC com o ponto médio. A placa tem ainda três sensores de corrente (LTS 15-NP) para protecção em corrente, que será abordada na secção 4.4.2 - .

Os módulos de IGBTs são constituídos por IGBTs que suportam 600V de tensão de bloqueio e uma corrente de 54A o que significa que considerando uma margem de segurança habitual se pode ter um conversor capaz de suportar uma tensão e corrente de entrada de 600 V e 25 A, respectivamente.

Estas são características que satisfazem os objectivos experimentais de forma a permitir uma vasta gama de tensões e de frequência de comutação para o conversor multinível.

4.4 - Sistema de controlo

O conversor NPC de três níveis para ser controlado necessita de 6 sinais independentes mais os seus complementares, como já foi referido. Assim a plataforma de controlo tem de ser capaz de gerar 6 sinais PWM independentes. Foram analisadas duas opções para controlar o conversor: dsPIC30F da *Microchip* ou um DSP (TMS320F2812) da *Texas Instruments*. No entanto, a função de gerar PMWs do dsPIC30F apenas apresenta 4 sinais independentes, o que obrigaria a desenvolver novas funções de forma a poder gerar 6 sinais independentes, o que seria uma limitação no caso da sua aplicação. O DSP já permite ter os 6 sinais necessários para controlar o conversor e por isso foi a plataforma de controlo escolhida.

Na Figura 4.4 pode-se ver o diagrama de blocos do sistema de controlo, onde existem três placas de *drive* correspondentes a cada ramo do conversor. Cada placa recebe do microcontrolador 6 sinais PWM e um *restart* e envia um sinal de inibição.

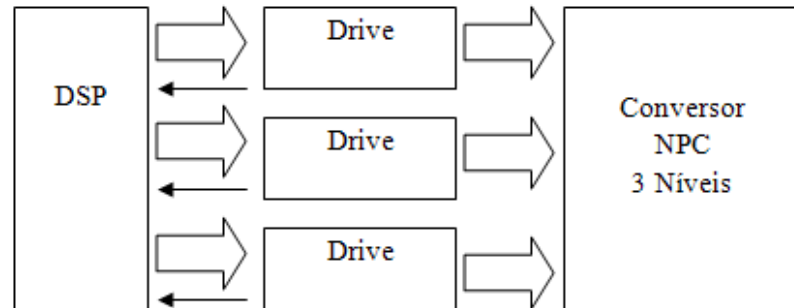


Figura 4.4. Diagrama de blocos do controlo

Nesta secção vai ser analisado e estudado o DSP da *Texas Instruments* tendo em conta as funcionalidades utilizadas nesta implementação e ainda vai ser descrito o modo de funcionamento dos *drives*.

4.4.1 - DSP (TMS320F2812)

O DSP é um microcontrolador que executa processamento digital de sinal em tempo real. A sua arquitectura *Harvard* (Figura 4.5) permite realizar mais MIPS (*Million Instruction per Second*) que um microcontrolador convencional, visto que tem dois barramentos distintos para dados e para o programa.

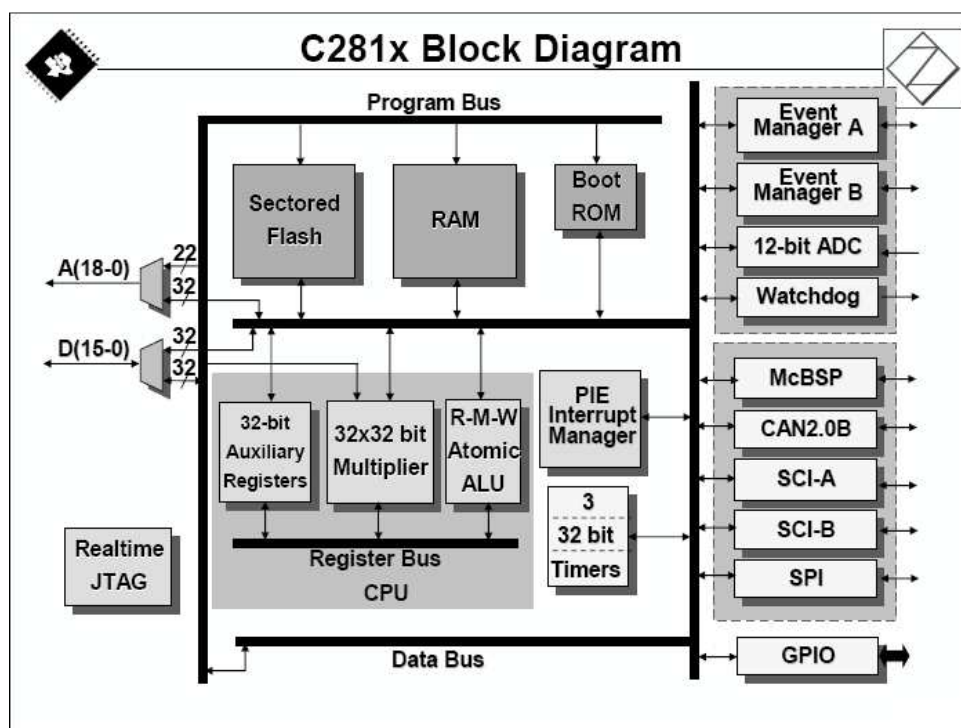


Figura 4.5. Diagrama de blocos do DSP [49]

O TMS320F2812 é um DSP da família c2000 da *Texas Instruments* que está optimizado para controlo digital pois permite controlo integrado de periféricos conservando a sua grande capacidade de processamento. Este apresenta características como:

- Velocidade de processamento de 150MHz
- Vários periféricos de controlo que permitem geração de PWMs
- Funcionamento em vírgula não flutuante

Estas características são fundamentais para o controlo que vai ser efectuado. O facto de o funcionamento não ser em vírgula flutuante limita algumas operações, que facilmente podem ser ultrapassadas através da utilização das bibliotecas IQmath. Um DSP de vírgula flutuante seria muito mais dispendioso.

O *software* de desenvolvimento é o *Code Composer Studio* que permite criar programas de aplicação no DSP em C/C++. Este tem uma interface que permite visualizar dados, testar e compilar o programa (Figura 4.6).

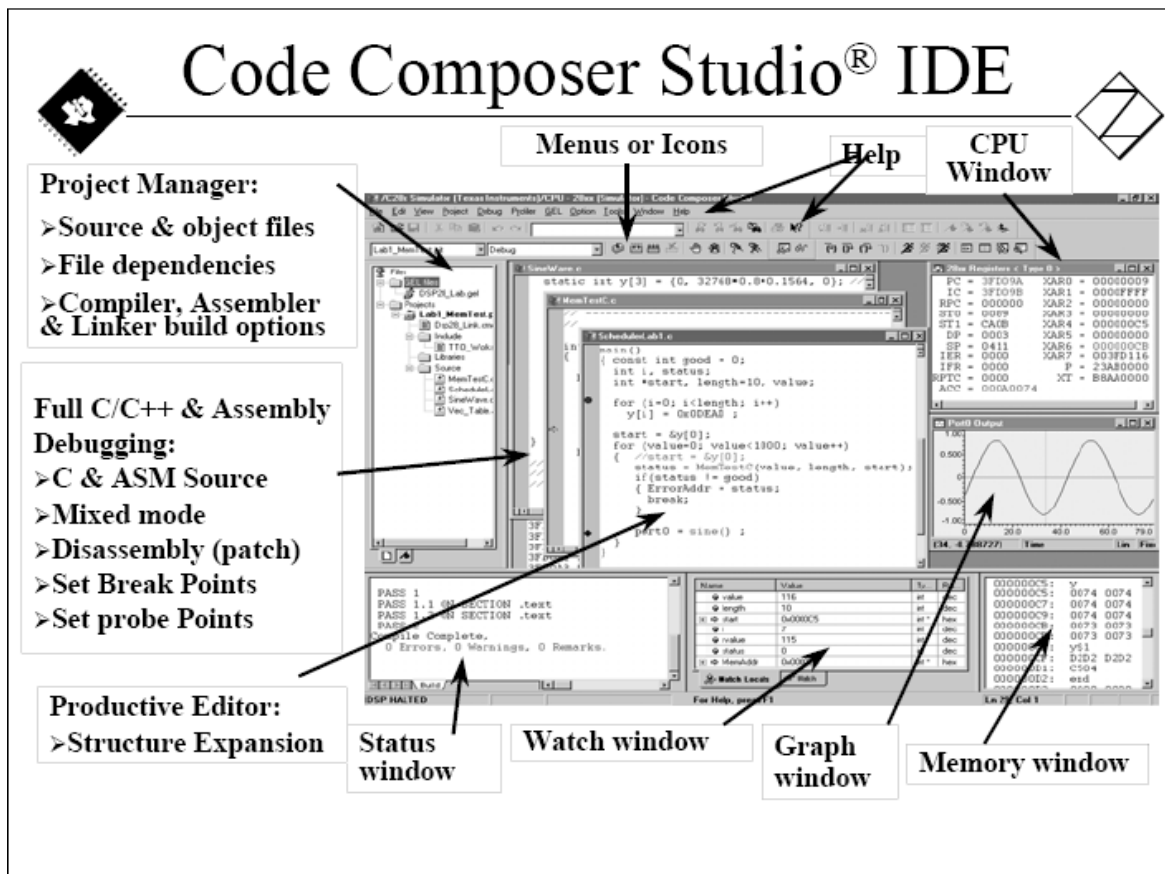


Figura 4.6. Interface do Code Composer Studio [49]

Para melhor compreensão do DSP vão ser explicados de uma forma sucinta os periféricos utilizados para gerar os PWMs.

4.4.1.1 Entradas e Saídas Digitais

O DSP oferece 56 pinos configuráveis como entrada, saída ou função especial. Estes 56 pinos estão distribuídos por 6 portas denominadas GPIO (*General Purpose Input Output*), como mostra a Figura 4.7. Cada pino apesar de poder funcionar como entrada ou saída, tem ainda associada a si uma função especial como é o caso dos PWMs, onde existem 16 pinos próprios para esta função.

As portas têm limites de tensão de entrada entre -0,4V e 4,6V, por isso a utilização de um sinal 5V pode danificar o DSP.

C28x GPIO Pin Assignment		
<u>GPIO A</u>	<u>GPIO B</u>	<u>GPIO D</u>
GPIOA0 / PWM1	GPIOB0 / PWM7	GIOD0 / T1CTrip_PDPINTA
GPIOA1 / PWM2	GPIOB1 / PWM8	GIOD1 / T2CTrip7_EVASOC
GPIOA2 / PWM3	GPIOB2 / PWM9	GIOD5 / T3CTrip_PDPINTB
GPIOA3 / PWM4	GPIOB3 / PWM10	GIOD6 / T4CTrip7_EVBSOC
GPIOA4 / PWM5	GPIOB4 / PWM11	
GPIOA5 / PWM6	GPIOB5 / PWM12	<u>GPIO E</u>
GPIOA6 / T1PWM_T1CMP	GPIOB6 / T3PWM_T3CMP	GPIOE0 / XINT1_XBIO
GPIOA7 / T2PWM_T2CMP	GPIOB7 / T4PWM_T4CMP	GPIOE1 / XINT2_ADCSOC
GPIOA8 / CAP1_QEP1	GPIOB8 / CAP4_QEP3	GPIOE2 / XNMI_XINT13
GPIOA9 / CAP2_QEP2	GPIOB9 / CAP5_QEP4	
GPIOA10 / CAP3_QEP11	GPIOB10 / CAP6_QEP12	
GPIOA11 / TDIRA	GPIOB11 / TDIRB	
GPIOA12 / TCLKINA	GPIOB12 / TCLKINB	
GPIOA13 / C1TRIP	GPIOB13 / C4TRIP	
GPIOA14 / C2TRIP	GPIOB14 / C5TRIP	
GPIOA15 / C3TRIP	GPIOB15 / C6TRIP	
<u>GPIO F</u>	<u>GPIO G</u>	
GPIOF0 / SPISIMOA	GPIOG4 / SCITXDB	
GPIOF1 / SPISOMIA	GPIOG5 / SCIRXDB	
GPIOF2 / SPICLKA		
GPIOF3 / SPISTEA		
GPIOF4 / SCITXDA		
GPIOF5 / SCIRXDA		
GPIOF6 / CANTXA		
GPIOF7 / CANRXA		
GPIOF8 / MCLKXA		
GPIOF9 / MCLKRA		
GPIOF10 / MFSXA		
GPIOF11 / MFSRA		
GPIOF12 / MDXA		
GPIOF13 / MDRA		
GPIOF14 / XF		

Note: GPIO are pin functions at reset

GPIO A, B, D, E include Input Qualification feature

Figura 4.7. Portas e pinos do DSP [49]

4.4.1.2 Sistema de Interrupções

Como foi referido atrás o DSP vai receber um sinal de inibição que pára a geração de PWMs quando é feita uma medição da corrente que excede os limites. Este sinal de inibição está associado a uma interrupção do DSP.

Existem 92 fontes de interrupção no DSP disponíveis através de 14 entradas. Esta diferença entre entradas e fontes de interrupção é apenas possível através da unidade PIE (*Peripheral Interrupt Expansion*), que contém um bloco de 12 linhas com 8 fontes de interrupção cada uma permitindo assim ter 92 fontes de interrupção, como mostra a Figura 4.8. A activação e desactivação das interrupções passa ainda por alguns registos como o PIEIFRx e PIEIERx.

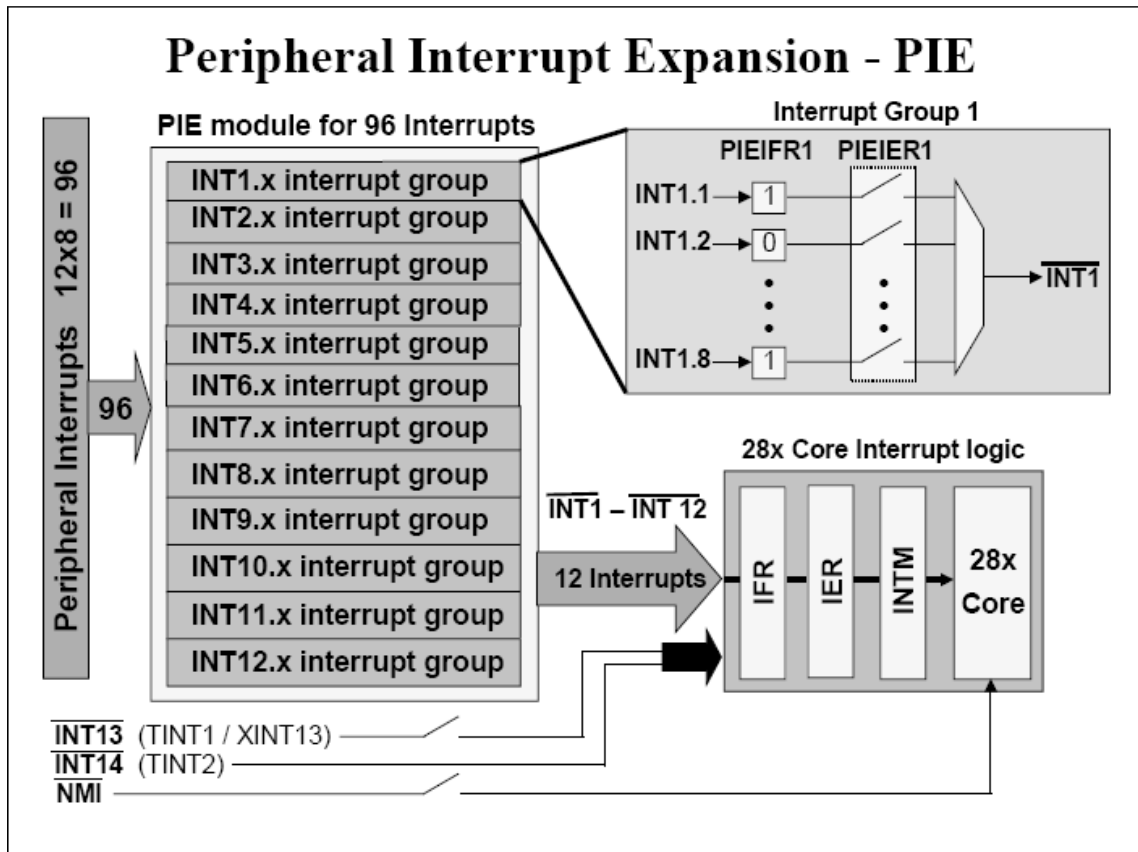


Figura 4.8. Unidade PIE [49]

4.4.1.3 Event Manager

O *Event Manager* (EV) é o módulo que vai permitir criar os 12 sinais de PWM para o conversor multinível. Este módulo é uma ferramenta bastante poderosa para funcionalidades baseadas em temporização, contendo 4 temporizadores de 16bit independentes dos três temporizadores do núcleo de 32bit.

Na realidade o EV está dividido em duas unidades EVA e EVB que são praticamente idênticas, repartindo entre si os 4 temporizadores. Observando o diagrama de blocos do EVA na Figura 4.9 vê-se os temporizadores GP Timer 1 e o GP Timer 2, que associados a eles têm os sinais de saída T1PWM_T1CMP e T2PWM_T2CMP, respectivamente. Mas os sinais PWM a serem utilizados vão ser os das unidades de comparação (*Compare Unit*) que são reguladas pelo *Timer 1* e que geram três sinais PWM independentes. Para gerar os restantes três sinais PWM independentes recorre-se às unidades de comparação do EVB.

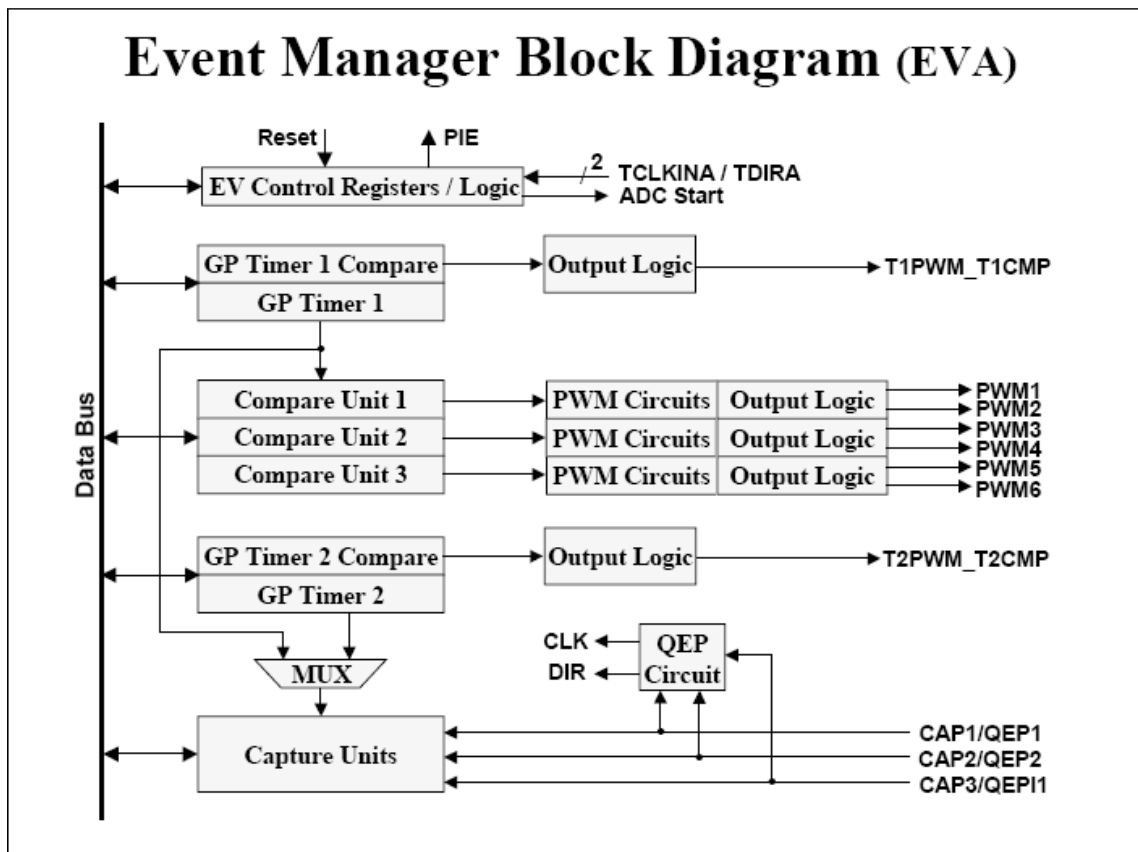
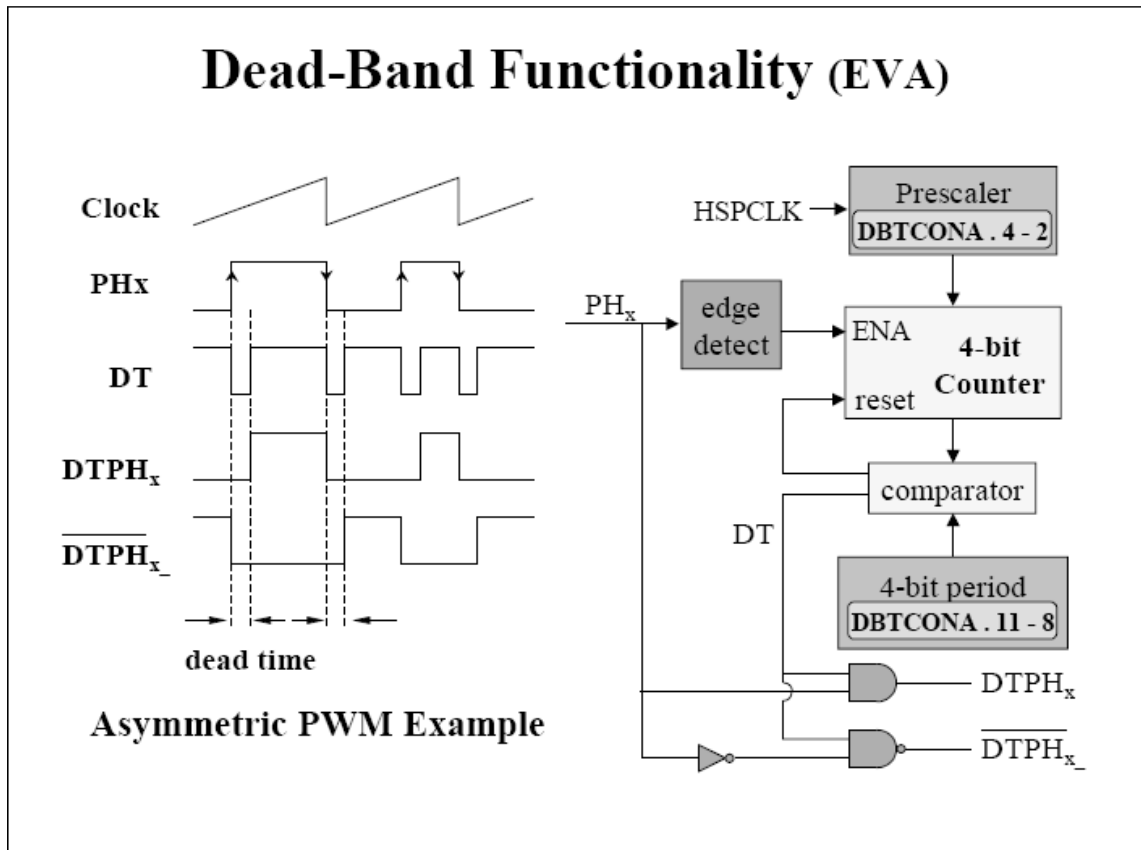


Figura 4.9. Diagrama de blocos do EVA [49]

Pelo diagrama de blocos do EVA vê-se que as suas funcionalidades vão para além da geração de PWMs, tendo ainda uma unidade de captura que pode ser utilizada para calcular a velocidade de rotação de um motor, a largura de impulso de um sinal digital ou para iniciar automaticamente o conversor A/D.

4.4.1.4 Unidade de *Dead Band*

Quando se tem sinais complementares de comando como é o caso dos sinais PWM que comandam o conversor multinível, existe a possibilidade de os interruptores complementares entre si ficarem ligados simultaneamente entre a transição ON de um e OFF do outro, porque estas transições têm tempos diferentes (a comutação ON é mais rápida que a comutação OFF). A acontecer este fenómeno o conversor pode ficar danificado, e para tal não acontecer é normalmente criado um circuito de *Dead Band* por hardware, a DSP da Texas já fornece uma unidade capaz de gerar os tempos mortos, como mostra a Figura 4.10.

Figura 4.10. Unidade de *Dead Time* [49]

4.4.2 - Drive

O circuito de *drive* pode ser visto na sua totalidade no Anexo D. Este tem como funções os seguintes pontos:

- Isolar o circuito de sinal do circuito de potência;
- Converter os sinais da DSP em sinais capazes de controlar os IGBTs;
- Gerar tempo morto;
- Efectuar protecção em corrente;
- Garantir protecção contra curto-circuito nos ramos.

O diagrama de blocos do circuito de *drive* está apresentado na Figura 4.11 onde se pode analisar a lógica do condicionamento do sinal. É feita uma medição de corrente para garantir que a corrente se encontra entre os -12A e +12A, caso contrário os sinais de PWM são inibidos. Após existir um sinal de inibição deste tipo o *flip-flop* tem de ser rearmado por um sinal de *restart* vindo do DSP. Este sinal apenas ocorre três vezes, sendo entendido que a repetição do erro pode dever-se a algo mais que um pico de corrente. Os sinais de PWM passam ainda por uma protecção contra curto-circuito num ramo do conversor, depois por um circuito de geração de tempo morto e por fim pelo isolamento óptico.

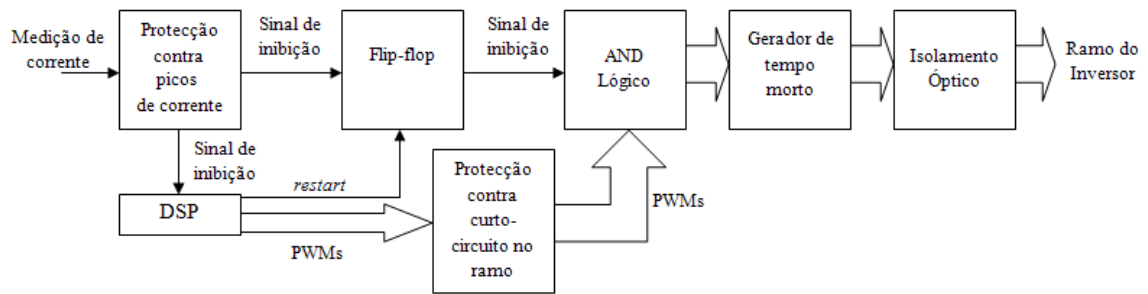


Figura 4.11. Diagrama de blocos do circuito de drive

4.4.2.1 Protecção contra excesso de corrente

O circuito de protecção contra valores elevados de corrente limita a corrente a uma gama entre -12A e +12A, para isso são utilizados sensores de efeito de Hall (LEM - LTS 15-NP) na placa de potência (placa onde estão montados os módulos de IGBTs), que medem a corrente nos ramos. Os LEMs foram montados fazendo parte do barramento DC de forma a diminuir perdas e indutâncias parasitas. O sinal de saída deste sensor está entre 0 e 5V, sendo que quando a corrente é nula tem uma tensão de saída de 2,5V. Tendo em conta este tipo de funcionamento foram montados dois circuitos comparadores com dois LM311 como mostra a Figura 4.12. A saída do circuito comparador da esquerda fica activa quando o sinal do LEM ultrapassa 1V de amplitude, o que corresponde a ter a circular corrente menor que -12A. A saída do circuito comparador do lado direito fica activa quando a tensão passa os 4V, o que corresponde a uma corrente superior a 12A no ramo do conversor. Quando a corrente se encontra dentro da gama de funcionamento dimensionado as saídas dos circuitos comparadores são complementares sendo necessário recorrer a uma porta lógica, equivalente a um “ou-exclusivo” (74LS86), para ter um sinal ao nível alto quando os valores da corrente estão correctos e um sinal de nível baixo quando ocorre um erro.

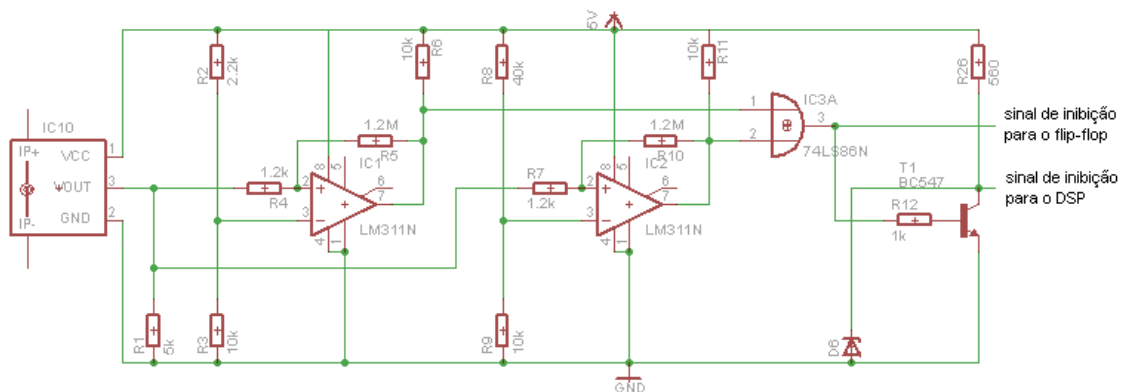


Figura 4.12. Circuito de protecção contra picos de corrente [49]

Na figura acima pode-se ainda ver que é feito um condicionamento de sinal especial para o DSP, que para além de ter uma tensão máxima de 3,3V devido ao zener, tem ainda uma saída em colector aberto com objectivo de tornar este um sinal único, ligando esta saída às outras

duas resultantes das drives respectivas. Assim quando ocorrer um erro num dos braços este não é diferenciado pelo DSP, desligando de imediato todos os PWMs.

4.4.2.2 Circuito do *flip-flop*

O *flip-flop* neste circuito tem a função de guardar a mudança de valor vinda do sinal de inibição, isto é, quando ocorre um erro o sinal de inibição vai a zero fazendo *reset* ao *flip-flop* e coloca a sua saída a zero inibindo os PWMs; a sua saída permanece em zero até ser dado um sinal de *restart*. Isto evita que os PWMs sejam ligados e desligados constantemente quando ocorre uma anomalia que faça comutar o sinal de inibição. O sinal de *restart* é dado pelo DSP quando o sinal de inibição tiver o valor lógico 1 e não tiver ocorrido mais de três tentativas de inicialização do *flip-flop*.

O *flip-flop* utilizado é o HEF-4013 do tipo D, onde a saída é actualizada pelo sinal de *clock*, permitindo assim manter o valor até ser mudado o sinal de *clock*. Este circuito está ilustrado na Figura 4.13. É utilizado ainda um *schmitt-trigger* (74LS14) para inverter o sinal que vai para o pino de *reset*.

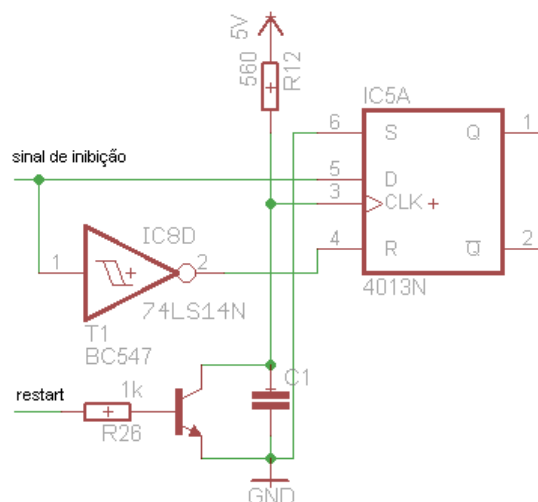


Figura 4.13. Circuito do *flip-flop*

4.4.2.3 Circuito de protecção contra curto-circuitos num ramo e de geração de tempo morto

O circuito de protecção contra curto-circuitos num ramo é feita através de um NAND de 4 portas (74LS20), que juntamente com uma série de ANDs de 2 portas (74LS08), inibem os PWMs em caso de anomalia. Este circuito está representado na Figura 4.14.

A geração de tempo morto foi já referida no âmbito das funcionalidades do DSP, mas este atraso causado nas ondas de PWM foi também implementado a nível de hardware. Com malhas RC do circuito da Figura 4.14 gerou-se um atraso no flanco de subida dos 4 PWMs de uma *drive*. A malha é precedida por um *schmitt-trigger* que evita efeitos de carga e antecipada por outro *schmitt-trigger* que devolve a onda à forma original de onda quadrada, visto que a malha

atrasa o sinal devido ao tempo que demora a carregar o condensador, formando uma rampa no flanco de subida do sinal.

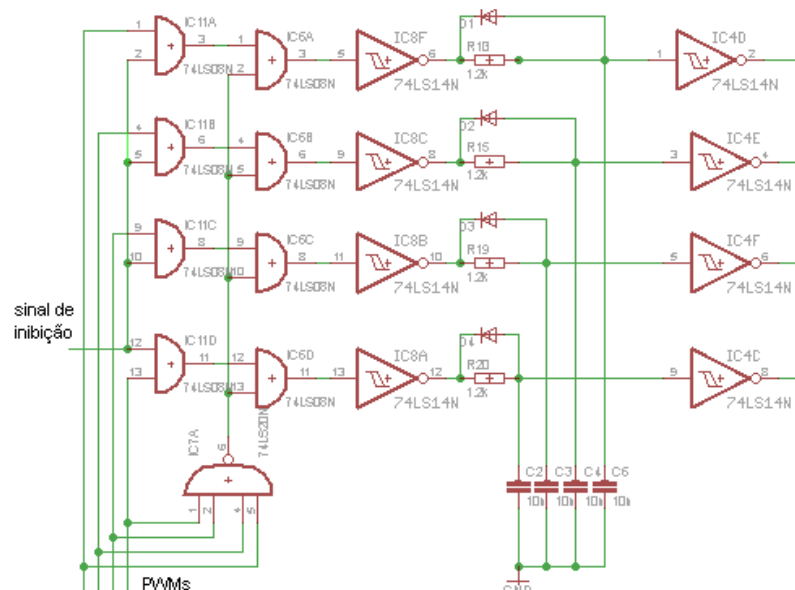


Figura 4.14. Circuito de protecção contra curto-circuitos num ramo e de geração de tempo morto

O isolamento entre o circuito de sinal e o circuito de potência é feito pelos HCPL3180, que têm a dupla funcionalidade de serem optocopladores e *drive* para MOSFETs e IGBTs. Estes têm a capacidade de fornecer corrente de pico máxima de 2 A, de comutar a 250 kHz e de ter um atraso máximo na resposta de 200 ns. É ainda através do HCPL3180 que são gerados os sinais para os IGBTs, como mostra o circuito da Figura 4.15. Aqui pode-se ver que é necessário uma fonte isolada para ter os 15 V pedidos à saída do HCPL, e estes surgem de um conversor DC-DC IL1215 de 2 W.

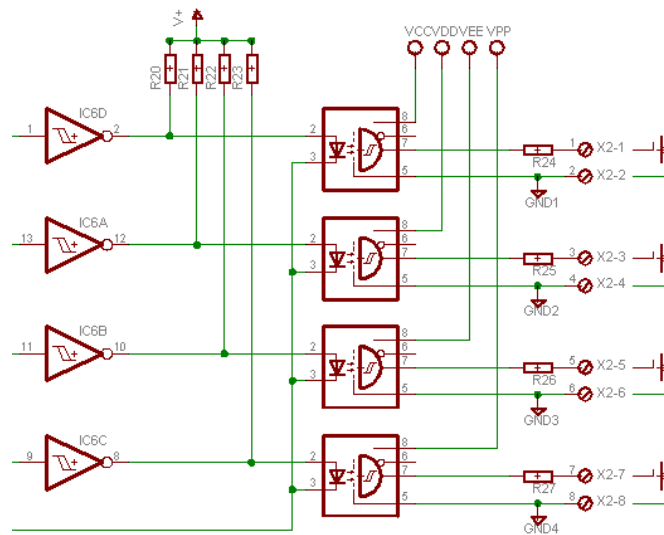


Figura 4.15. Circuito de aplicação do HCPL3180

4.5 - Conclusões

Este capítulo documentou passo a passo todo o processo de implementação do conversor multinível. Sendo este o processo mais moroso de todo o trabalho, a implementação prática é algo que requer bastante tempo, paciência e minuciosidade. A escolha dos componentes certos e a sua distribuição espacial é algo bastante discutível e sujeito a erros.

Capítulo 5

Equipamento desenvolvido e resultados experimentais

Este capítulo pretende ilustrar o equipamento experimental utilizado e analisar os resultados obtidos para o conversor NPC de três níveis implementado, de forma a verificar as características de um conversor multinível, e testar até que ponto foi bem sucedida a implementação.

5.1 - Introdução

O equipamento a ser apresentado passa pela montagem rectificadora, a plataforma DSP para o sistema de controlo, o conversor NPC e a carga.

Na obtenção de resultados experimentais fez-se uma análise semelhante à existente para as simulações, sendo medidas tensões e correntes relevantes para a validação das características de um conversor multinível.

5.2 - Equipamento experimental

A Figura 5.1 tem a fotografia do DSP (TMS320F2812) ligado a uma placa que faz a distribuição dos sinais PWM, do *restart* e do sinal de inibição, para as três *drives*.

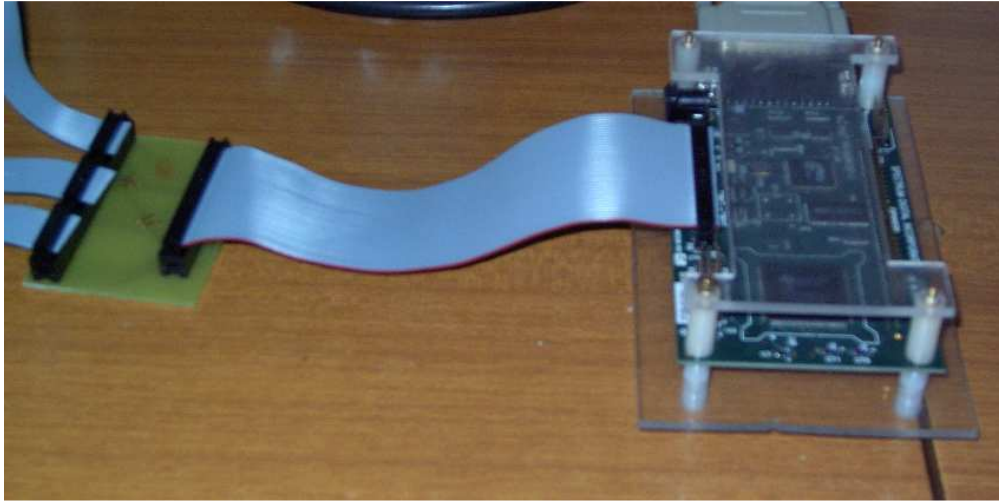


Figura 5.1. DSP ligada à placa de distribuição de sinais

Cada *drive* corresponde ao controlo de um ramo e por isso são idênticas entre si. A Figura 5.2 mostra uma das *drives* onde se pode ver a zona de isolamento dos optocopladores, condicionamento do sinal vindo do LEM, geração de tempo morto e protecção contra curto-circuitos num ramo.

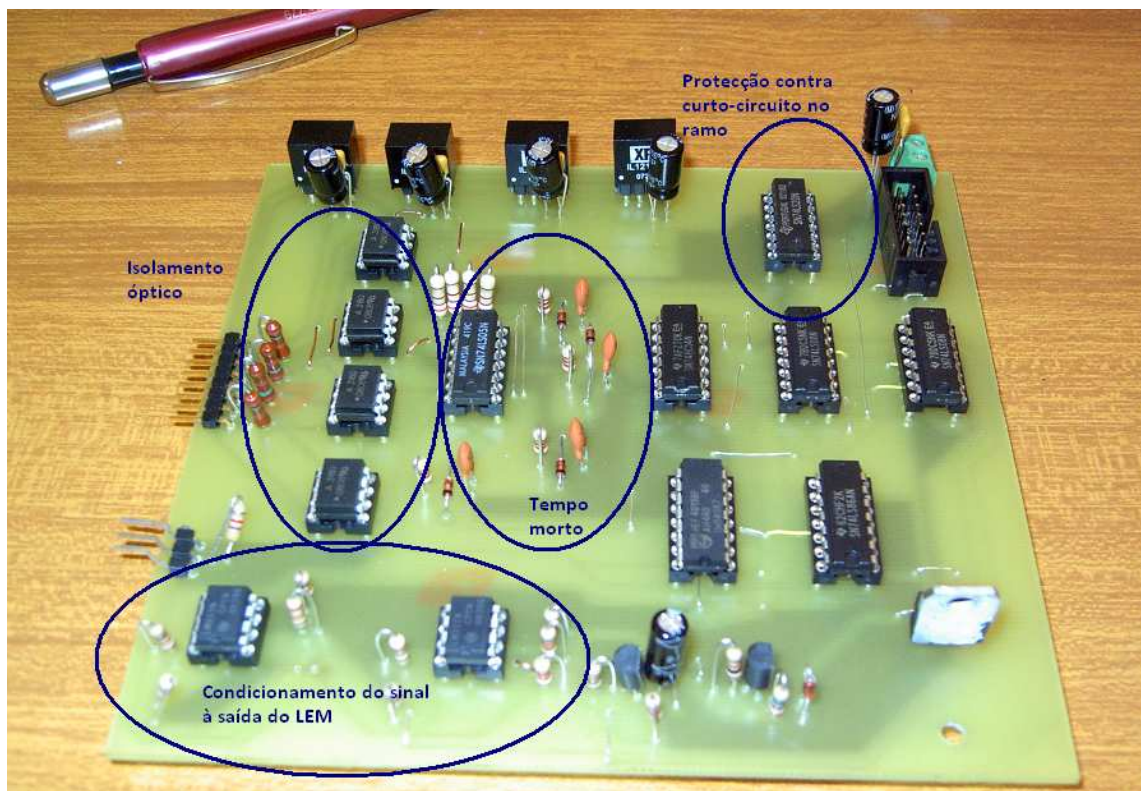


Figura 5.2. Placa de *drive*

O conversor NPC foi concebido sobre um dissipador único garantindo um apoio exclusivo para os módulos de IGBTs. Na Figura 5.3 pode-se ver a parte de cima do conversor, a

distribuição de ligações para as *gates* dos IGBTs, três LEMs de corrente e seis condensadores de alta frequência. Na Figura 5.4 tem-se uma visão lateral do conversor, onde se pode ver os três módulos SK50MLI065 que formam o conversor NPC.



Figura 5.3. Parte de cima do conversor NPC



Figura 5.4. Visão lateral do conversor NPC

O barramento DC com ponto médio acessível foi obtido pelo retificador da Figura 5.5 alimentado pelo Variac trifásico da Figura 5.6.

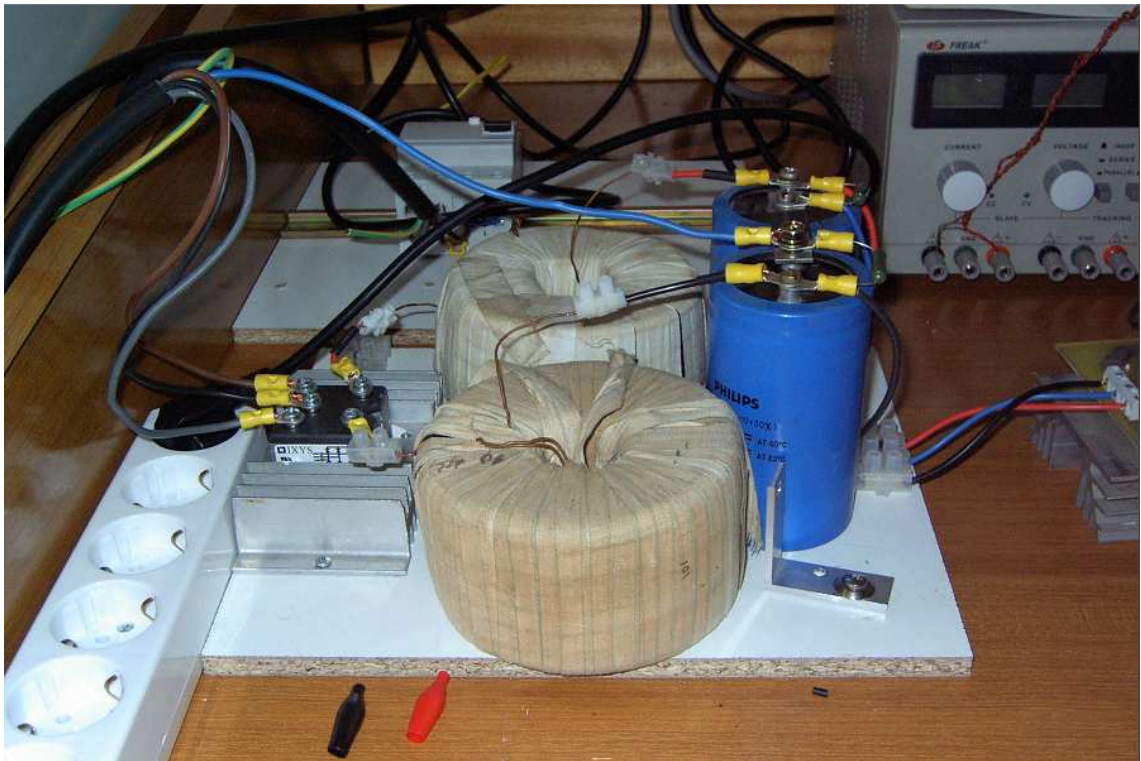


Figura 5.5. Montagem rectificadora



Figura 5.6. Variac trifásico

A carga utilizada nos ensaios do conversor foi o motor da Figura 5.7.



Figura 5.7. Motor utilizado como carga

A Figura 5.8 mostra todos os elementos da montagem ligados entre si sobre a banca de trabalho e na Figura 5.9 tem-se uma visão sobre todo o equipamento experimental como osciloscópio, multímetros e pinça amperimétrica.

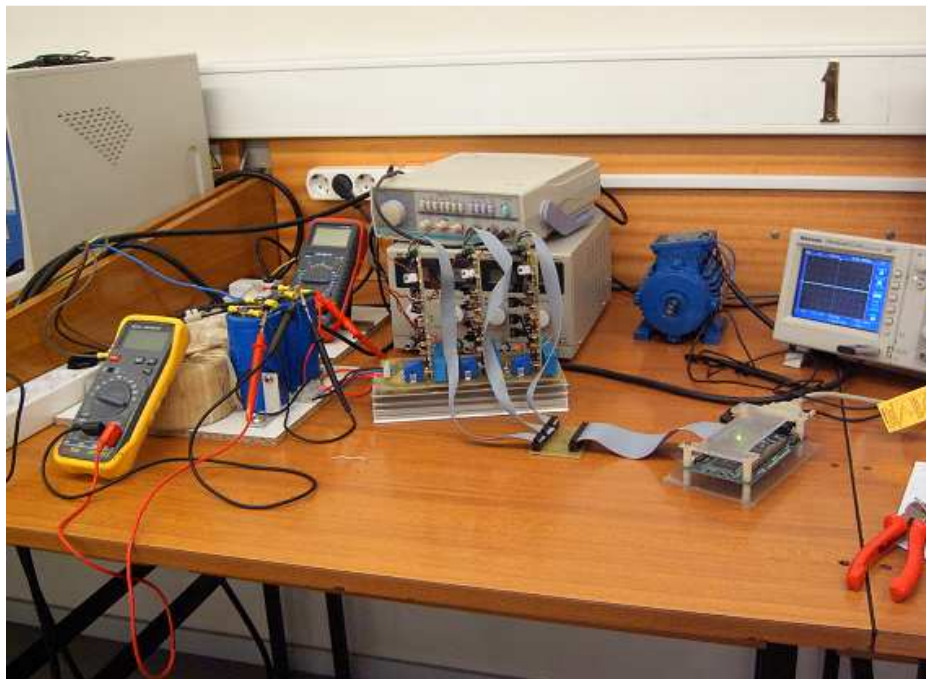


Figura 5.8. Conjunto rectificador, controlo, conversor e carga



Figura 5.9. Visão sobre a banca de trabalho

5.3 - Resultados experimentais

Os testes ao conversor foram realizados para duas frequências de saída diferentes, 50 Hz e 25 Hz, e com duas frequências de comutação, de 1,6 kHz e 6,25 kHz. A modulação utilizada para gerar os sinais de saída foi a modulação com duas portadoras triangulares em fase, que foi referida no capítulo de simulação. As principais formas de onda a serem observadas vão ser a tensão simples, a tensão composta e corrente na carga, tal como o espectro harmónico. Foi ainda realizado um ensaio com injeção de terceiro harmónico.

5.3.1 - Frequência de comutação de 1.6 kHz

Com a tensão do barramento DC em 150 V¹ e a comutar a uma frequência de 1,6kHz para gerar uma onda de 50Hz à saída obteve-se o resultado da Figura 5.10, onde a onda de corrente na carga está sobreposta sobre a tensão simples.

¹ Já na parte final do trabalho foram realizados com sucesso ensaios com 300 V no barramento DC.

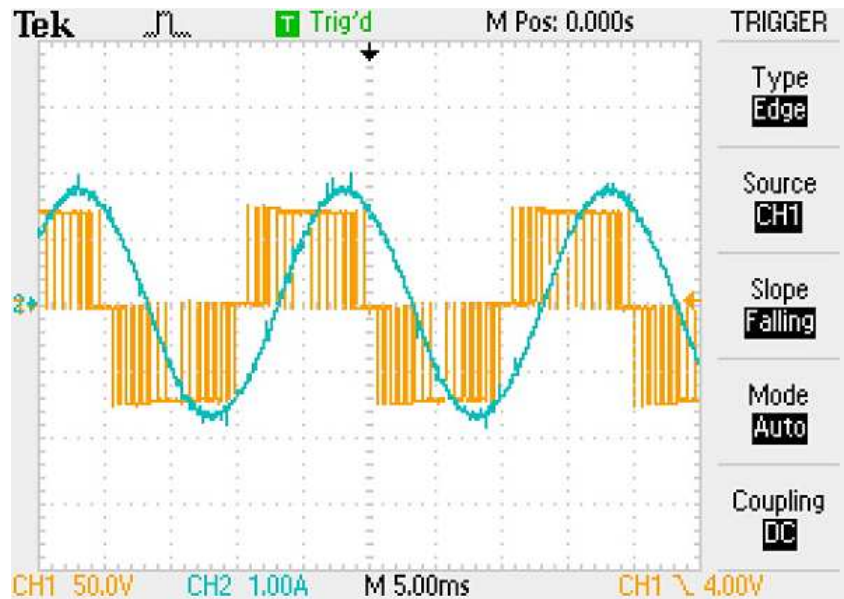


Figura 5.10. Tensão simples e corrente na carga a 50Hz

A onda de tensão sintetiza-se em três níveis de tensão: -75 V, 0 V e 75 V, sendo visível o recurso ao ponto médio do barramento DC, característica que distingue o conversor multinível de um conversor convencional de dois níveis. É ainda perceptível a forma de onda particular da modulação sinusoidal. A corrente é sinusoidal a 50 Hz como seria de esperar.

Como termo de comparação com as simulações realizadas observou-se também o espectro harmónico da tensão simples (Figura 5.11). Aqui pode-se ver o primeiro harmónico à frequência de comutação (1.6 kHz) e os seus múltiplos. Este espectro assemelha-se ao espectro da simulação no seu conteúdo harmónico.

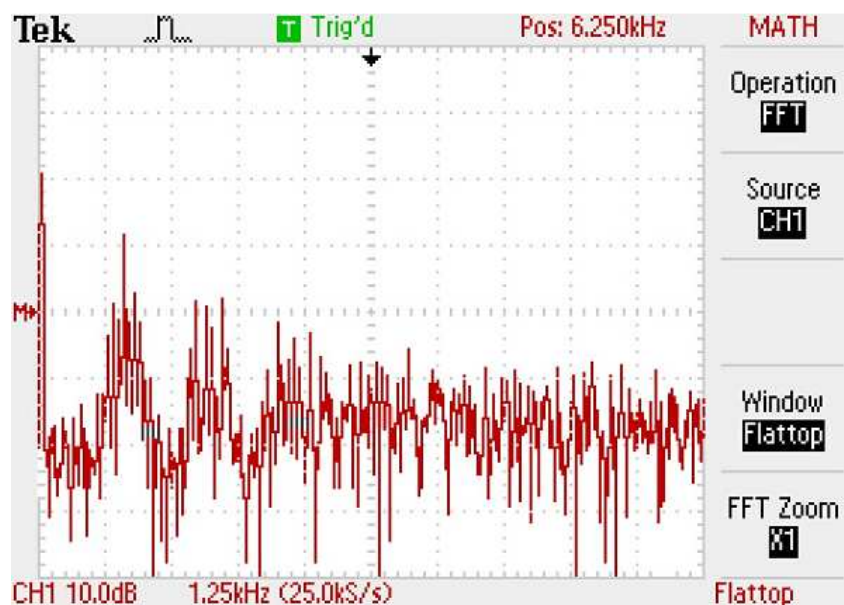


Figura 5.11. Espectro harmónico da tensão simples

Na Figura 5.12 observa-se a tensão composta tendo como referência a mesma onda de corrente da figura anterior. Aqui a tensão apresenta 5 níveis: -150 V, -75 V, 0 V, 75 V e 150 V, resultantes da diferença de patamares entre duas fases.

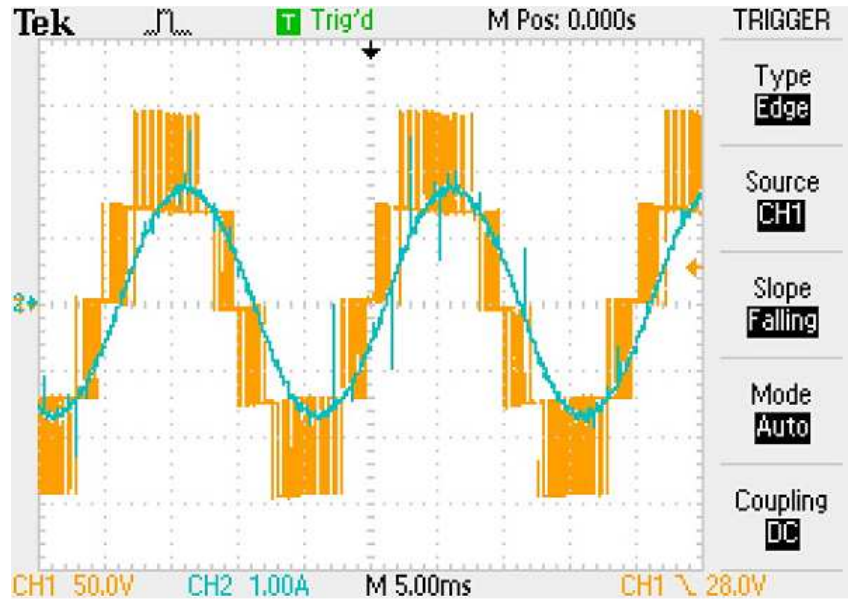


Figura 5.12. Tensão composta e corrente na carga a 50Hz

O espectro harmônico da tensão composta está representado na Figura 5.13. Deixa de existir harmônico à frequência de comutação ficando apenas os harmônicos em redor desta frequência. O conteúdo harmônico é semelhante ao simulado.

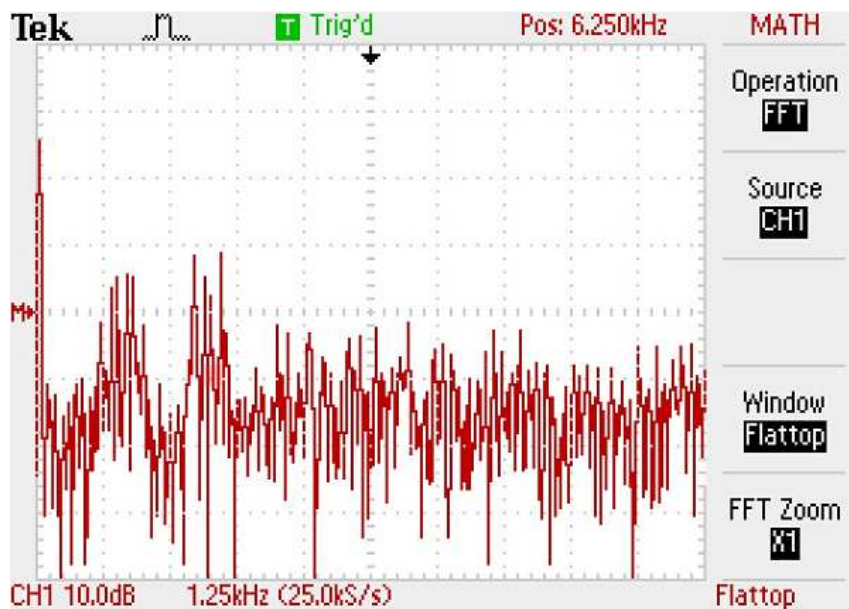


Figura 5.13. Espectro harmônico da tensão composta

De forma a analisar o comportamento das correntes no ponto médio e no barramento DC são apresentadas a Figura 5.14 e a Figura 5.15. Na Figura 5.14 tem-se a corrente no ponto médio em baixo e a tensão simples como referência, assim pode-se ver que a frequência da corrente é três vezes a da tensão devido a estar-se a falar de um sistema trifásico. Na Figura 5.15 observa-se a corrente de entrada nos ramos do conversor e a corrente na carga como referência.

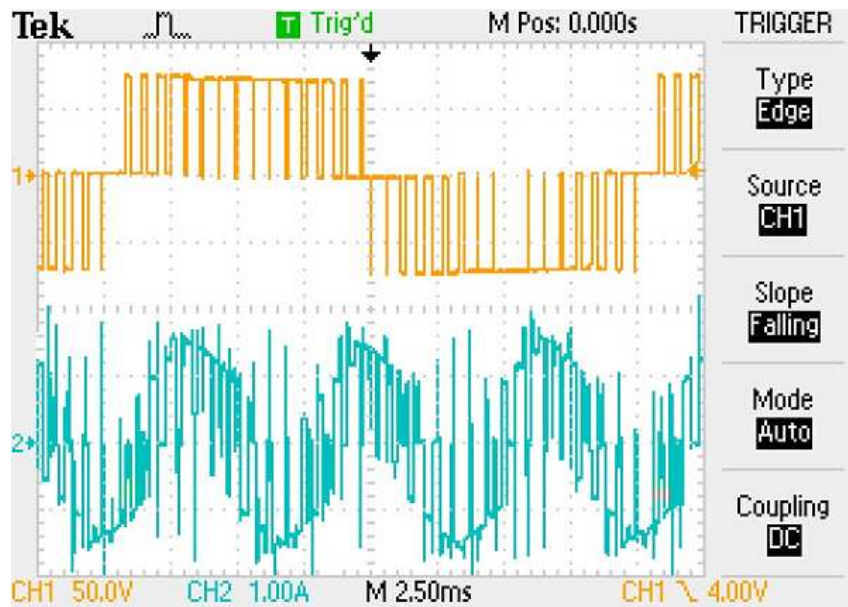


Figura 5.14. Tensão simples (em cima) e corrente no ponto médio (em baixo)

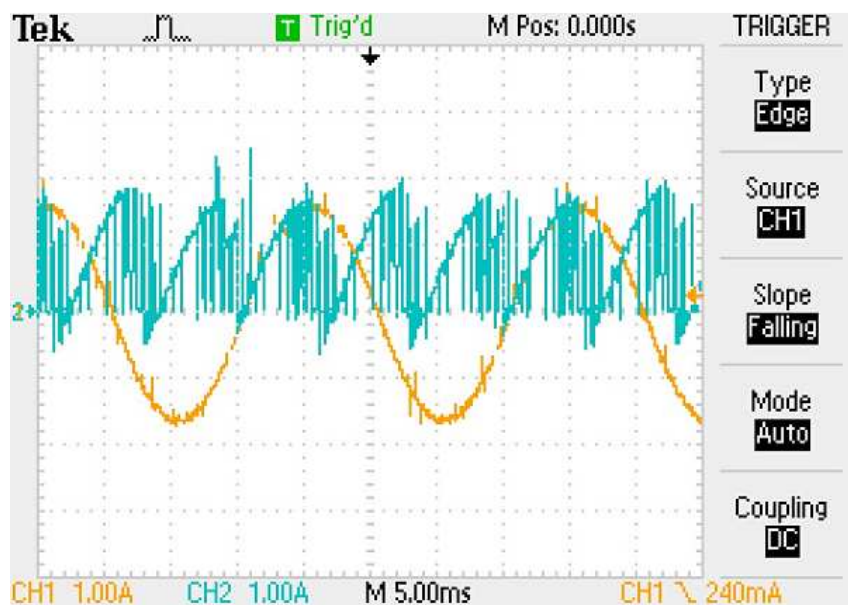


Figura 5.15. Corrente à entrada dos ramos do conversor e corrente na carga

Nas ondas de corrente ilustradas aparecem alguns picos de amplitude que são resultado de interferências e ruído que condicionam o sinal da pinça amperimétrica.

Por fim ilustra-se a tensão nos terminais de um dos IGBTs (Figura 5.16). Na figura pode-se ver que a tensão bloqueada por um IGBT é de 75 V, metade da tensão do barramento DC, característica que permite ter tensões mais elevadas e maiores frequências de comutação num conversor multinível quando comparado com um conversor convencional.

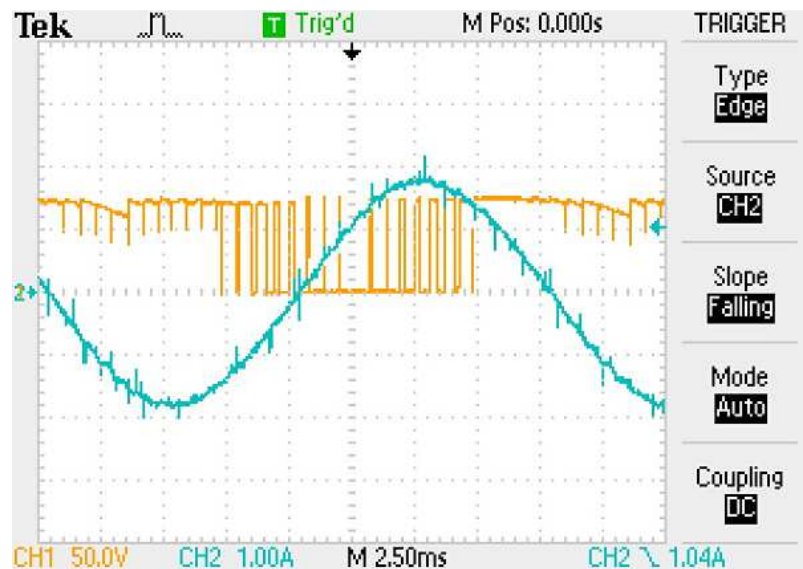


Figura 5.16. Tensão aos terminais de um IGBT com a corrente como referência

Terminados os ensaios a 50 Hz mudou-se a frequência de saída para 25 Hz e realizou-se uma análise semelhante à anterior mas aqui apenas se vai ilustrar a corrente na carga, a tensão composta e o seu espectro porque nas outras formas de onda não existem diferenças significativas.

Na Figura 5.17 está ilustrada a tensão composta e a corrente na carga a uma frequência de 25 Hz e na Figura 5.18 tem-se o espectro harmónico da tensão composta.

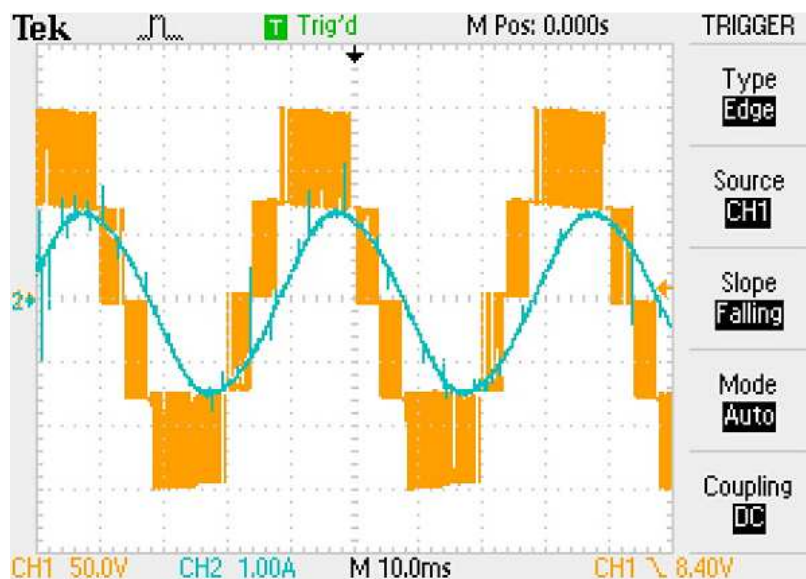


Figura 5.17. Tensão composta e corrente na carga a 25 Hz

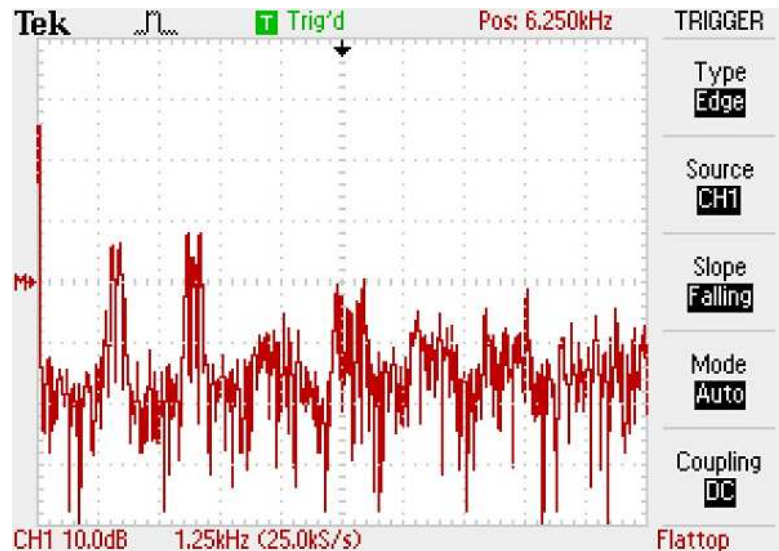


Figura 5.18. Espectro harmónico da tensão composta a 25Hz

Pode-se ver que as diferenças são muito poucas tendo-se feito este ensaio para mostrar diferentes saídas no conversor implementado.

5.3.2 - Frequência de comutação de 6,25 kHz

Foi realizado outro teste semelhante para uma frequência de comutação de 6,25 kHz de maneira a ver de que forma esta mudança altera a tensão composta à saída e o espectro harmónico. O resultado da tensão composta e da corrente na carga para 50 Hz está ilustrado na Figura 5.19, com o espectro harmónico da tensão composta na Figura 5.20. Como a frequência de comutação é maior a imagem da tensão composta está mais preenchida, não dando para identificar as comutações. A corrente na carga é semelhante à dos ensaios anteriores, enquanto o espectro harmónico apresenta harmónicos à frequência de comutação (6,25 kHz) e nos seus múltiplos.

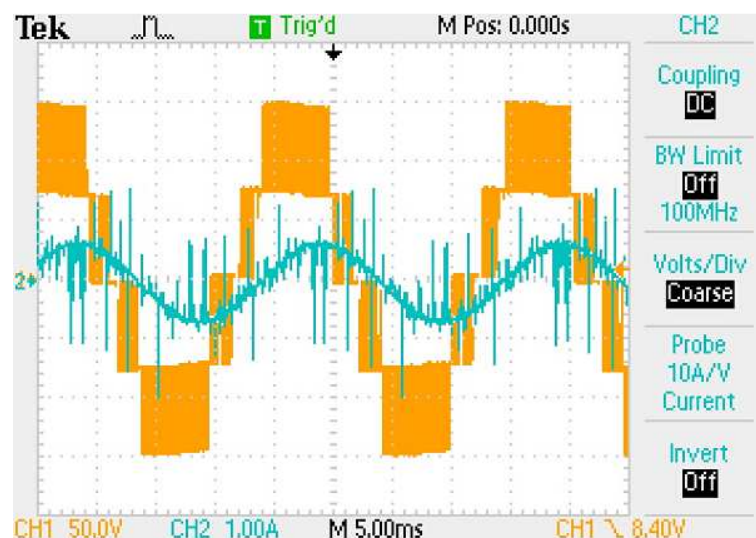


Figura 5.19. Tensão composta e corrente na carga para a frequência de comutação de 6,25 kHz

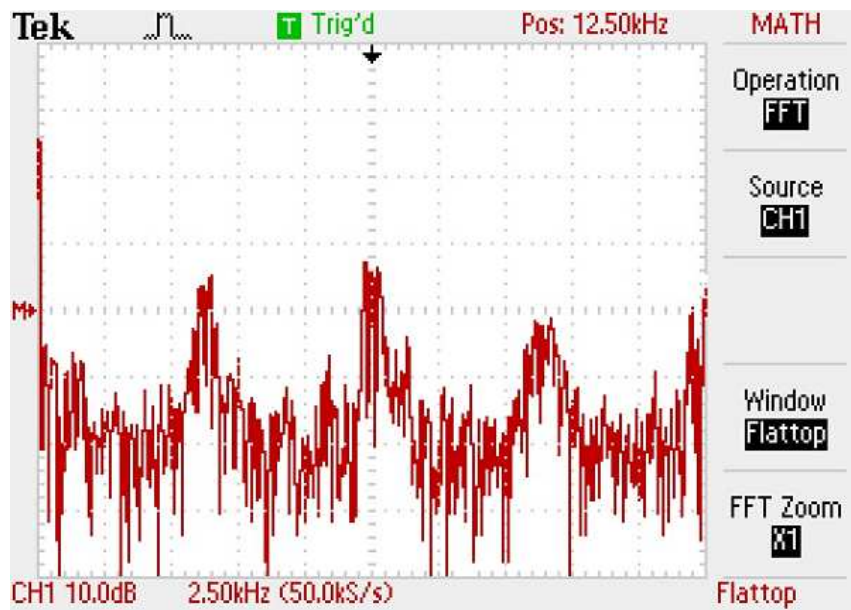


Figura 5.20. Espectro harmónico da tensão composta para a frequência de comutação de 6,25 kHz

Por fim, ensaiou-se o conversor para a frequência de comutação de 6,25 kHz e de saída de 25 Hz. Na Figura 5.21 ilustra-se a tensão composta e a corrente na carga e na Figura 5.22 o espectro harmónico da tensão composta.

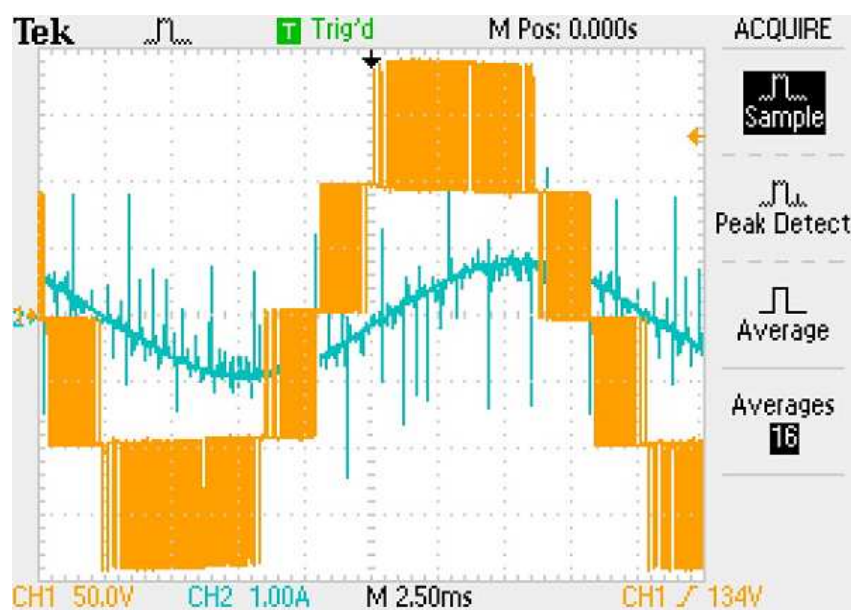


Figura 5.21. Tensão composta e corrente na carga para a frequência de comutação de 6,25 kHz e frequência de saída de 25 Hz

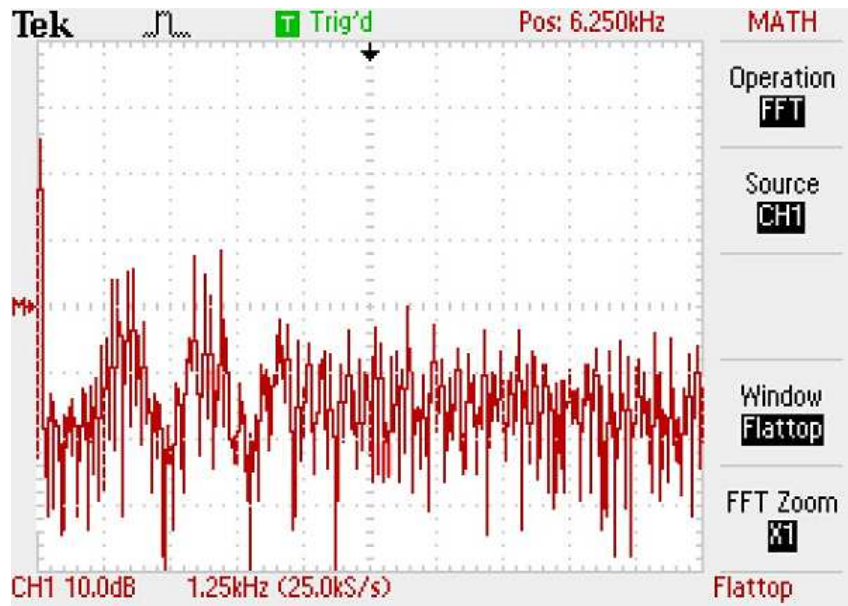


Figura 5.22. Espectro harmónico da tensão composta para a frequência de comutação de 6,25 kHz e frequência de saída de 25 Hz

5.3.3 - Modulação com injeção de terceiro harmónico

A modulação com injeção de terceiro harmónico permite aumentar o índice de modulação num sistema trifásico sem entrar na zona de sobremodulação, o que faz elevar o ganho do conversor. Isto é conseguido através da soma de uma onda com um sexto da amplitude e três vezes a frequência da sinusóide de referência [48]. Desta forma foram obtidas as formas de onda da Figura 5.23 e da Figura 5.24 com frequência de saída: 50 Hz, e frequência de comutação de 1,6 kHz.

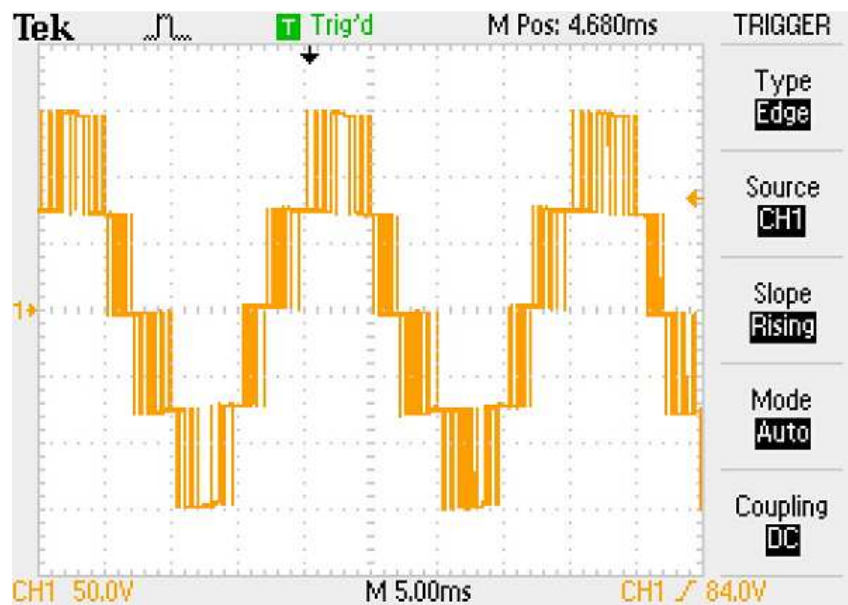


Figura 5.23. Tensão composta para frequência de comutação de 1,6 kHz e frequência de saída de 25 Hz

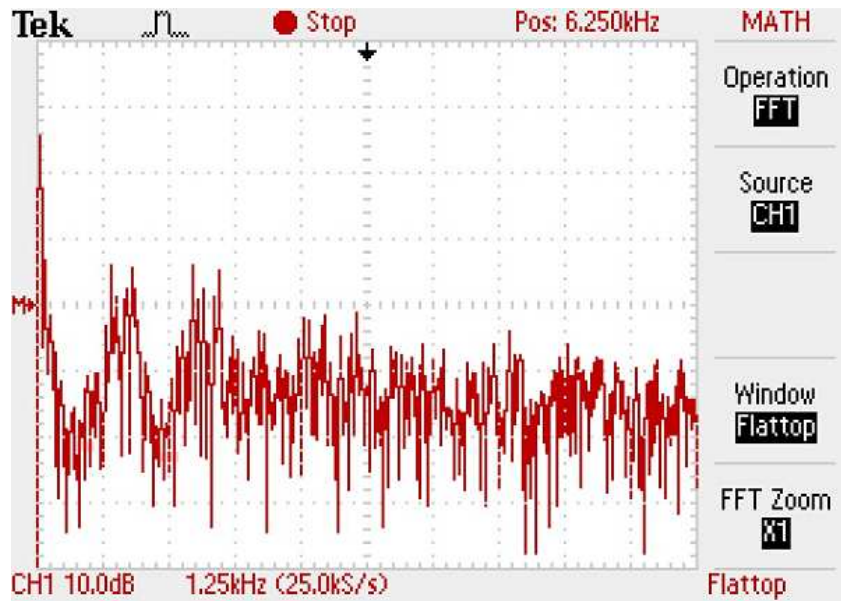


Figura 5.24. Espectro harmónico da tensão composta para frequência de comutação de 1,6 kHz e frequência de saída de 25 Hz

No espectro harmónico pode-se ver que a componente harmónica da referência injectada é eliminada na tensão composta e que amplitude da fundamental aumentou. Este método de modulação permite um aumento do índice de modulação em cerca de 15%. Este aumento é exactamente o obtido em métodos mais elaborados como a modulação vectorial.

5.4 - Conclusões

Analisando de uma forma geral os resultados obtidos pode-se concluir que as formas de onda obtidas mostram bem as características de um conversor multinível. Através da visualização das tensões de saída é possível ver os patamares de tensão, existentes num conversor de três níveis, bem definidos. Em relação aos espectros harmónicos observa-se bem o harmónico à frequência de comutação e alguns dos seus múltiplos, sendo estes semelhantes aos espectros simulados.

Capítulo 6

Conclusões e Trabalho Futuro

Neste capítulo conclui-se o trabalho desenvolvido ao longo da dissertação e os passos que podem ser dados a após este trabalho, tal como futuras investigações sobre o tema.

6.1 - Conclusões

Em linha com o trabalho desenvolvido nesta dissertação pode-se concluir que:

- A partir do estudo feito os conversores multinível são uma opção competitiva e vantajosa na zona da média-alta tensão mostrando-se capazes de suportar maiores tensões, de comutar a frequências superiores e obter um espectro harmónico melhor que um conversor convencional de dois níveis.
- As técnicas de controlo para conversores multinível têm evoluído e se diversificado, principalmente na modulação vectorial, sendo a sua aplicabilidade cada vez mais facilitada com o aparecimento de novos microcontroladores e a preços pouco exigentes.
- Com as simulações realizadas a modulação com várias portadoras consegue aliar performance com simplicidade melhor que as outras técnicas de modulação. Apesar da modulação vectorial ser teoricamente mais vantajosa, isso não se conseguiu provar em todas as características, como a distorção harmónica da tensão à saída.
- O projecto de um conversor multinível ou de um outro conversor implica bastante tempo dedicado só à sua estrutura, controlo e *drives*. No caso de um controlo em malha aberta o processo é facilitado pois não é preciso dimensionar o controlador necessário para o sistema de malha fechada.
- A programação numa plataforma como o DSP pode ser algo difícil mas as suas potencialidades em controlar conversores multinível são vastas e amplamente referenciadas em trabalhos sobre o tema.

- A implementação do conversor multinível mostrou ser bastante diferente de um caso simulado, apresentando variáveis e condicionantes que limitaram os níveis de tensão a que se pretendia chegar, tal como a qualidade do espectro harmónico.
- Os objectivos principais foram alcançados, desde a simulação, passando pelo projecto e acabando na implementação de um conversor multinível.

6.2 - Trabalho futuro

O resultado final desta dissertação é apenas um pequeno passo na área dos conversores multinível, que cada vez mais se mostra no mundo da conversão de energia. Assim os passos a seguir após esta dissertação seriam:

- Implementar o algoritmo de modulação vectorial desenvolvido nesta tese no DSP, de forma a poder ser comparada com a modulação por largura de impulsos. Apesar do DSP ter uma função de execução de modulação vectorial esta só serve para conversores de dois níveis, sendo preciso uma programação orientada ao algoritmo criado.
- Modelizar o conversor multinível. Nesta dissertação não foi abordada a modelização do conversor multinível NPC, o que é essencial para caso de ser necessário controlo em malha fechada. Este é um tema bastante extenso e que requer um estudo sobre toda a estrutura a ser modelada, como conversor, filtros e carga, e processos de modelação.
- Controlar o conversor em malha fechada, garantindo assim um maior equilíbrio do ponto médio e melhores resultados experimentais. Como observado nesta dissertação o desequilíbrio do ponto médio resultou na distorção da onda de tensão, o que prejudicou a performance do conversor.
- Utilizar o conversor desenvolvido para o controlo e accionamento de motores.

Referências

- [1] T. A. Meynard, H. Foch, P. Thomas, J. Courault, R. Jakob, and M. Nahrstaedt, "Multicell converters: Basic concepts and industry applications," *IEEE Transactions on Industrial Electronics*, vol. 49, pp. 955-964, 2002.
- [2] S. Bum-Seok, G. Sinha, M. D. Manjrekar, and T. A. Lipo, "Multilevel Power Conversion - An Overview Of Topologies And Modulation Strategies," in *Optimization of Electrical and Electronic Equipments, 1998. OPTIM '98. Proceedings of the 6th International Conference on*, 1998, pp. AD-11-AD-24.
- [3] G. Gateau, T. A. Meynard, and H. Foch, "Stacked multicell converter (SMC): Properties and design," in *PESC Record - IEEE Annual Power Electronics Specialists Conference*, Vancouver, BC, 2001, pp. 1583-1588.
- [4] M. Á. M. Prats, "Nuevas Técnicas de Modulacion Vectorial para Convertidores Electronicos de Potência Multinivel," in *Departamento de Ingeniería Electrónica*. vol. Doctor Sevilla: Universidad de Sevilla, 2003, p. 234.
- [5] J. Rodriguez, J. S. Lai, and F. Z. Peng, "Multilevel inverters: A survey of topologies, controls, and applications," *IEEE Transactions on Industrial Electronics*, vol. 49, pp. 724-738, 2002.
- [6] T. A. Meynard and H. Foch, "Multi-level conversion: high voltage choppers and voltage-source inverters," in *Power Electronics Specialists Conference, 1992. PESC '92 Record., 23rd Annual IEEE*, 1992, pp. 397-403 vol.1.
- [7] A. Lega, S. Munk-Nielsen, F. Blaabjerg, and D. Casadei, "Multilevel converters for UPS applications: comparison and implementation," in *Power Electronics and Applications, 2007 European Conference on*, 2007, pp. 1-9.
- [8] M. D. Manjrekar, P. Steimer, and T. A. Lipo, "Hybrid multilevel power conversion system: a competitive solution for high power applications," in *Conference Record - IAS Annual Meeting (IEEE Industry Applications Society)*, 1999, pp. 1520-1527.
- [9] Y.-S. Kim, B.-S. Seo, and D.-S. Hyun, "New N-level high voltage inversion system," in *IECON Proceedings (Industrial Electronics Conference)*, 1993, pp. 1252-1257.
- [10] J. Rodriguez, J. Pontt, P. Lezana, and S. Kouro, "Tutorial on Multilevel Converters," in *PELINCEC International Conference on Power Electronics and Intelligent Control for Energy Conservation*, Warsaw, 2005.

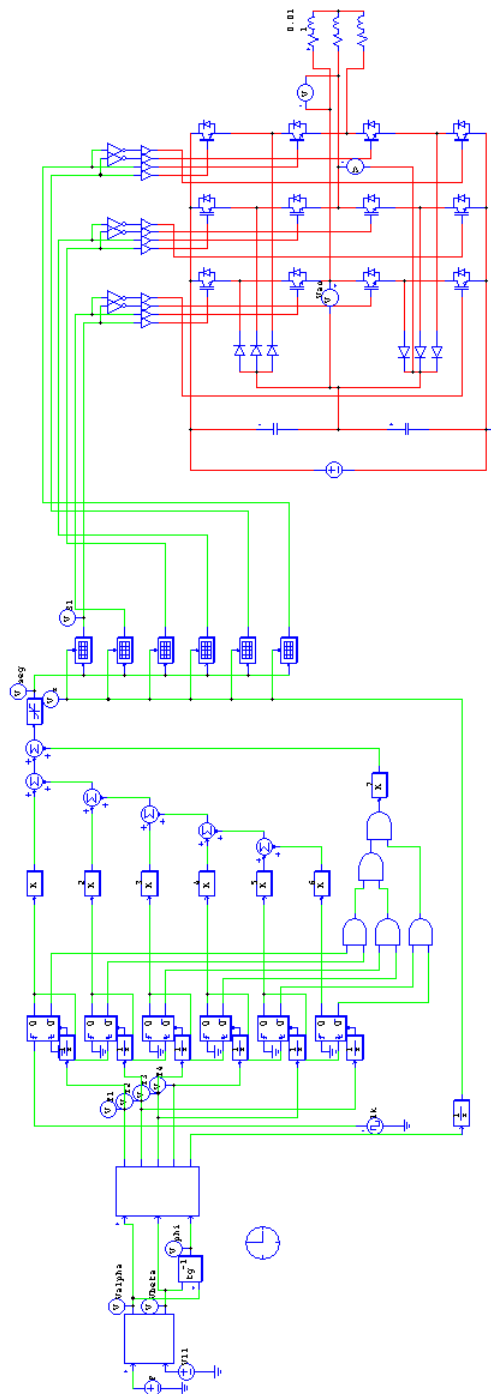
- [11] R. Abe, Y. Nagai, K. Tsuyuki, H. Nishikawa, T. Shimamura, A. Kawaguchi, and K. Shimada, "Development of multiple space vector control for direct connected parallel current source power converters," in *Proceedings of the Power Conversion Conference - Nagaoka, PCC*, 1997, pp. 283-288.
- [12] J. Rodriguez, L. Moran, P. Correa, and C. Silva, "A vector control technique for medium-voltage multilevel inverters," *IEEE Transactions on Industrial Electronics*, vol. 49, pp. 882-888, 2002.
- [13] L. Li, D. Czarkowski, Y. Liu, and P. Pillay, "Multilevel selective harmonic elimination PWM technique in series-connected voltage inverters," *IEEE Transactions on Industry Applications*, vol. 36, pp. 160-170, 2000.
- [14] L. Li, D. Czarkowski, and J. Dzieza, "Optimal surplus harmonic energy distribution," in *IECON Proceedings (Industrial Electronics Conference)*, 1998, pp. 786-791.
- [15] B. P. McGrath and D. G. Holmes, "Multicarrier PWM strategies for multilevel inverters," *IEEE Transactions on Industrial Electronics*, vol. 49, pp. 858-867, 2002.
- [16] B. P. McGrath, D. G. Holmes, M. Manjrekar, and T. A. Lipo, "Improved modulation strategy for a hybrid multilevel inverter," in *Conference Record - IAS Annual Meeting (IEEE Industry Applications Society)*, 2000, pp. 2086-2093.
- [17] B. Mwinyiwiwa, Z. Wolanski, and B. T. Ooi, "Microprocessor-implemented SPWM for multiconverters with phase-shifted triangle carriers," *IEEE Transactions on Industry Applications*, vol. 34, pp. 487-494, 1998.
- [18] M. Calais, L. J. Borle, and V. G. Agelidis, "Analysis of multicarrier PWM methods for a single-phase five level inverter," in *PESC Record - IEEE Annual Power Electronics Specialists Conference*, 2001, pp. 1351-1356.
- [19] J. R. Espinoza, G. Joos, and H. Jin, "Modelling and implementation of space vector PWM techniques in active filter applications," in *IEEE Workshop on Computers in Power Electronics*, 1996, pp. 142-146.
- [20] B. P. McGrath, D. G. Holmes, and T. Lipo, "Optimized Space Vector Switching Sequences for Multilevel Inverters," *IEEE Transactions on Power Electronics*, vol. 18, pp. 1293-1301, 2003.
- [21] H. Akagi, "Large Static Converters for Industry and Utility Applications," *Proceedings of the IEEE*, vol. 89, pp. 976-983, 2001.
- [22] L. M. Tolbert and F. Z. Peng, "Multilevel converters for large electric drives," in *Conference Proceedings - IEEE Applied Power Electronics Conference and Exposition - APEC*, 1998, pp. 530-536.
- [23] H. Stemmler, "Power electronics in electric traction applications," in *IECON Proceedings (Industrial Electronics Conference)*, 1993, pp. 707-713.
- [24] A. Van Zyl, J. H. R. Enslin, and R. Spe?e, "A new unified approach to power quality management," *IEEE Transactions on Power Electronics*, vol. 11, pp. 691-697, 1996.

- [25] L. H. Hansen, L. Helle, F. Blaabjerg, E. Ritchie, S. Munk-Nielsen, H. Bindner, P. Sørensen, and B. Bak-Jensen, "Conceptual survey of Generators and Power Electronics for Wind Turbines," Risø National Laboratory, Roskilde, Denmark, December 2001.
- [26] Z. Ivanovic, M. Vekic, S. Grabic, and V. Katic, "Control of multilevel converter driving variable speed wind turbine in case of grid disturbances," in *EPE-PEMC 2006: 12th International Power Electronics and Motion Control Conference, Proceedings*, 2007, pp. 1569-1573.
- [27] J. L. Villate, S. Ceballos, E. Robles, P. Iban?ez, and I. Gabiola, "Experimental validation of multilevel converters for variable speed wind turbines," in *2005 European Conference on Power Electronics and Applications*, 2005.
- [28] H. Ertl, J. W. Kolar, and F. C. Zach, "A novel multicell DC-AC converter for applications in renewable energy systems," *IEEE Transactions on Industrial Electronics*, vol. 49, pp. 1048-1057, 2002.
- [29] M. G. Molina, P. E. Mercado, and E. H. Watanabe, "Dynamic performance of a static synchronous compensator with superconducting magnetic energy storage," in *PESC Record - IEEE Annual Power Electronics Specialists Conference*, 2005, pp. 224-230.
- [30] G. H. Jung, G. C. Cho, S. W. Hong, and G. H. Cho, "DSP based control of high power static VAR compensator using novel vector product phase locked loop," in *PESC Record - IEEE Annual Power Electronics Specialists Conference*, 1996, pp. 238-243.
- [31] G. C. Cho, N. S. Choi, C. T. Rim, and G. H. Cho, "Modeling, analysis and control of static VAR compensator using three-level inverter," in *Industry Applications Society Annual Meeting, 1992., Conference Record of the 1992 IEEE*, 1992, pp. 837-843 vol.1.
- [32] E. C. Sekaran, P. N. Anbalagan, and C. Palanisamy, "Analysis and simulation of a new shunt active power filter using cascaded multilevel inverter," *Journal of Electrical Engineering*, vol. 58, pp. 241-249, 2007.
- [33] L. Wang and W. Wu, "Cascade multilevel converter based on sample time staggered space vector modulation and its application to shunt active power filter," *Diangong Jishu Xuebao/Transactions of China Electrotechnical Society*, vol. 21, pp. 90-97, 2006.
- [34] J. Rodriguez, J. Pontt, S. Kouro, and P. Correa, "Direct torque control with imposed switching frequency in an 11-level cascaded inverter," *IEEE Transactions on Industrial Electronics*, vol. 51, pp. 827-833, 2004.
- [35] G. S. Buja and M. P. Kazmierkowski, "Direct torque control of PWM inverter-fed AC motors - A survey," *IEEE Transactions on Industrial Electronics*, vol. 51, pp. 744-757, 2004.
- [36] B. P. McGrath and D. G. Holmes, "Comparison of multicarrier PWM strategies for Cascaded and Neutral Point Clamped multilevel inverters," in *PESC Record - IEEE Annual Power Electronics Specialists Conference*, 2000, pp. 674-679.

- [37] N. Celanovic and D. Borojevic, "Comprehensive study of neutral-point voltage balancing problem in three-level neutral-point-clamped voltage source PWM inverters," *Conference Proceedings - IEEE Applied Power Electronics Conference and Exposition - APEC*, vol. 1, pp. 535-541, 1999.
- [38] N. Celanovic and D. Boroyevich, "A fast space-vector modulation algorithm for multilevel three-phase converters," *IEEE Transactions on Industry Applications*, vol. 37, pp. 637-641, 2001.
- [39] M. Y. Lee, P. Wheeler, and C. Klumpner, "A new modulation method for the three-level-output-stage matrix converter," in *Fourth Power Conversion Conference-NAGOYA, PCC-NAGOYA 2007 - Conference Proceedings*, 2007, pp. 776-783.
- [40] J.-H. Suh, C.-H. Choi, and D.-S. Hyun, "New simplified space-vector PWM method for three-level inverters," *Conference Proceedings - IEEE Applied Power Electronics Conference and Exposition - APEC*, vol. 1, pp. 515-520, 1999.
- [41] L. Hu, H. Wang, Y. Deng, and X. He, "A simple SVPWM algorithm for multilevel inverters," in *PESC Record - IEEE Annual Power Electronics Specialists Conference*, 2004, pp. 3476-3480.
- [42] S. Wei, B. Wu, F. Li, and C. Liu, "A general space vector PWM control algorithm for multilevel inverters," in *Conference Proceedings - IEEE Applied Power Electronics Conference and Exposition - APEC*, 2003, pp. 562-568.
- [43] S. Tuncer and Y. Tatar, "A new approach for selecting the switching states of SVPWM algorithm in multilevel inverter," *European Transactions on Electrical Power*, vol. 17, pp. 81-95, 2007.
- [44] A. Radan and N. Madani, "Optimized selection of switching algorithm in space vector modulated neutral point clamped converters," in *2005 European Conference on Power Electronics and Applications*, 2005.
- [45] P. Luttamus and H. Tuusa, "Unified space-vector modulation scheme for multilevel inverters," in *Fourth Power Conversion Conference-NAGOYA, PCC-NAGOYA 2007 - Conference Proceedings*, 2007, pp. 1464-1471.
- [46] B. Wu, "High Power Converters and AC Drives," W.-I. Press, Ed., 2006.
- [47] Datasheet, "SK50MLI065," SEMIKRON, 2008.
- [48] D. G. Holmes and T. A. Lipo, *Pulse Width Modulation for Power Converters Principles and Practice*: IEEE Press, 2003.
- [49] TMS320F2812 Digital Signal Processor, Implementacion Tutorial, Texas Instruments

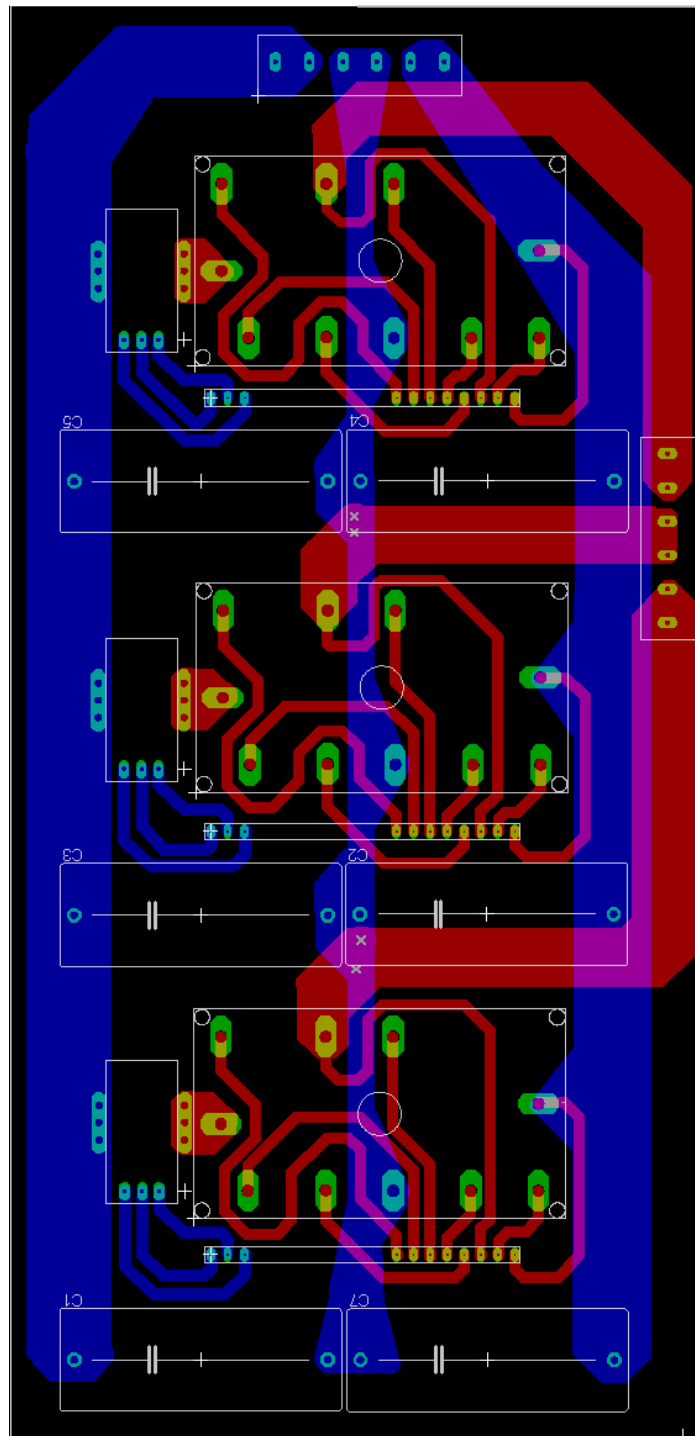
Anexo A Circuito de Simulação

O circuito de simulação está aqui representado, em PSIM, onde se pode ver toda a estrutura que envolve o controlo do conversor e o próprio conversor multinível com uma topologia NPC de 3 níveis.



Anexo C Placa de Potência

Foi desenvolvida, no software Eagle, uma placa que constitui o conversor NPC de 3 níveis. Existem 3 módulos da Semikron que formam cada um um ramo do conversor, 3 LEMs para controlo da corrente nos ramos e 6 condensadores de desacoplamento. É ainda visível o barramento DC, a saída AC e as pistas para as *gates* dos IGBTs.



Anexo D Circuito de *Drive*

O circuito de *drive* foi também desenvolvido em Eagle. O esquema aqui ilustrado pertence apenas a uma das *drives* concebidas porque estas são semelhantes entre si.

