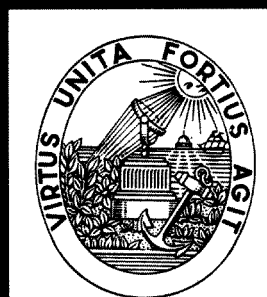


UNIVERSIDADE DO PORTO  
FACULDADE DE ENGENHARIA

Ferramenta para Análise e Planeamento da  
Testabilidade de Cartas de Circuito Impresso

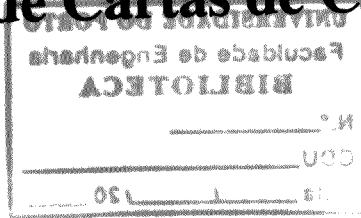
Luis César Costal de Assis Laranjeira

Porto, Setembro 2000



**UNIVERSIDADE DO PORTO**  
**FACULDADE DE ENGENHARIA**

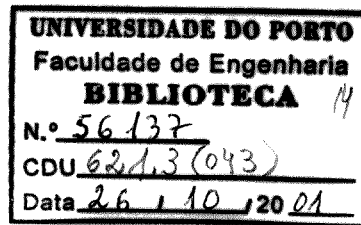
**Ferramenta para Análise e Planeamento da  
Testabilidade de Cartas de Circuito Impresso**



Luís César Costal de Assis Laranjeira

Porto, Setembro 2000

Dissertação submetida para satisfação parcial  
dos requisitos do grau de mestre em  
Engenharia Electrotécnica e de Computadores  
(Área de especialização em Informática Industrial)



Tese realizada sob supervisão do  
Prof. Dr. José Alfredo Ribeiro da Silva Matos  
Professor Catedrático do  
Departamento de Engenharia Electrotécnica e dos Computadores da  
Faculdade de Engenharia da Universidade do Porto

e do

Prof. Dr. José Alberto Peixoto Machado da Silva  
Professor Auxiliar do  
Departamento de Engenharia Electrotécnica e dos Computadores da  
Faculdade de Engenharia da Universidade do Porto

O trabalho aqui apresentado  
foi apoiado pelo Programa PRAXIS XXI  
bolsa BM/20935/99

## Resumo

*Palavras chave: Cartas de circuito impresso, Testabilidade, Defeitos de fabrico, Extracção de faltas, Selecção de nós de teste.*

A pressão exercida por novos domínios de aplicação desencadeou uma tendência para a integração de circuitos digitais e analógicos num mesmo circuito integrado ou carta de circuito impresso. As restrições impostas pelas cartas de circuito impresso mais modernas, ao nível do acesso físico a nós de teste da carta, podem ser ultrapassadas pela utilização da infra-estrutura de teste normalizada IEEE 1149.4. Contudo, a utilização desta infra-estrutura tem um custo associado aos circuitos adicionais que a compõem, pelo que a sua inclusão deve ser justificada em termos de melhorias na testabilidade. O crescimento da complexidade das cartas de circuito impresso acarreta um aumento do número de teste a realizar, de forma a garantir níveis adequados de qualidade. Contudo, a aplicação de testes exaustivos não é compatível com o aumento de complexidade porque implica um crescimento exponencial do número de testes a realizar.

Perante estas dificuldades, e sendo o teste uma operação primordial para a satisfação de requisitos de competitividade no mercado, há necessidade de desenvolver novas metodologias capazes de testar eficientemente, em tempo e custo reduzidos, as novas gerações de cartas de circuito impresso. Torna-se por isso fundamental estudar e caracterizar os defeitos ocorridos no processo de fabrico de cartas de circuito impresso, de modo a otimizar o teste para a detecção dos defeitos de fabrico com maior probabilidade de ocorrência, reduzindo assim o tempo e o custo do teste.

Neste trabalho é proposta uma metodologia de análise e planeamento da testabilidade de cartas de circuito impresso, composta por dois módulos principais: um módulo de extracção de faltas, que trata a informação de testabilidade a nível do desenho da carta de circuito impresso, e um módulo de análise de testabilidade que, a partir das faltas de ocorrência mais provável, apresenta como resultado a selecção dos nós e dos estímulos de teste, de forma a garantir um determinado grau de testabilidade. Esta metodologia é materializada numa ferramenta de análise e planeamento da testabilidade de cartas de circuito impresso. São apresentados detalhes de implementação e os resultados obtidos com a aplicação da ferramenta.



## Abstract

*Keywords: Printed circuit board, Testability, Defects, Fault extraction, Test node selection.*

New, demanding, high performance applications, where robustness and small size are also required, are responsible for a renewed interest in analogue circuit design. In fact, analogue circuits are more and more often found embedded in complex integrated circuits or printed circuit boards. Modern printed circuit boards greatly restrict the level of physical access to its internal nodes, thus requiring the use of electronic probes like the ones provided in the IEEE 1149.4 standard test infrastructure. However, the advantage of using this infrastructure comes at the cost of additional circuitry, therefore the use of a test infrastructure must be justified by the increased testability level achieved. Current assembly technologies allow for an increased number of interconnections in printed circuit boards, thus requiring larger test sets to assure production quality. Besides simple boards, testing for all possible faults at the production test stage is too expensive, so reduced test sets must be used.

These difficulties justify the need for new methodologies that can increase the effectiveness of production tests, by making them defect-oriented, thus detecting the most probable defects occurred in the fabrication process and therefore minimising the number of tests and the number of nodes to be made accessible.

This work presents a methodology for testability analysis and planning of printed circuit boards, that is made of two main modules: a module for fault extraction, which leads with layout level information, and a module for testability analysis that performs a circuit level analysis that leads to a selection of test nodes and test stimuli. This methodology is implemented as a software tool for testability analysis and planning of printed circuit boards. Implementation details and results obtained are thoroughly described in this work.



---

## Résumé

*Mots clé: Circuit imprimé, Testabilité, Extraction des fautes, Sélection des noeuds de test.*

La pression exercée par les nouveaux domaines d'application a déchaîné une tendance pour l'intégration de circuits numériques et analogiques dans un même circuit intégré ou circuit imprimé. Les restrictions imposées par les circuits imprimés plus moderne, au niveau de l'accès physique à noeuds interne, peuvent être surpassés par l'usage de l'infrastructure de test mixte IEEE 1149.4. Cependant, l'usage de cette infrastructure a un coût associé aux circuits supplémentaires qu'ils la composent, pour le que leur inclusion devrait être justifiée quant à améliorations dans la testabilité. Avec l'augmentation de la complexité des circuits imprimé , il y a une augmentation du nombre de tests à accomplir, pour garantir des niveaux appropriés de qualité. Cependant, l'utilisation des tests exhaustif n'est pas compatible avec l'augmentation de la complexité parce qu'il implique une augmentation exponentielle du nombre des tests pour accomplir.

À cause de cettés difficultés, et parsqe le test est une opération primordiale pour la satisfaction d'exigences de compétitivité dans le marché, il y a un besoin de développer de nouvelles méthodologies capable de tester efficacement, dans temps et coût réduits, les nouvelles générations des circuit imprimé. C'est fondamental à étude et caractérise les fautes qui se produisent dans le processus de manufacture, pour optimizer le test pour la découverte des défauts de fabrique avec plus grande probabilité de l'événement, en réduisant comme ce le temps et le coût du test.

Dans ce travail il est proposé une méthodologie de l'analyse et planification de la testabilité des circuits imprimés, composés par deux modules principaux,: un module d'extraction de fautes, cela traite les renseignements de la testabilité à niveau du dessin du circuit imprimé, et un module d'analyse de la testabilité qui présente comme résultat une selection des noeuds et des stimulus à utiliser dans le test. Cette méthodologie est matérialisée dans un logiciel de l'analyse et planification de la testabilité des circuits imprimés. Les résultats de l'aplication du logiciel sont présentés avec détail.





## Agradecimentos

Gostaria de exprimir aqui o meu reconhecimento a todos os que me apoiaram e que, de uma forma ou de outra, contribuíram para a realização deste trabalho. Em particular, gostaria de agradecer:

Ao Professor José Silva Matos, pelo incentivo e o apoio manifestado ao longo da realização deste trabalho;

Ao Professor José Machado da Silva, pela permanente disponibilidade para apoiar a progressão dos trabalhos realizados;

Aos colegas do grupo de CAD e Microelectrónica do INESC Porto, Célio Albuquerque, Jorge Duarte, José Carlos Alves, Hélio Mendonça, João Canas Ferreira e António Araújo, pela camaradagem e pela partilha de competências;

Desejo agradecer publicamente à Fundação para a Ciência e a Tecnologia que, através do Programa PRAXIS XXI, apoiou financeiramente este trabalho, e ao Instituto de Engenharia de Sistemas e Computadores do Porto e à Faculdade de Engenharia da Universidade do Porto, pelos meios materiais e logísticos postos à minha disposição;

Gostaria ainda de agradecer aos meus amigos, aos meus familiares e à minha namorada, pelo permanente apoio e incentivo indispensáveis para a realização deste trabalho.



## Nota ao leitor

Ao longo da escrita desta dissertação procurou-se utilizar sempre que possível formas portuguesas para termos vulgarmente usados em inglês. No entanto, reconhece-se que a tradução de termos provenientes de outros idiomas acarreta o risco de perder a identificação imediata, e a satisfação dos conceitos originalmente associados a esses termos. Para minimizar este risco e melhorar a clareza da exposição, optou-se por efectuar uma referência ao termo original, em itálico, sempre que pela primeira vez é usada a forma portuguesa. Em certos casos utiliza-se apenas o termo em inglês a fim melhorar a clareza da exposição.

O mesmo se passa quanto à utilização de acrónimos. Nos casos em que se julgou que a tradução não introduz dificuldades à leitura optou-se por usar o acrónimo resultante da tradução. Em outros casos, em que há maior familiaridade de utilização das versões inglesas, mantém-se essa forma. Uma lista de acrónimos é incluída para facilitar a sua identificação.



# Índice

<b>1. INTRODUÇÃO .....</b>	<b>1</b>
1.1 PANORÂMICA ACTUAL E TENDÊNCIAS FUTURAS.....	1
1.1.1 <i>Miniaturização</i> .....	2
1.1.2 <i>Novos domínios de aplicação</i> .....	3
1.1.3 <i>Teste de circuitos electrónicos</i> .....	3
1.2 OBJECTIVOS DO TRABALHO.....	5
1.3 ORGANIZAÇÃO DA DISSERTAÇÃO .....	6
<b>2. FABRICO E TESTE DE CARTAS DE CIRCUITO IMPRESSO.....</b>	<b>9</b>
2.1 TECNOLOGIAS DE FABRICO DE CARTAS DE CIRCUITO IMPRESSO .....	9
2.1.1 <i>Tecnologias de montagem</i> .....	11
2.1.2 <i>Tecnologias de encapsulamento de circuitos integrados</i> .....	12
2.2 MECANISMOS DE DEFEITOS EM CARTAS DE CIRCUITO IMPRESSO .....	15
2.2.1 <i>Defeitos e faltas</i> .....	15
2.2.2 <i>Defeitos ocorridos no processo de fabrico de CCIs</i> .....	16
2.2.3 <i>Defeitos introduzidos no fabrico das pistas e furos</i> .....	17
2.2.4 <i>Defeitos introduzidos no processo de montagem dos componentes</i> .....	18
2.2.5 <i>Espectro de defeitos</i> .....	23
2.3 REVISÃO DO ESTADO DA ARTE DE TESTE DE CCIS.....	24
2.3.1 <i>Teste funcional, teste paramétrico, e teste estrutural</i> .....	25
2.3.2 <i>Métodos de acesso à CCI</i> .....	27
2.3.2.1 <i>Teste por acesso mecânico</i> .....	27
2.3.2.2 <i>Teste por acesso electrónico</i> .....	29
2.3.3 <i>Autoteste</i> .....	35
2.4 RESUMO DO CAPÍTULO .....	38
<b>3. METODOLOGIA E FERRAMENTA DE ANÁLISE E PLANEAMENTO DE TESTABILIDADE DE CCIS.....</b>	<b>41</b>
3.1 NECESSIDADE DE UMA METODOLOGIA .....	42
3.2 METODOLOGIA PARA ANÁLISE E PLANEAMENTO DE TESTABILIDADE DE CCIS.....	43
3.3 MÉTODOS DE EXTRACÇÃO DE FALTAS .....	45
3.3.1 <i>Extracção exaustiva de faltas</i> .....	45

3.3.2	<i>Extracção de faltas realistas</i> .....	45
3.3.2.1	Extracção de faltas relativas ao fabrico das pistas .....	46
3.3.2.2	Extracção de faltas relativas ao processo de soldadura.....	49
3.3.3	<i>Análise indutiva de faltas</i> .....	51
3.3.3.1	Geração de defeitos físicos .....	52
3.3.3.2	Extracção e classificação das faltas .....	54
3.4	MÉTODOS DE ANÁLISE DE TESTABILIDADE .....	55
3.4.1	<i>Análise da função de transferência</i> .....	55
3.4.2	<i>Análise de sensibilidade</i> .....	56
3.4.2.1	Cálculo de sensibilidades.....	58
3.4.2.2	Construção do modelo do circuito .....	63
3.4.2.3	Cálculo das tolerâncias .....	63
3.4.2.4	Seleção dos parâmetros a medir, dos nós de teste associados, e análise de testabilidade.....	64
3.4.3	<i>Dicionários de faltas</i> .....	66
3.4.3.1	Seleção de nós de teste.....	67
3.4.4	<i>Testabilidade de faltas em nós</i> .....	69
3.4.4.1	Avaliação da testabilidade .....	70
3.4.4.2	Projectar um circuito testável .....	71
3.4.4.3	Localização de faltas em nós .....	73
3.4.4.4	Diagnóstico de faltas em ramos.....	75
3.5	ARQUITECTURA DA FERRAMENTA COMPUTACIONAL .....	76
3.5.1	<i>Ambiente computacional</i> .....	77
3.6	RESUMO DO CAPÍTULO .....	79
<b>4</b>	<b>FERRAMENTA PARA EXTRACÇÃO DE FALTAS EM CARTAS DE CIRCUITO IMPRESSO.....</b>	<b>81</b>
4.1	ESTRUTURA DO MÓDULO DE EXTRACÇÃO DE FALTAS .....	82
4.1.1	<i>Estruturas de dados</i> .....	82
4.1.1.1	Classes de interface .....	83
4.1.1.2	Classes de processamento.....	84
4.1.1.3	Classes de dados.....	84
4.1.2	<i>Modelo funcional</i> .....	85
4.2	INTERFACE GRÁFICA.....	86
4.3	ALGORITMOS DE EXTRACÇÃO DE FALTAS.....	89
4.3.1	<i>Algoritmos utilizados na extracção de faltas realistas</i> .....	91
4.3.2	<i>Algoritmos utilizados na análise indutiva de faltas</i> .....	96
4.4	EXEMPLOS DE APLICAÇÃO DA FERRAMENTA .....	101
4.5	RESUMO DO CAPÍTULO .....	107

<b>5. FERRAMENTA PARA ANÁLISE DE TESTABILIDADE.....</b>	<b>109</b>
5.1 O PROCESSO DE ANÁLISE DE TESTABILIDADE.....	110
5.1.1 <i>Estudo do efeito das tolerâncias dos componentes sobre o valor dos determinantes.....</i>	<i>112</i>
5.2 ESTRUTURA DO MÓDULO DE ANÁLISE DE TESTABILIDADE .....	115
5.2.1 <i>Estruturas de dados .....</i>	<i>116</i>
5.2.1.1 Classes de interface .....	117
5.2.1.2 Classes de processamento .....	117
5.2.1.3 Classes de dados.....	118
5.2.2 <i>Modelo funcional.....</i>	<i>118</i>
5.2.3 <i>Interface gráfica .....</i>	<i>119</i>
5.3 EXEMPLOS DE APLICAÇÃO DA FERRAMENTA .....	121
5.4 EXEMPLO DA UTILIZAÇÃO INTEGRADA DOS DOIS MÓDULOS DA FERRAMENTA .....	130
5.5 MONTAGEM EXPERIMENTAL .....	133
5.5.1 <i>Controlador IEEE 1149.x.....</i>	<i>135</i>
5.5.2 <i>Resultados obtidos.....</i>	<i>136</i>
5.6 RESUMO DO CAPÍTULO .....	137
<b>6. CONCLUSÃO E PERSPECTIVAS DE EVOLUÇÃO .....</b>	<b>139</b>
6.1 CONTRIBUTOS DO TRABALHO DESENVOLVIDO .....	139
6.2 PERSPECTIVAS DE DESENVOLVIMENTO FUTURO .....	142
<b>REFERÊNCIAS .....</b>	<b>145</b>
<b>A. PROGRAMAS QUE IMPLEMENTAM OS ALGORITMOS DE EXTRACÇÃO DE FALTAS</b>	
<b>REALISTAS.....</b>	<b>149</b>
A.1 EXTRACÇÃO DE FALTAS EM PINOS.....	149
A.2 EXTRACÇÃO DE FALTAS EM PISTAS .....	150
A.3 EXTRACÇÃO DE PISTAS INTERROMPIDAS .....	151
A.4 CÁLCULO DA ÁREA CRÍTICA .....	152
<b>B. PROGRAMAS QUE IMPLEMENTAM OS ALGORITMOS DE ANÁLISE INDUTIVA DE FALTAS</b>	
.....	<b>153</b>
B.1 GERAÇÃO DE DEFEITOS .....	153
B.2 EXTRACÇÃO DE CURTO-CIRCUITOS ENTRE PINOS .....	154
B.3 EXTRACÇÃO DE CURTO-CIRCUITOS ENTRE PISTAS .....	155





# Lista de Figuras

1.1: OS ENCAPSULAMENTOS DE COMPONENTES PASSIVOS SEGUEM A TENDÊNCIA DE MINIATURIZAÇÃO [2].....	2
2.1: CLASSIFICAÇÃO DAS CARTAS DE CIRCUITO IMPRESSO DE ACORDO COM SEIS ATRIBUTOS [5]. AS MAIS COMUNS SÃO AS CCIs RÍGIDAS, DE SUBSTRATO ORGÂNICO E COM DEFINIÇÃO GRÁFICA DO TRAÇADO DOS CONDUTORES. ....	10
2.2: SOLUÇÕES PARA A IMPLANTAÇÃO DE COMPONENTES EM CCIs [6]. ....	11
2.3: TIPOS DE ENCAPSULAMENTO MAIS COMUNS. ....	12
2.4: QUOTA DE UTILIZAÇÃO DOS DIVERSOS TIPOS DE ENCAPSULAMENTOS [7]. ....	15
2.5: ZONA DE INFLUÊNCIA DE UM FURO COM INCERTEZA DE LOCALIZAÇÃO D. ....	18
2.6: FASES DA MONTAGEM DE COMPONENTES DE INSERÇÃO EM FURO. ....	19
2.7: PROCESSO DE MONTAGEM DE COMPONENTES DE MONTAGEM EM SUPERFÍCIE. SE HOVER COMPONENTES NAS DUAS FACES DA CCI, O PROCESSO É REPETIDO PARA A OUTRA FACE. ....	20
2.8: PROCESSO DE MONTAGEM E SOLDADURA EM CCIs COM COMPONENTES DE MONTAGEM SUPERFICIAL EM AMBAS AS FACES E COMPONENTES DE INSERÇÃO EM FURO. ....	21
2.9: OS CIRCUITOS INTEGRADOS DEVEM ESTAR POSICIONADOS SEGUNDO A DIRECÇÃO DA VAGA DE SOLDA. ....	22
2.10: ESPECTRO DE DEFEITOS DE PRODUÇÃO EM CCIs COM COMPONENTES DE MONTAGEM SUPERFICIAL [5]. ....	23
2.11: ESPECTRO DE DEFEITOS DE PRODUÇÃO EM CCIs COM COMPONENTES DE MONTAGEM SUPERFICIAL [10]. ....	23
2.12: OS TIPOS DE DEFEITOS E AS PERCENTAGENS DE OCORRÊNCIA VARIAM, ENTRE OUTROS FACTORES, COM A COMPLEXIDADE E A MATURIDADE DO PROCESSO DE FABRICO [9]. ....	24
2.13: TESTES EFECTUADOS AO LONGO DO PROCESSO DE FABRICO DE CCIs COM COMPONENTES SMT EM AMBAS AS FACES. ....	25
2.14: ESQUEMA DE UMA MÁQUINA DE TESTE COM MATRIZ DE AGULHAS ( <i>BED OF NAILS</i> ) [5]. ....	27
2.15: ESQUEMA UTILIZADO PARA CALCULAR O VALOR DE UM COMPONENTE ATRAVÉS DA MÁQUINA <i>BED OF NAILS</i> . ....	28
2.16: O VALOR DE UM COMPONENTE LIGADO A UMA MALHA PODE SER MEDIDO ATRAVÉS DA APLICAÇÃO DE <i>GUARDING</i> , OU SEJA, PELA LIGAÇÃO À MASSA DE OUTROS NÓS DA MALHA, DE FORMA A ISOLAR ELECTRICAMENTE O COMPONENTE A TESTAR. ....	29
2.17: ESTRUTURA DO AMPLIFICADOR OPERACIONAL COM MODO DE TESTE[11]. ....	31

2.18: A POSSIBILIDADE DE CONFIGURAR OS AMPLIFICADORES COMO SEGUIDORES PERMITE TESTAR OS MÓDULOS INDIVIDUALMENTE. ....	31
2.19: REGISTO DE VARRIMENTO. ....	32
2.20: INFRA-ESTRUTURA IEEE 1149.1 NUMA CCI. ....	32
2.21: ARQUITECTURA DA INFRA-ESTRUTURA IEEE 1149.4. ....	33
2.22: PROCESSO DE MEDIDA DE UM COMPONENTE ATRAVÉS DA INFRA-ESTRUTURA IEEE 1149.4. ....	35
2.23: ESTRUTURA DE UM CONVERSOR A/D DO TIPO <i>PIPELINE</i> [17]. ....	36
2.24: ESQUEMA DE TESTE DE UM ANDAR DO CONVERSOR A/D DO TIPO <i>PIPELINE</i> [17]. ....	37
3.1: FLUXOS DE INFORMAÇÃO ENTRE OS MÓDULOS QUE COMPÕE A METODOLOGIA DE ANÁLISE E DE PLANEAMENTO DE TESTABILIDADE PROPOSTA. ....	43
3.2: É MAIS PROVÁVEL OCORRER UM CIRCUITO ABERTO NA PISTA A DO QUE NA PISTA B. ....	46
3.3: É MAIS PROVÁVEL OCORRER UM CURTO-CIRCUITO ENTRE AS PISTAS A E B DO QUE ENTRE B E C. ....	47
3.4: PARA DEFEITOS COM DIMENSÃO MÁXIMA D, APENAS PODEM OCORRER CURTO-CIRCUITOS QUANDO A DISTÂNCIA ENTRE DUAS PISTAS É IGUAL OU INFERIOR A D. ....	47
3.5: RENDIMENTO DE FABRICO EM FUNÇÃO DO COMPRIMENTO TOTAL DE CONDUTORES NA CARTA, PARA TRÊS ESPESSURAS DE PISTA DIFERENTES. ....	48
3.6: EXEMPLO DO CONJUNTO DE FALTAS REALISTAS EXTRAÍDAS A PARTIR DA TOPOLOGIA. AS FALTAS SÃO REPRESENTADAS A TRAÇO FINO E CORRESPONDEM A CURTO-CIRCUITOS. ....	49
3.7: INDICAÇÃO DAS “DIRECÇÕES” DOS DEFEITOS QUE PROVOCAM CURTO-CIRCUITOS. ....	50
3.8: DEFEITOS (MATERIAL CONDUTOR EM EXCESSO) COM O CENTRO SOBRE A REGIÃO CRÍTICA CAUSAM UM CURTO-CIRCUITO ENTRE PISTAS [23,24]. ....	51
3.9: REGIÃO CRÍTICA PARA DEFEITOS DE FALTA DE MATERIAL CONDUTOR [24]. ....	51
3.10: GERAÇÃO ALEATÓRIA DE UM DEFEITO [31]. ....	53
3.11: MUITOS DOS DEFEITOS GERADOS ALEATORIAMENTE NÃO TÊM EFEITOS A NÍVEL DO CIRCUITO. NO CASO DOS DEFEITOS ILUSTRADOS, A FALTA DE MATERIAL CONDUTOR NÃO CAUSA A ALTERAÇÃO DA ESTRUTURA DO CIRCUITO. ....	53
3.12: É MAIS PROVÁVEL OCORRER UM CURTO-CIRCUITO ENTRE AS PISTAS B E C DO QUE ENTRE AS PISTAS A E B PORQUE SÃO MAIS NUMEROSOS OS DEFEITOS QUE O PODEM PROVOCAR. ....	54
3.13: INFORMAÇÃO FUNCIONAL E ESTRUTURAL DO CIRCUITO DE EXEMPLO. ....	57
3.14: MONTAGEM BÁSICA PARA APLICAÇÃO DO CÁLCULO DE SENSIBILIDADES. ....	59
3.15: VARIAÇÃO DO GANHO PARA DESVIOS NA RESISTÊNCIA R1, PARA CÁLCULO DA SENSIBILIDADE INCREMENTAL. ....	60
3.16: SENSIBILIDADE DO GANHO DA MONTAGEM DA FIGURA 3.14 EM RELAÇÃO A VARIAÇÕES NA RESISTÊNCIA R1. ....	61
3.17: SENSIBILIDADE DO GANHO DA MONTAGEM DA FIGURA 3.14 EM RELAÇÃO A VARIAÇÕES NA RESISTÊNCIA R2. ....	61
3.18: VALORES DAS SENSIBILIDADES DOS PARÂMETROS EM RELAÇÃO AOS ELEMENTOS, PARA O CIRCUITO DA FIGURA 3.13, AQUI REPRODUZIDO. ....	62
3.19: CONSTRUÇÃO DO MODELO DO CIRCUITO DA FIGURA 3.13. ....	63

3.20: RESULTADO DA ESCOLHA DE PARÂMETROS A MEDIR PARA O CIRCUITO DA FIGURA 3.13. ....	65
3.21: EXEMPLO DE REDE E GRAFO DE TESTE CORRESPONDENTE PARA O CONJUNTO DE NÓS ACESSÍVEIS {A,G}.....	71
3.22: GRAFO DE TESTE DO MESMO CIRCUITO DA FIGURA 3.21, PARA O CONJUNTO DE NÓS ACESSÍVEIS {A,F,G}.....	72
3.23: MALHA DE RESISTÊNCIAS PARA APLICAÇÃO DO CONCEITO DE FALTAS EM NÓS. OS NÓS 1 E 3 ESTÃO ACESSÍVEIS. ....	73
3.24: GRAFO DE TESTE DO CIRCUITO DA FIGURA 3.23, PARA O CONJUNTO DE NÓS ACESSÍVEIS {1, 2, 3}.....	73
3.25: ENTRADAS E SAÍDAS DO MÓDULO DE EXTRACÇÃO DE FALTAS. ....	77
3.26: ENTRADAS E SAÍDAS DO MÓDULO DE ANÁLISE DE TESTABILIDADE. ....	78
4.1: INFORMAÇÃO DE ENTRADA E DE SAÍDA DO MÓDULO DE EXTRACÇÃO DE FALTAS. ....	82
4.2: DIAGRAMA DE CLASSES REPRESENTATIVO DA ARQUITECTURA DA FERRAMENTA. ....	83
4.3: DIAGRAMA DE FLUXO DE DADOS.....	85
4.4: JANELA DE ENTRADA DE DADOS PARA CONFIGURAÇÃO DA EXTRACÇÃO DE FALTAS REALISTAS. ....	86
4.5: JANELA DE ENTRADA DE DADOS PARA CONFIGURAÇÃO DA ANÁLISE INDUTIVA DE FALTAS.....	88
4.6: JANELA DE VISUALIZAÇÃO DA CARTA DE CIRCUITO IMPRESSO EM ANÁLISE. ....	88
4.7: ALGORITMOS DISPONÍVEIS PARA CÁLCULO DE DIVERSAS DISTÂNCIAS ENTRE OS ELEMENTOS DA CCI. NA FIGURA ESTÃO ASSINALADOS OS NOMES DAS FUNÇÕES DE CÁLCULO DE DISTÂNCIAS, TAL COMO SERÃO UTILIZADOS NA APRESENTAÇÃO DOS ALGORITMOS. ....	89
4.8: ALGORITMO DE CÁLCULO DA DISTÂNCIA ENTRE DUAS PISTAS. ....	91
4.9: ALGORITMO DA FUNÇÃO DE EXTRACÇÃO DE FALTAS REALISTAS EM PINOS.....	92
4.10: ALGORITMO DA FUNÇÃO DE EXTRACÇÃO DE FALTAS REALISTAS EM PISTAS. ....	94
4.11: ALGORITMO DE EXTRACÇÃO DE CIRCUITOS ABERTOS EM PISTAS. ....	95
4.12: ALGORITMO DE CÁLCULO DA ÁREA CRÍTICA PARA DEFEITOS QUE PROVOCAM CURTO-CIRCUITOS. ....	96
4.13: ALGORITMO DE GERAÇÃO ALEATÓRIA DE DEFEITOS. ....	97
4.14: ALGORITMO DE EXTRACÇÃO DE CURTO-CIRCUITOS ENTRE PINOS. ....	98
4.15: ALGORITMO DE EXTRACÇÃO DE CURTO-CIRCUITOS ENTRE PISTAS. ....	99
4.16: ALGORITMO DE EXTRACÇÃO DE CIRCUITOS ABERTOS EM PISTAS. ....	100
4.17: CARTA DE CIRCUITO IMPRESSO UTILIZADA PARA DEMONSTRAR O FUNCIONAMENTO DA FERRAMENTA DE EXTRACÇÃO DE FALTAS. ....	101
4.18: RESULTADO DA EXTRACÇÃO DE FALTAS UTILIZANDO O MODO DE EXTRACÇÃO DE FALTAS REALISTAS. ....	102
4.19: DIFERENTE PROBABILIDADE DE OCORRÊNCIA DE CURTO-CIRCUITOS PARA A MESMA DISTÂNCIA ENTRE PISTAS.....	103
4.20: AMPLIAÇÃO DE UMA ZONA DA CCI PARA MOSTRAR A ÁREA CRÍTICA PARA CURTO-CIRCUITOS ENTRE AS PISTAS 9 E 10. ....	103
4.21: RESULTADO DA EXTRACÇÃO DE FALTAS UTILIZANDO O MODO DE ANÁLISE INDUTIVA DE FALTAS.....	104
4.22: AMPLIAÇÃO DE UMA ZONA DA CCI DA FIGURA 4.21 PARA MOSTRAR EM PORMENOR OS DEFEITOS INSERIDOS E AS FALTAS EXTRAÍDAS.....	105
4.23: GRÁFICO COM OS CURTO-CIRCUITOS ENTRE PISTAS ORDENADOS PELO NÚMERO DE OCORRÊNCIAS.....	106

5.1: SEQUÊNCIA DE OPERAÇÕES PARA APLICAÇÃO DA ANÁLISE DE TESTABILIDADE DE FALTAS EM NÓS. ....	111
5.2: CIRCUITO DE EXEMPLO PARA APLICAÇÃO DA TESTABILIDADE DE FALTAS EM NÓS. OS NÓS 1, 2 E 3 ESTÃO ACESSÍVEIS.....	112
5.3: ENTRADAS E SAÍDAS DO MÓDULO DE ANÁLISE DE TESTABILIDADE.....	115
5.4: DIAGRAMA DE CLASSES REPRESENTATIVO DA ARQUITECTURA DO MÓDULO DE ANÁLISE DE TESTABILIDADE.....	116
5.5: DIAGRAMA DE FLUXO DE DADOS DA FERRAMENTA DE ANÁLISE DE TESTABILIDADE. ....	119
5.6: JANELA PRINCIPAL DA FERRAMENTA DE ANÁLISE DE TESTABILIDADE. ....	120
5.7: CIRCUITO DE EXEMPLO PARA APLICAÇÃO DA FERRAMENTA E RESPECTIVO GRAFO DA MALHA DE COMPONENTES PASSIVOS EXTERNOS AO AMPOP. ....	122
5.8: GRAFO DE TENSÕES E DE CORRENTES PARA O CIRCUITO DA FIGURA 5.16. ....	123
5.9: GRAFO DE TESTE PARA O CIRCUITO DA FIGURA 5.16, AQUI REPRODUZIDO, PARA O CONJUNTO DE NÓS ACESSÍVEIS {1, 3}. ....	123
5.10: VARIAÇÃO DA DETECÇÃO DAS FALTAS NO CIRCUITO DA FIGURA 5.9 PARA DIFERENTES VALORES DO FACTOR DE PONDERAÇÃO DO DESVIO PADRÃO ( $L$ ). ....	127
5.11: VARIAÇÃO DA DETECÇÃO DAS FALTAS NO CIRCUITO DA FIGURA 5.9 PARA DIFERENTES VALORES DO FACTOR DE PONDERAÇÃO DO DESVIO PADRÃO ( $L$ ), E PARA A FREQUÊNCIA DE TESTE 50HZ. ....	127
5.12: VARIAÇÃO DA DETECÇÃO DAS FALTAS NO CIRCUITO DA FIGURA 5.9 PARA DIFERENTES VALORES DO FACTOR DE PONDERAÇÃO DO DESVIO PADRÃO ( $L$ ), E PARA A FREQUÊNCIA DE TESTE 250HZ. ....	128
5.13: VARIAÇÃO DA DETECÇÃO DAS FALTAS NO CIRCUITO DA FIGURA 5.9 PARA DIFERENTES VALORES DO FACTOR DE PONDERAÇÃO DO DESVIO PADRÃO ( $L$ ), E PARA A FREQUÊNCIA DE TESTE 500HZ. ....	128
5.14: VARIAÇÃO DA DETECÇÃO DAS FALTAS NO CIRCUITO DA FIGURA 5.9 PARA DIFERENTES VALORES DO FACTOR DE PONDERAÇÃO DO DESVIO PADRÃO ( $L$ ), E PARA UMA TOLERÂNCIA DE 2% PARA OS VALORES DOS COMPONENTES.....	129
5.15: VARIAÇÃO DA DETECÇÃO DAS FALTAS NO CIRCUITO DA FIGURA 5.9 PARA DIFERENTES VALORES DO FACTOR DE PONDERAÇÃO DO DESVIO PADRÃO ( $L$ ), E PARA UMA TOLERÂNCIA DE 10% PARA OS VALORES DOS COMPONENTES.....	129
5.16: DESENHO DE UMA HIPOTÉTICA CCI PARA IMPLEMENTAR UM FILTRO <i>SALLEN-KEY</i> .....	130
5.17: FILTRO <i>SALLEN-KEY</i> E RESPECTIVO GRAFO DE TESTE PARA OS NÓS ACESSÍVEIS {1, 3}. ....	130
5.18: OPÇÕES INSERIDAS NO MÓDULO DE EXTRACÇÃO DE FALTAS. ....	131
5.19: RESULTADO DA EXTRACÇÃO DE CURTO-CIRCUITOS ENTRE PISTAS. ....	132
5.20: VARIAÇÃO DA DETECÇÃO DAS FALTAS PARA DIFERENTES VALORES DO FACTOR DE PONDERAÇÃO ( $L$ ). ....	133
5.21: ARQUITECTURA DETALHADA DE UM MÓDULO ABM. ....	133
5.22: ARQUITECTURA DO CIRCUITO INTEGRADO MNABST-1.....	134
5.23: CONFIGURAÇÃO DO CIRCUITO EXPERIMENTAL. OS NÓS 1 E 3 ESTÃO ACESSÍVEIS ATRAVÉS DE DOIS ABMS.....	135
6.1: CARTA DE EXPANSÃO PARA PC UTILIZADA PARA CONTROLAR A INFRA-ESTRUTURA IEEE 1149.4. ....	136

# Lista de Tabelas

3.1: MATRIZES DE TESTE E RESPECTIVOS DETERMINANTES .....	75
5.1: DETERMINANTES DAS MATRIZES DE TESTE PARA O CIRCUITO NOMINAL. SÃO MOSTRADOS DOIS EXEMPLOS, JUNTAMENTE COM A MÉDIA E O DESVIO PADRÃO DOS RESULTADOS DE 30 SIMULAÇÕES MONTE CARLO. ....	113
5.2: DETERMINANTES DAS MATRIZES DE TESTE DO CIRCUITO COM UMA FALTA NO COMPONENTE R8 (+50% EM VALOR).....	113
5.3: DETERMINANTES DAS MATRIZES DE TESTE PARA O COMPONENTE FALTOSO R <sub>8</sub> (-50% EM VALOR). ....	113
5.4: DETERMINANTES DAS MATRIZES DE TESTE PARA O COMPONENTE FALTOSO R <sub>4</sub> (+50% EM VALOR).....	114
5.5: DETERMINANTES DAS MATRIZES DE TESTE PARA O COMPONENTE FALTOSO R <sub>4</sub> (-50% EM VALOR). ....	114
5.6: DETERMINANTES DAS MATRIZES DE TESTE PARA UM CURTO-CIRCUITO EM R <sub>8</sub> . ....	114
5.7: MÉDIA E DESVIO PADRÃO DOS DETERMINANTES PARA 30 SIMULAÇÕES MONTE CARLO DO CIRCUITO NOMINAL. ....	126
5.8: CASOS UTILIZADOS NA MONTAGEM EXPERIMENTAL. ....	136
5.9: LIMITES DE DETECÇÃO DOS DETERMINANTES.....	137
5.10: RESULTADOS DO DIAGNÓSTICO. ....	137



---

## Lista de Acrónimos

ABM	<i>Analogue Boundary Module</i>
AMPOP	Amplificador Operacional
A/D	Analógico/Digital
BST	<i>Boundary Scan Test</i>
CCI	Carta de Circuito Impresso
CI	Circuito Integrado
DfT	<i>Design for Testability</i>
D/A	Digital/Analógico
IEEE	<i>Institute of Electrical and Electronic Engineers</i>
SMT	<i>Surface-Mount Technology</i>
THT	<i>Through-Hole Technology</i>





# Capítulo 1

## Introdução

A electrónica tem seguido um percurso de desenvolvimento muito acentuado, caracterizado essencialmente por uma generalização da utilização de circuitos electrónicos em novos domínios de aplicação, que tiram partido das crescentes capacidades de processamento e de miniaturização. Neste processo evolutivo, que tem sido possível em virtude dos constantes avanços nas tecnologias de fabrico de semicondutores, permitindo cada vez mais elevada densidade de dispositivos, tem um papel importante o desenvolvimento de novos métodos de teste que garantam a qualidade dos circuitos fabricados.

### 1.1 Panorâmica actual e tendências futuras

A evolução dos sistemas electrónicos e dos produtos com uma forte componente electrónica tem sido caracterizada pelo aumento das funcionalidades e do desempenho, pelo aumento da qualidade e da fiabilidade, pela redução das dimensões e do consumo energético, e pela redução do preço.

A forte competitividade e a rápida evolução das tecnologias de fabrico de circuitos electrónicos, segundo as linhas atrás definidas, leva a que o tempo de colocação no mercado seja um dos mais importantes factores críticos de sucesso de qualquer produto com forte componente electrónica. No entanto, alguns factores irão previsivelmente continuar a condicionar e a direccionar o desenvolvimento da indústria electrónica — a miniaturização, o aparecimento de novos domínios de aplicação e a cada vez maior dificuldade associada ao teste dos circuitos electrónicos.

### 1.1.1 Miniaturização

Em resultado do grande esforço de investigação e desenvolvimento no domínio da Microelectrónica, tem sido possível obter níveis crescentes de integração de dispositivos em silício, a uma taxa de crescimento de cerca de 75% ao ano [1], conseguindo desta forma aumentar significativamente o número de dispositivos por unidade de área. O aumento de funcionalidades de um Circuito Integrado (CI) implica normalmente um aumento do número de sinais para comunicar com o exterior do circuito, justificando assim a pressão para o desenvolvimento de novas tecnologias para implantação e interligação de CIs. Assim, têm surgido novos tipos de encapsulamentos miniaturizados e com grande variedade de formatos disponíveis, o que tem permitido um aumento do número de terminais, prevendo-se um crescimento a uma taxa de cerca de 12% ao ano [1]. A necessidade de miniaturizar os encapsulamentos também abrange os componentes passivos (figura 1.1), de forma a obter uma redução acentuada do tamanho das Cartas de Circuito Impresso (CCIs) em que o número de componentes passivos é significativo, como é o caso dos circuitos utilizados em comunicações móveis.

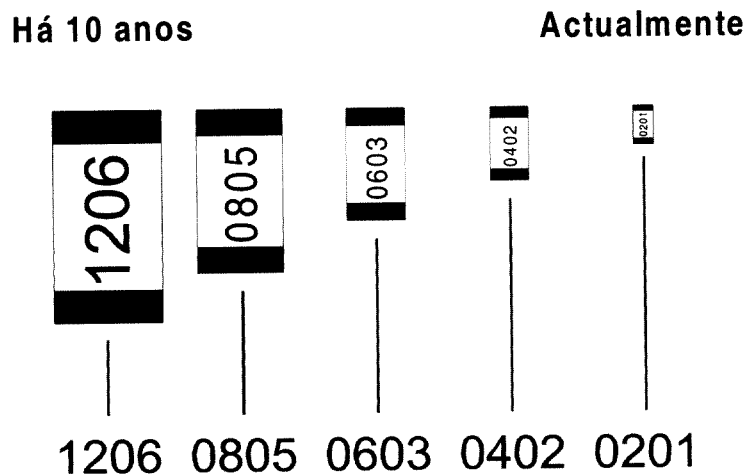


Figura 1.1: Os encapsulamentos de componentes passivos seguem a tendência de miniaturização [2].

Um dos factores mais determinantes para a evolução registada pelos encapsulamentos foi o desenvolvimento da tecnologia de montagem de componentes em superfície (*Surface-Mount Technology*) que, por comparação com a tradicional tecnologia de montagem por inserção em

furo (*Through-Hole Technology*), permite uma muito maior densidade de circuitos e de pinos, para além de melhorar as características de desempenho do circuito implantado.

### 1.1.2 Novos domínios de aplicação

Se, por um lado, o contínuo aperfeiçoamento e a introdução de novas tecnologias de fabrico tem respondido às linhas de força dominantes, vieram também possibilitar o aparecimento de novas aplicações [3], tais como as comunicações móveis, os sistemas multimédia, os sistemas de navegação e instrumentação avançada, as quais trouxeram um novo impulso decisivo para a expansão da Microelectrónica.

Associado a este impulso, surge renovado o interesse e a importância dos circuitos analógicos. De facto, a maioria das novas aplicações envolvem uma grande capacidade de processamento, mas também necessitam de vias de comunicação com o mundo exterior, através de componentes analógicos e mistos (analógicos e digitais) para conversão entre o domínio analógico e digital (e vice-versa), e para condicionamento de sinal (filtragem, amplificação, adaptação da gama de valores).

### 1.1.3 Teste de circuitos electrónicos

O crescimento da indústria de fabrico de CIs digitais foi acompanhado na sua evolução pelo desenvolvimento de metodologias de teste capazes de responder às necessidades de melhor qualidade dos circuitos, menor custo de fabrico e mais rápida colocação no mercado. A conjugação destes desenvolvimentos tem permitido o sucessivo aparecimento de novas gerações de CIs digitais de maior desempenho.

As primeiras práticas de teste, baseadas na aplicação de todas as combinações de entradas dos circuitos e verificação das saídas (teste funcional exaustivo), foram rapidamente ultrapassadas pela complexidade e pelo número de sinais envolvidos. Assistiu-se por isso a uma evolução para o teste estrutural, baseado na análise dos elementos que compõem a estrutura do circuito e num modelo de faltas aceite universalmente. Isto permitiu diminuir consideravelmente o tempo e o custo associado ao teste, abrindo também espaço para o desenvolvimento de algoritmos para a geração automática de vectores de teste, que permitem obter uma medida da

qualidade dos vectores de teste gerados. Surgiram também novas técnicas de teste de circuitos digitais, tais como a análise de assinatura, inclusão de capacidades de autoteste, monitorização da corrente de alimentação, entre outras, as quais têm permitido lidar com o aumento de complexidade dos circuitos.

A miniaturização dos componentes coloca novos desafios em termos do teste de CCI's, não só devido à redução de escala de todos os parâmetros de fabrico, mas também devido aos novos métodos de implantação dos componentes e ao maior número de interligações. Os métodos mais recentes para implantação de componentes e o aparecimento de suportes multicamada tornam indesejável, ou mesmo impraticável, o processo tradicional de teste por acesso mecânico. As restrições ao acesso mecânico a nós de teste nas CCI's são contornadas pela utilização de metodologias de projecto orientadas para a testabilidade, que incluem, por exemplo, o uso de infra-estruturas de teste a incluir no desenho dos circuitos electrónicos de forma a permitir o acesso electrónico a nós internos.

A maior densidade de interligações implica que as CCI's podem ter um maior número de interligações, o que obriga a um conjunto de testes mais extenso e ao acesso a um grande número de nós de teste. Contudo, existe um custo associado ao tempo de teste e, caso o acesso seja feito por intermédio de uma infra-estrutura de teste, existe também um custo em termos dos circuitos electrónicos adicionais necessários para implementar a infra-estrutura de teste, o qual cresce com o aumento do número de nós de teste.

Podemos afirmar que existe uma base sólida de conhecimentos e de técnicas padronizadas para lidar com o teste de circuitos digitais, cuja razão fundamental reside na grande atenção dada à problemática do teste dos circuitos digitais associada ao grande desenvolvimento observado nas últimas duas décadas. A situação é diferente no que diz respeito aos circuitos analógicos. Em comparação, a complexidade do teste analógico é maior devido à própria diferença na natureza dos circuitos. Embora o número de dispositivos e de sinais seja normalmente reduzido, os sinais envolvidos são contínuos no tempo e em amplitude, e o desempenho dos circuitos é dependente da topologia, do valor dos componentes que o formam, e das próprias condições ambientais. Enquanto que uma falta num circuito digital pode significar a diferença entre o valor lógico 1 e o valor lógico 0 num determinado nó de

observação, num circuito analógico a diferença tem de ter amplitude suficiente para ser detectada pela instrumentação de teste. Uma outra limitação associada ao teste dos circuitos analógicos é a inexistência de modelos de faltas universalmente aceites e aplicáveis a todos os circuitos. Por estas razões, os circuitos analógicos e mistos são normalmente testados por intermédio de testes funcionais paramétricos, isto é, através da verificação de determinados parâmetros de desempenho do circuito.

A pressão exercida pelos novos domínios de aplicação, com as suas exigências de miniaturização e de desempenho, desencadeou uma tendência para a integração de circuitos digitais e circuitos analógicos num mesmo CI ou CCI. A presença de circuitos cada vez mais complexos e de natureza diversa num mesmo sistema levanta problemas de testabilidade, nomeadamente pela questão da acessibilidade aos circuitos analógicos. Apesar do nível crescente de integração, continuam a existir diversos componentes passivos externos aos circuitos integrados, e com a miniaturização destes componentes torna-se praticamente impossível o acesso físico para medir os seus valores. Devido a estes problemas de acessibilidade foi desenvolvida e aprovada em Junho de 1999 a norma IEEE 1149.4 [4] que define uma infra-estrutura de teste a incluir nos circuitos de forma a permitir o acesso electrónico a nós de teste.

## 1.2 Objectivos do trabalho

O presente trabalho lida com a problemática da testabilidade de CCIs com componentes analógicos e mistos, e propõe uma ferramenta computacional de suporte à análise e ao planeamento de testabilidade de CCIs, utilizando os desenvolvimentos mais recentes na área do teste de circuitos analógicos e mistos, nomeadamente a norma de barramento de teste misto IEEE 1149.4.

A utilização desta infra-estrutura tem um custo associado aos circuitos adicionais que a compõem. Deste modo, a inserção de circuitos dedicados ao teste deve ser justificada em termos de melhorias na testabilidade. Por outro lado, a constante evolução nos processos de fabrico implica uma alteração das características dos defeitos ocorridos no fabrico de CCIs, em termos do tipo de defeitos e do número de ocorrências. Deste modo, torna-se essencial

estudar e caracterizar os defeitos introduzidos no processo de fabrico de CCI, de modo a otimizar o teste para a detecção dos defeitos mais frequentes, e assim reduzir o número de testes e o tempo necessário à sua realização.

A metodologia proposta neste trabalho é composta por duas partes principais que contemplam os seguintes aspectos:

- Extração das faltas de ocorrência mais provável no fabrico de CCI através da implementação de algoritmos de extração de faltas, a partir da descrição física da carta de circuito impresso em análise e das características dos defeitos de fabrico mais comuns.
- Análise da testabilidade de circuitos analógicos, a partir das faltas de ocorrência mais provável, e resultando na selecção dos nós e dos estímulos de teste, de forma a garantir um determinado grau de testabilidade.

### 1.3 Organização da Dissertação

O capítulo 2 descreve e classifica os tipos de CCI actualmente existentes e os tipos de encapsulamentos de CI mais comuns, apresenta e caracteriza os mecanismos responsáveis pela ocorrência de defeitos de fabrico em CCI, e faz uma revisão do estado da arte do teste de CCI.

No capítulo 3 é proposta uma estrutura para uma ferramenta de análise e planeamento de testabilidade de CCI com componentes analógicos e mistos. Esta estrutura é composta por dois módulos principais que podem ser utilizados como duas ferramentas autónomas: uma ferramenta realiza a extração de faltas em CCI e a outra realiza a análise de testabilidade de circuitos analógicos. Após a apresentação da estrutura da ferramenta, são ainda analisados vários métodos para realizar estas duas operações.

A ferramenta de extração de faltas em CCI é apresentada no capítulo 4 e a ferramenta de análise de testabilidade é apresentada no capítulo 5. Em ambos os casos é feita uma apresentação da estrutura da ferramenta, em termos da estrutura de dados, do modelo

funcional, e da interface gráfica. O seu funcionamento é demonstrado através de exemplos de aplicação. O capítulo 5 apresenta um exemplo de utilização da ferramenta de análise e planeamento de testabilidade, através da integração da informação extraída pelos dois módulos que a compõem. A aplicação prática do método de análise de testabilidade é objecto de estudo, através da montagem de um circuito e da utilização de um circuito integrado experimental com módulos de observação analógicos.

O trabalho termina com a apresentação das conclusões no capítulo 6, onde é feita uma revisão do trabalho realizado e dos objectivos atingidos, e onde são apontados possíveis caminhos a percorrer para melhorar e enriquecer a ferramenta desenvolvida.





## Capítulo 2

# Fabrico e Teste de Cartas de Circuito Impresso

O principal suporte de agregação e interligação de dispositivos electrónicos continua a ser a Carta de Circuito Impresso (CCI). A tecnologia empregue na concepção e fabrico de CCIs está directamente ligada ao desenvolvimento dos encapsulamentos dos Circuitos Integrados (CI) e tem acompanhado, ainda que em ritmo menos acentuado, a tendência para a redução de dimensões dos componentes e dos elementos de interligação. O teste de CCIs é uma etapa fundamental no processo de fabrico, sendo a operação utilizada para avaliar e garantir, na medida do possível, a qualidade de fabrico.

Este capítulo tem como objectivo a apresentação das principais tecnologias envolvidas no fabrico e teste de CCIs. Em primeiro lugar é feita uma caracterização das tecnologias de montagem e de encapsulamento de circuitos integrados. Após a apresentação dos mecanismos responsáveis pela introdução de defeitos nas várias fases do processo de fabrico, é feita uma revisão do estado da arte de teste de CCIs.

### **2.1 Tecnologias de fabrico de cartas de circuito impresso**

As cartas de circuito impresso podem ser classificadas de diferentes formas de acordo com os seus diversos atributos: material do substrato, definição do traçado dos condutores, rigidez, método de metalização, estrutura de camadas, e utilização ou não de furo metalizado. O substrato da CCI actua como suporte para a implantação dos componentes e para a formação das interligações, podendo ser do tipo orgânico (camadas de papel ou de vidro impregnado

com resinas) ou inorgânico (principalmente cobre e alumínio). A definição do traçado dos condutores pode ser feito de forma gráfica, através da deposição de uma película condutora (método de metalização aditivo) ou de remoção da parte não desejada da película condutora existente na superfície do substrato (método de metalização substractivo), ou através da implantação de fio condutor directamente na superfície (métodos *wirewrap* e multifio). As cartas flexíveis e *RigiFlex* são aplicadas em casos em que existe movimento entre as partes constituintes da carta ou para obter uma maior eficiência volumétrica. As CCI's podem apresentar circuitos apenas numa face, ou em ambas as faces, podendo em ambos os casos apresentar interligações em camadas internas (cartas multicamada). Algumas CCI's utilizam furos metalizados para proporcionar o contacto entre as várias camadas.

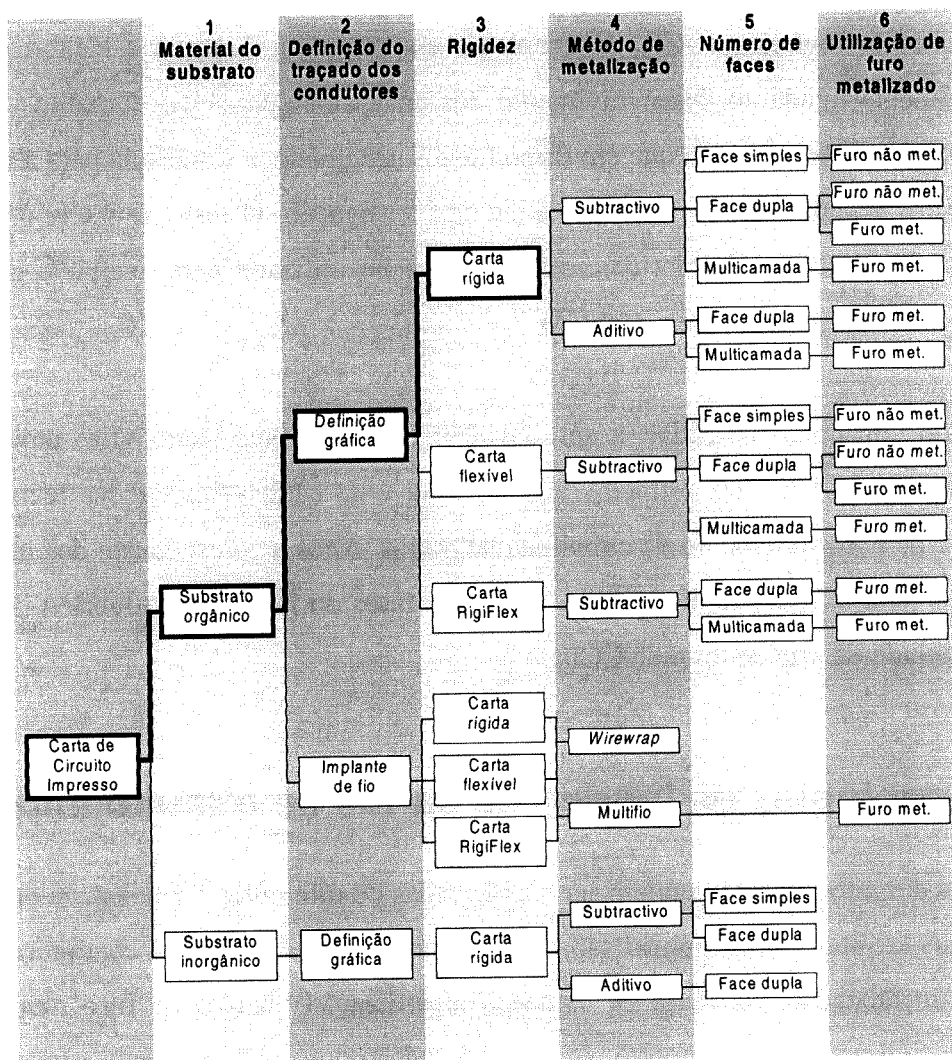


Figura 2.1: Classificação das cartas de circuito impresso de acordo com seis atributos [5]. As mais comuns são as CCI's rígidas, de substrato orgânico e com definição gráfica do traçado dos condutores.

A figura 2.1 apresenta uma classificação dos diversos tipos de CCIs de acordo com os atributos atrás mencionados. As mais comuns são as CCIs rígidas, de substrato orgânico, e com definição gráfica do traçado dos condutores, pelo que por norma serão estas as consideradas neste trabalho.

### 2.1.1 Tecnologias de montagem

Até aos anos 80 os circuitos integrados eram predominantemente montados com a tecnologia de inserção em furo (*Through-Hole Technology – THT*), utilizando principalmente os encapsulamentos *Dual In-line Package*. Desde então têm surgido novos tipos de encapsulamentos, tais como o *Small Outline Package – SOP*, *Plastic Leadless Chip Carrier – PLCC* e *Ball Grid Array – BGA*, adequados para a montagem em superfície (*Surface-Mount Technology – SMT*), que se tornou o método mais utilizado para a montagem de componentes, por permitir uma maior densidade de circuitos e melhor desempenho eléctrico do que a tecnologia THT.

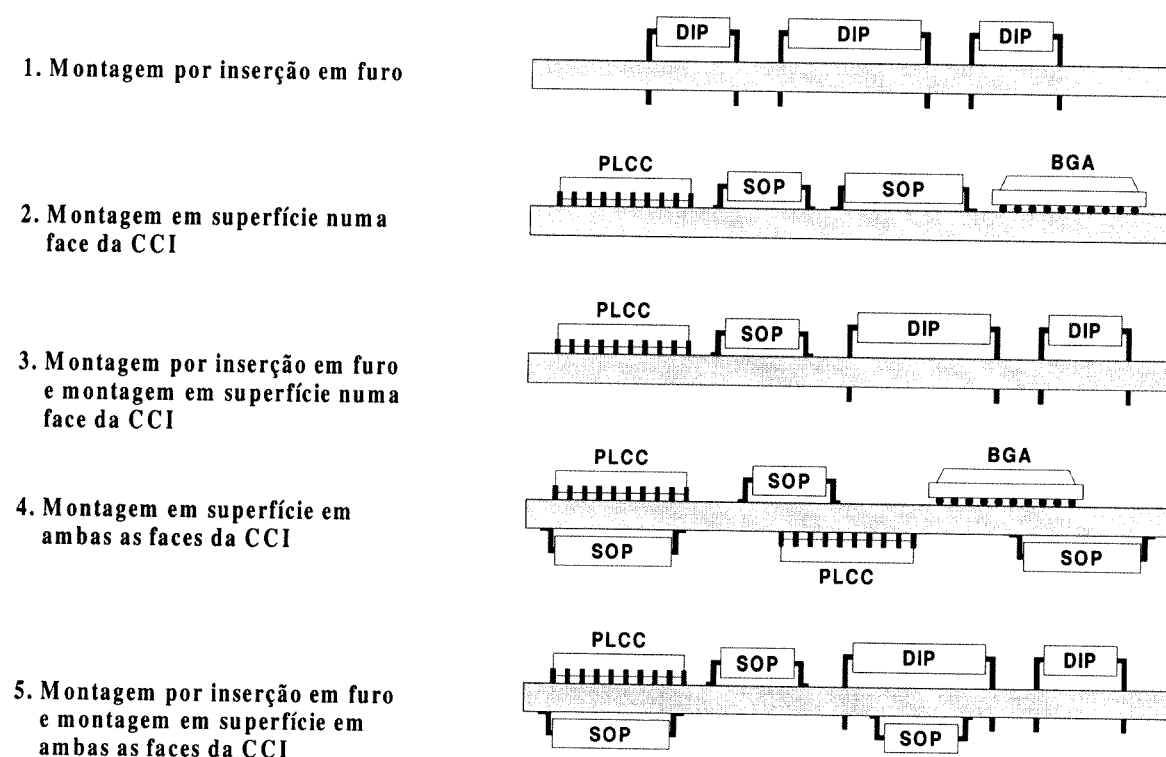


Figura 2.2: Soluções para a implantação de componentes em CCIs [6].

Estas duas tecnologias de montagem podem ser conjugadas, pelo que existem diversas soluções para a implantação de componentes em CCI, como ilustra a figura 2.2: montagem por inserção em furo, montagem superficial numa face da CCI, mista inserção em furo e montagem superficial numa face da CCI, montagem superficial em ambas as faces, inserção em furo e montagem superficial em ambas as faces. As etapas concretas do processo de fabrico de CCI serão apresentadas na secção 2.2, para ilustrar os defeitos ocorridos em cada uma dessas fases de fabrico.

### 2.1.2 Tecnologias de encapsulamento de circuitos integrados

Existe actualmente uma grande variedade de encapsulamentos disponíveis, tanto para montagem por inserção em furo como para montagem superficial, variando a disposição, o tamanho e a distância entre terminais. Os terminais podem ser dispostos de duas formas:

- Disposição periférica, em que os terminais estão localizados nos limites do encapsulamento. O número de terminais é limitado pelo perímetro do encapsulamento.
- Disposição matricial, em que os terminais estão localizados na superfície inferior do encapsulamento, possibilitando a colocação de um grande número de ligações numa área reduzida.

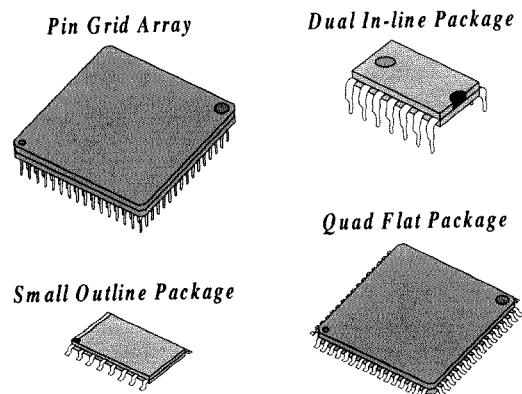


Figura 2.3: Tipos de encapsulamento mais comuns.

A disposição periférica é a solução mais comum. No entanto, com o aumento do número de terminais, o espaçamento entre pinos tende a ser demasiado pequeno, o que coloca problemas na montagem, originando rendimentos de fabrico muito baixos. Por esta razão, a disposição matricial é preferível quando o número de terminais é elevado (da ordem das centenas).

Os principais tipos de encapsulamentos de circuitos integrados actualmente disponíveis são:

- **Dual In-line Package (DIP)** — Este foi o encapsulamento mais utilizado até final da década de 80, sendo a montagem feita por inserção em furo. O seu formato é rectangular, com os pinos dispostos em paralelo em intervalos de 2,5mm ou 1,8mm, para um número máximo de 64 pinos. Em resultado das pressões para a compactação das CCI, este encapsulamento tem vindo a ser progressivamente substituído pelos encapsulamentos SOP, PLCC e QFP.
- **Small Outline Package (SOP)** — Tem uma estrutura semelhante ao DIP, mas com os pinos em forma de “J” ou de degrau, sendo a montagem feita em superfície. O intervalo entre pinos é de 1,27mm, mas existem também versões mais compactas (SSOP) com intervalos de 0,80mm ou 0,65mm.
- **Leadless Ceramic Chip Carrier/Plastic Leadless Chip Carrier (LCCC/PLCC)** — Neste caso a pastilha de silício é fixada a um suporte, cerâmico ou plástico, sendo as ligações para o exterior constituídas por contactos planos na base em torno do encapsulamento, o qual tem forma quadrada. Desta forma, o integrado pode ser montado em superfície ou num conector de inserção em furo.
- **Quad Flat Package (QFP)** — Este encapsulamento de forma quadrada utiliza pinos em forma de degrau dispostos na periferia do encapsulamento, com espaçamentos de 1,00mm, 0,80mm ou 0,65mm. Existem versões mais compactas (*Fine Pitch* QFP), com espaçamento entre pinos de 0,50mm ou 0,40mm.
- **Pin Grid Array/Pad Array Carrier/Ball Grid Array (PGA/PAC/BGA)** — Estes encapsulamentos distinguem-se pela utilização da disposição matricial, em que os terminais estão localizados na superfície inferior do encapsulamento, pelo que são os mais utilizados para CIs com grande número de pinos. O encapsulamento PGA é utilizado há mais de duas décadas e a sua montagem é feita por inserção em furo

ou por montagem em conectores de inserção em furo, para permitir a troca do CI. Os componentes PAC e BGA, mais recentes, são montados em superfície.

- **Chip-Scale Package (CSP)** — Este tipo de encapsulamento é caracterizado por ocupar uma área até 20% superior à área da pastilha de silício encapsulada. Existem mais de 150 estilos diferentes de CSP, entre os quais: *Fine Pitch Ball Grid Array*, *Fine Pitch Land Grid Array*, *Small Outline No Lead*, e *Quad Fine Pitch No Lead*.
- **Chip-On-Board/Direct-Chip Attach (COB/DCA)** — Nestes casos a pastilha de silício é implantada directamente na CCI, proporcionando assim a maior densidade de circuitos e de ligações. No caso do COB as ligações entre o CI e a CCI são estabelecidas por implantação de fio, enquanto no caso do DCA é feito por soldadura directa dos terminais, dispostos em matriz na superfície inferior da pastilha, na CCI.
- **Multi-Chip Modules (MCM)** — Este encapsulamento engloba várias pastilhas de silício implantadas no mesmo substrato pelo método DCA, proporcionando assim uma economia de área comparativamente com a área requerida para a implantação do mesmo número de CIs directamente na CCI. Os MCM são por sua vez implantados em CCIs com tecnologia SMT.

De entre os tipos de encapsulamentos actualmente existentes, tem vindo a verificar-se uma diminuição na utilização do tipo DIP, como ilustra a figura 2.4, devido ao seu grande tamanho e às restrições impostas pela disposição dos pinos em duas linhas paralelas, nomeadamente no reduzido número de pinos e no formato do encapsulamento. Em sua substituição têm sido utilizados em grande escala os tipos SOP, QFP e outros de montagem em superfície, o que permite uma maior densidade de circuitos e a montagem em ambas as faces da CCI.

No caso de CIs com grande número de terminais a tendência aponta para a utilização de encapsulamentos com os terminais dispostos em matriz na superfície inferior do encapsulamento, tais como PGA e, mais recentemente, BGA. Estes encapsulamentos dispõem de um grande número de terminais e com um espaçamento entre si razoavelmente grande, de forma a não comprometer o rendimento de fabrico. No caso concreto do tipo BGA estes apresentam a desvantagem de não ser possível inspeccionar os contactos com a CCI.

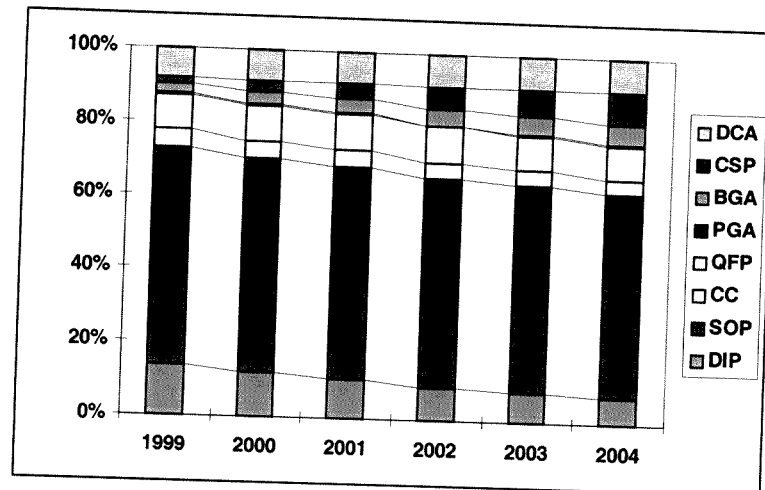


Figura 2.4: Quota de utilização dos diversos tipos de encapsulamentos [7].

A contínua investigação de novas tecnologias de encapsulamento de circuitos integrados, na procura de uma maior compactação, mas sem comprometer o desempenho eléctrico, e mantendo os custos e o rendimento de fabrico em níveis aceitáveis, tem resultado em novas soluções especialmente direccionadas para aplicações com exigências extremas de miniaturização e de desempenho, mas que a médio prazo poderão estar vulgarizadas.

## 2.2 Mecanismos de defeitos em cartas de circuito impresso

Após uma breve descrição das diferentes tecnologias envolvidas no fabrico de uma CCI, em termos dos diversos tipos de CCIs, dos processos de montagem dos componentes, e dos tipos de encapsulamentos disponíveis, passamos agora ao estudo dos mecanismos responsáveis pela ocorrência de defeitos no seu fabrico.

### 2.2.1 Defeitos e faltas

As faltas representam, a nível eléctrico ou funcional, o efeito que os defeitos físicos provocam no comportamento de um circuito. Os modelos de faltas, que definem o universo de faltas considerado para um determinado circuito, são utilizados para caracterizar o comportamento defeituoso de um circuito, permitindo a geração de testes para detectar esses defeitos e a determinação da eficácia de um teste, por exemplo pelo cálculo da razão entre o número de



faltas detectáveis e o universo de faltas consideradas — relação conhecida por “cobertura de faltas”.

Cada componente de um circuito analógico tem uma determinada contribuição para o desempenho global do circuito, pelo que podemos exprimir o desvio de desempenho do circuito como uma soma pesada das contribuições individuais de cada componente [8]:

$$\Delta\text{Desempenho} = \sum_i \left( \left( \frac{\Delta\text{Desempenho}}{\Delta P} \right)_{Ci} \times (\Delta P)_{Ci} \right) \quad (2.1)$$

O primeiro factor expressa a contribuição para o desempenho global do desvio do parâmetro  $P$  de cada componente  $C_i$ , e o segundo a variação do parâmetro  $P$  ocorrida em cada componente. Desta forma, e devido à natureza contínua dos sinais envolvidos em circuitos analógicos, a classificação de uma falta depende de um critério de tolerância, ou banda de tolerância, aceite para determinados parâmetros de desempenho. Em termos funcionais as faltas são normalmente classificadas em duas classes:

- Faltas catastróficas — são provocadas por variações extremas nos valores dos componentes que originam curto-circuitos ou circuitos abertos, induzindo a perda completa de funcionalidade.
- Faltas paramétricas — são devidas a variações dos valores dos componentes para além dos valores nominais, tendo como resultado um desvio do desempenho do circuito.

### 2.2.2 Defeitos ocorridos no processo de fabrico de CCIs

De acordo com a classificação de CCIs já referida, serão aqui consideradas as cartas rígidas de substrato orgânico, e com definição gráfica do traçado dos condutores. Para o tipo de CCI considerada, o processo de fabrico é composto por duas fases principais:

- Definição do traçado das pistas condutoras e formação de furos metalizados para ligação entre camadas e para montagem de componentes de inserção em furo. No

final desta fase é obtida a chamada *bare board*, preparada para receber os componentes.

- Montagem (colocação e soldadura) dos componentes na CCI.

Cada uma destas etapas pode ser responsável pela ocorrência de defeitos de fabrico, podendo então a qualidade de fabrico ser caracterizada por uma taxa de ocorrência de defeitos, que para os processos industriais actuais se mede normalmente em partes defeituosas por milhão (designado por **ppm** – *parts per million*). Os processos envolvidos em cada uma destas etapas determinam os tipos de defeitos encontrados nas CCIs. Por exemplo, na fase de definição do traçado das pistas, a presença de impurezas pode levar à ausência de metal numa pista, gerando um circuito aberto. Já no processo de soldadura dos componentes, o excesso de solda pode levar à formação de contactos entre pinos adjacentes de um circuito integrado, gerando assim um curto-circuito.

### 2.2.3 Defeitos introduzidos no fabrico das pistas e furos

O fabrico das pistas, em CCIs com definição gráfica do traçado dos condutores, faz-se por um processo de deposição e remoção de camadas de materiais por forma a obter o desenho desejado. Este processo é tanto mais crítico quanto mais estreitas forem as pistas e menor for o espaçamento entre elas. Neste processo ocorrem defeitos causados por, entre outros factores:

- Deposição deficiente dos materiais;
- Excesso de remoção da película condutora;
- Erros de posicionamento ou de alinhamento;
- Presença de impurezas.

Estes defeitos podem causar circuitos abertos e curto-circuitos entre pistas. Para um mesmo processo de fabrico, a probabilidade de ocorrência de defeitos aumenta com a diminuição da largura das pistas e com a diminuição do espaçamento entre elas. As deficiências em termos de deposição e decapagem de materiais pode levar a uma diminuição da espessura da camada condutora, enquanto que a presença de impurezas tem como consequência a constituição de

barreiras à formação das pistas, levando, em alguns casos, à ocorrência de descontinuidades ou ao aumento da resistência de condução das pistas.

O dimensionamento dos furos, para implantação de componentes de inserção em furo ou para ligação entre camadas, condiciona a densidade de ligações na CCI, devido à existência de regras de projecto que limitam a presença de pistas nas proximidades dos locais de furo. Estas regras de projecto são necessárias porque existe uma tolerância associada ao processo de furação, sendo a incerteza na localização caracterizada por uma “zona de influência do furo”. No exemplo da figura 2.5 pode verificar-se que essa zona é uma circunferência de diâmetro  $H+2D$ , sendo  $H$  o diâmetro do furo e  $D$  a incerteza de localização. Existe ainda uma separação de isolamento em relação aos condutores vizinhos representada pelo valor  $C$ . Ao evitar a passagem de pistas nestas zonas, limita-se a probabilidade de ocorrência de um curto-circuito entre o furo e as pistas adjacentes. No entanto, e dependendo da carta, a observação destas regras pode ser relaxada para aumentar a densidade de interligações. Em qualquer dos casos, a distância entre a zona do furo e as pistas adjacentes é um factor que condiciona a probabilidade de ocorrência de defeitos nessas zonas.

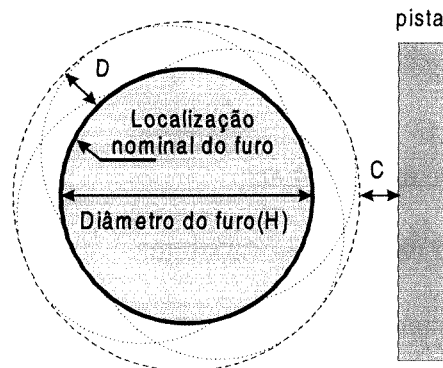


Figura 2.5: Zona de influência de um furo com incerteza de localização  $D$ .

## 2.2.4 Defeitos introduzidos no processo de montagem dos componentes

O processo de montagem dos componentes é dependente do tipo de encapsulamento dos componentes. Os tipos de encapsulamento mais vulgares são os de inserção em furo e os de

montagem superficial. A tecnologia de montagem superficial é dominante em relação à montagem por inserção em furo, por permitir principalmente uma maior densidade de componentes, a montagem em dupla face, e um melhor desempenho elétrico. No entanto, esta tecnologia apresenta maiores requisitos de qualidade do processo de soldadura, uma vez que os componentes de montagem superficial são de menores dimensões, o espaçamento entre os pinos dos integrados é menor e é mais difícil manter os componentes no local correcto de implantação até que a soldadura esteja solidificada.

Os componentes de inserção em furo são montados em duas fases, como mostra a figura 2.6: a inserção dos componentes nos respectivos furos e a soldadura por vaga de solda. Uma vez que os componentes são mantidos nos seus locais pela colocação nos furos, a probabilidade de ocorrência de deslocamentos é muito reduzida. Os problemas que podem surgir estão relacionados com a qualidade da pasta de solda e com a afinação de diversos parâmetros de consistência e temperatura da mesma.

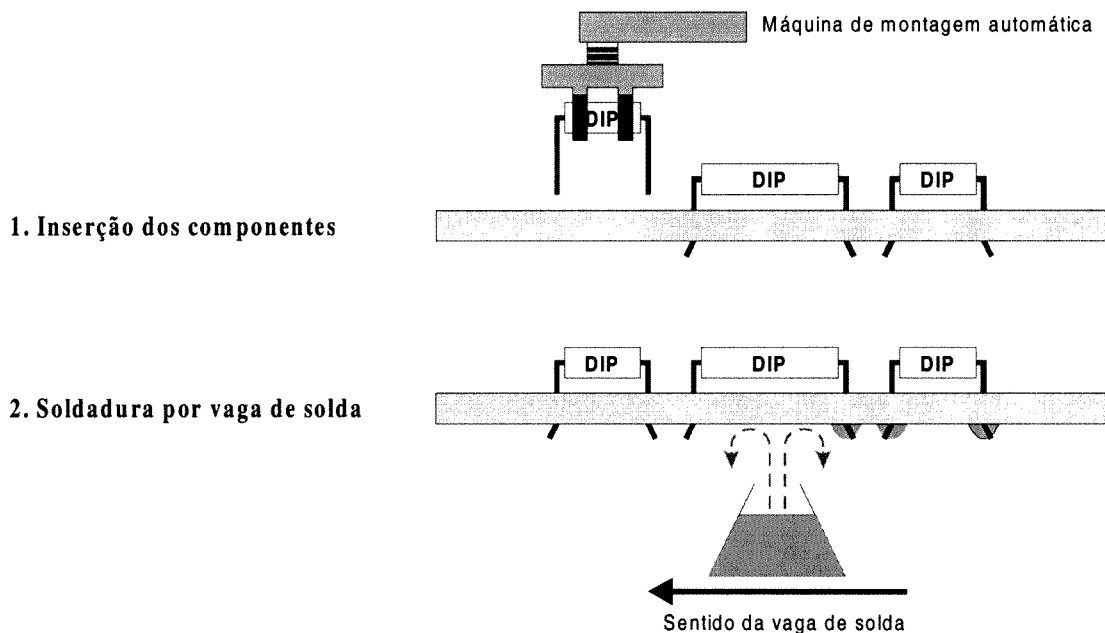
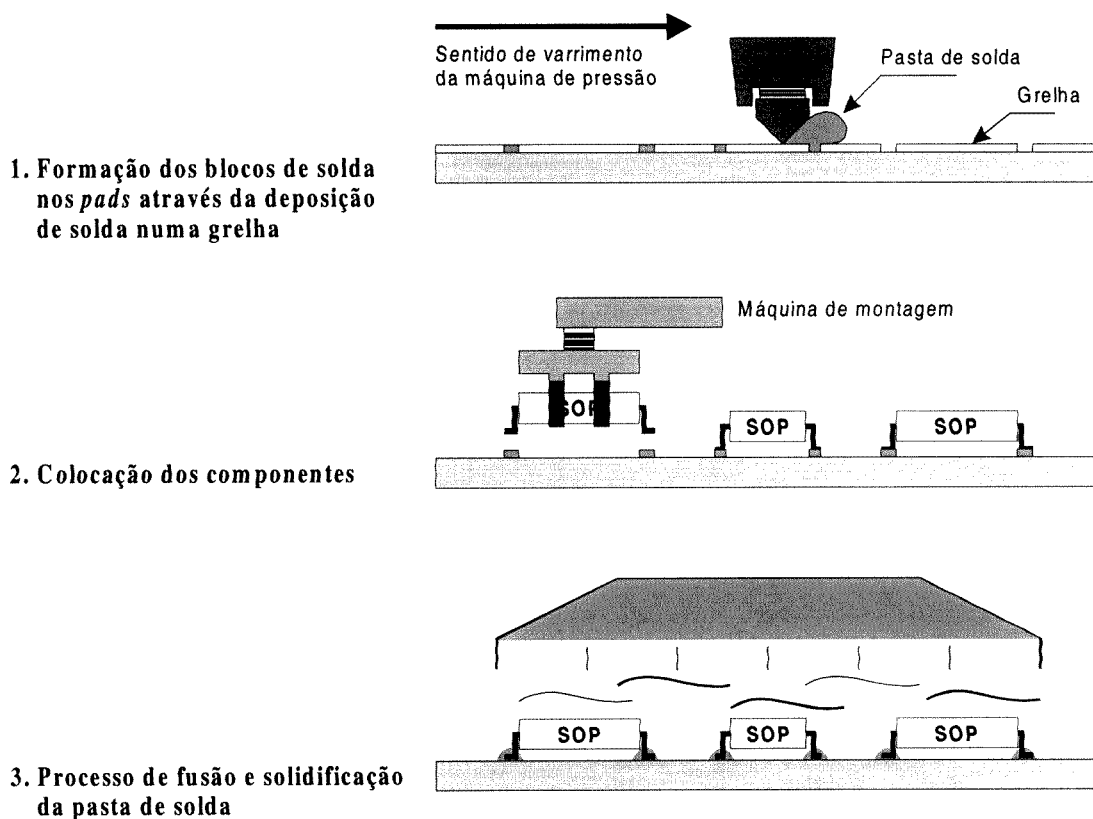


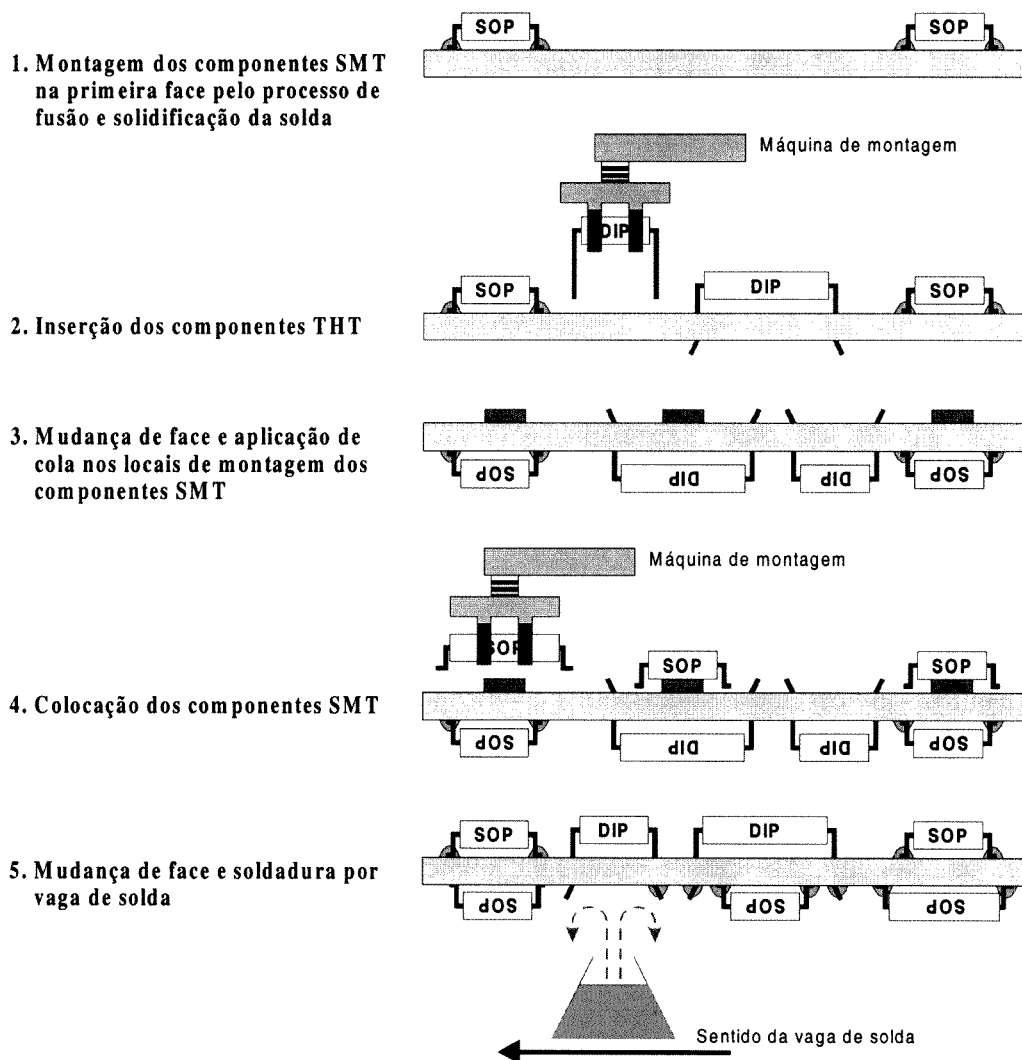
Figura 2.6: Fases da montagem de componentes de inserção em furo.

Os componentes de montagem em superfície obrigam a um processo de montagem mais complexo, como ilustra a figura 2.7. A soldadura tem aqui uma importância acrescida porque os componentes não se encontram seguros pelos pinos, como acontece com os componentes de inserção em furo. O processo de montagem requer a formação de blocos de pasta de solda sobre os locais de contacto da CCI com os pinos dos componentes (chamados *pads*). Após a colocação dos componentes nos respectivos locais, é efectuado um processo de elevação de temperatura de forma a fundir a solda, formando assim as ligações eléctricas e mecânicas entre a CCI e os terminais dos componentes. Esta fase é também muito sensível, porque uma má calibração dos parâmetros do volume da solda e da variação da temperatura pode levar os componentes a deslocarem-se do local correcto e a provocar curto-circuitos e circuitos abertos. Em cartas com montagem de componentes em superfície nas duas faces da carta, o processo de montagem referido é repetido para as duas faces.



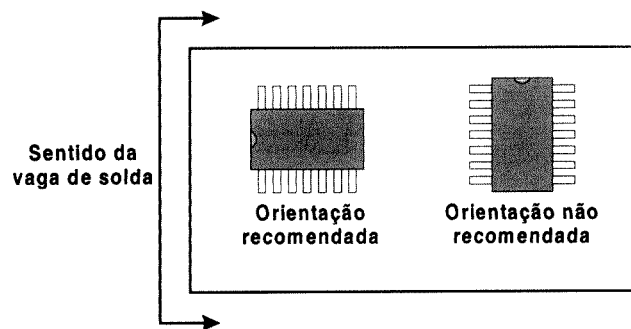
**Figura 2.7:** Processo de montagem de componentes de montagem em superfície. Se houver componentes nas duas faces da CCI, o processo é repetido para a outra face.

Muitas CCI's apresentam os dois tipos de componentes: componentes de inserção em furo e componentes de montagem superficial numa face ou em ambas as faces. Nas cartas com montagem apenas numa face, os componentes de montagem superficial são montados e soldados em primeiro lugar pelo processo atrás referido. Em seguida efectua-se a montagem dos componentes de inserção em furo, pelo método de vaga de solda na face oposta à da colocação dos componentes. Em cartas com componentes de montagem superficial nas duas faces, os componentes de montagem superficial da segunda face são soldados juntamente com os de inserção em furo, por vaga de solda — ver figura 2.8. Neste caso, é previamente depositada uma cola no local de colocação dos componentes de montagem superficial, de forma a fixar os componentes durante a operação de soldadura por vaga de solda.



**Figura 2.8: Processo de montagem e soldadura em CCI's com componentes de montagem superficial em ambas as faces e componentes de inserção em furo.**

O processo de soldadura por vaga de solda foi desenvolvido para a soldadura de componentes de inserção em furo, sendo depois adaptado para a soldadura conjunta com componentes de montagem em superfície. Neste caso, existe uma orientação preferencial dos componentes de montagem superficial com disposição dos pinos em duas filas paralelas, para que os encapsulamentos não criem “sombra” sobre os pinos ao passar a vaga de solda. Essa orientação recomendada é a indicada na figura 2.9, ou seja, os componentes devem ser posicionados segundo a direcção da vaga de solda.



**Figura 2.9:** Os circuitos integrados devem estar posicionados segundo a direcção da vaga de solda.

No processo de soldadura podem ocorrer defeitos causados por razões diversas, desde erros de posicionamento dos componentes até ao excesso de pasta de solda. Contudo, os defeitos introduzidos são semelhantes e originam maioritariamente circuitos abertos e curto-circuitos. Os curto-circuitos ocorrem quando a pasta de solda estabelece contacto entre um ponto de soldadura e outros pontos de soldadura ou pistas vizinhas. Nas tecnologias mais modernas, as pistas da carta são testadas e posteriormente cobertas por uma película resistente à solda, e só depois se efectua o processo de soldadura. Neste caso, apenas podem ocorrer curto-circuitos entre pontos de soldadura. Sabendo o volume da solda, e tendo em consideração a orientação dos componentes, pode-se estabelecer uma relação de probabilidade de ocorrência de um defeito, relacionando as dimensões desse volume com o espaçamento entre pontos de soldadura adjacentes.

### 2.2.5 Espectro de defeitos

As figuras 2.10, 2.11 e 2.12 ilustram espectros de defeitos típicos em CCI's que utilizam tecnologia SMT segundo [5], [10] e [9]. Note-se a grande percentagem de ocorrência de circuitos abertos no espectro da figura 2.10, a qual é normalmente inferior em CCI com tecnologia de inserção em furo. As figuras 2.10 e 2.11 denotam uma discrepância na percentagem de ocorrência de circuitos abertos e de curto-circuitos, que se deve a diferenças na composição das classes de defeitos e em diferenças nos processos de fabrico respectivos. A figura 2.12 ilustra um exemplo de espectro de defeitos com maior detalhe do tipo de defeitos, em que os defeitos que originam curto-circuitos e circuitos abertos se encontram distribuídos por diversas classes. Os defeitos de pinos e componentes levantados, por exemplo, originam circuitos abertos, bem como parte dos defeitos de alinhamento e de defeitos relacionados com a pasta de solda. Os tipos de defeitos e as percentagens de ocorrência variam, entre outros factores, com a complexidade e a maturidade do processo de fabrico, causando no entanto maioritariamente circuitos abertos e curto-circuitos.

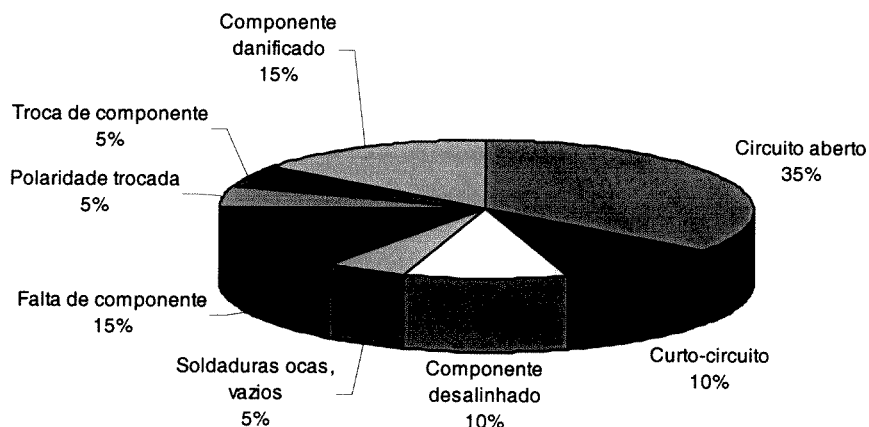


Figura 2.10: Espectro de defeitos de produção em CCI's com componentes de montagem superficial [5].

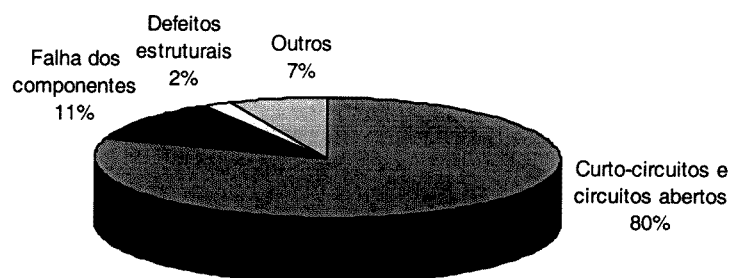


Figura 2.11: Espectro de defeitos de produção em CCI's com componentes de montagem superficial [9].



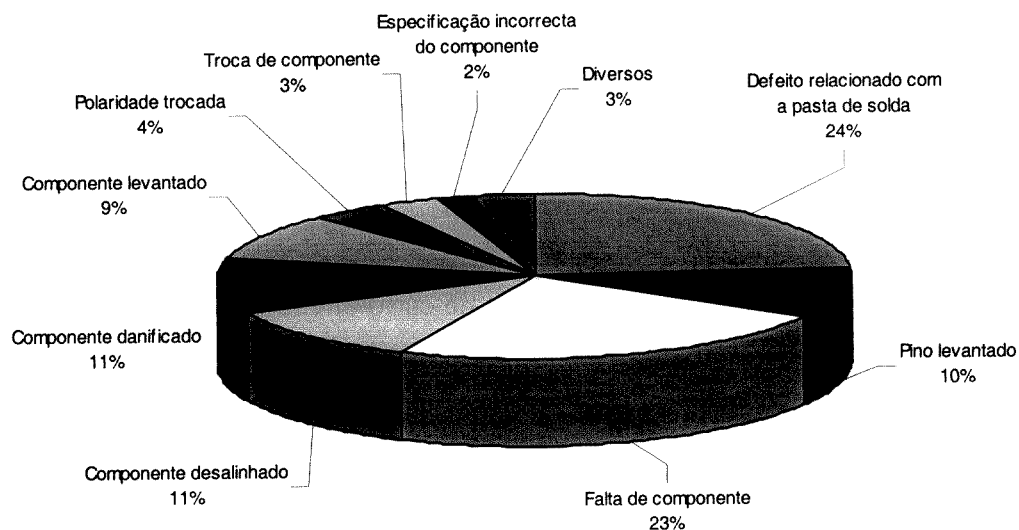


Figura 2.12: Os tipos de defeitos e as percentagens de ocorrência variam, entre outros factores, com a complexidade e a maturidade do processo de fabrico [10].

## 2.3 Revisão do estado da arte de teste de CCIs

Após a apresentação das tecnologias envolvidas no fabrico de CCIs e dos mecanismos responsáveis pela introdução de defeitos no processo de fabrico, segue-se a apresentação das técnicas aplicadas no teste de CCIs com componentes analógicos e mistos.

O teste de CCIs visa garantir a qualidade de fabrico, de forma a que, ao longo do processo de fabrico, as cartas defeituosas possam ser detectadas o mais cedo possível. Existe mesmo a chamada “regra dos 10s” [5], que diz que o custo associado a uma falta detectada aumenta, por um factor de dez, à medida que o circuito avança desde a fase de desenho das pistas da CCI, passando pela montagem dos componentes, pela integração da CCI num sistema, até à fase final de utilização pelo consumidor final. Por este motivo, são efectuados testes nas várias etapas do processo de fabrico.

A figura 2.13 apresenta as etapas do processo de montagem dos componentes SMT em CCIs de face dupla e os tipos de teste efectuados após cada etapa. O teste das características físicas é normalmente realizado através de inspeções visuais ou automáticas (com sistemas ópticos e de raios-x), com a finalidade de eliminar defeitos cosméticos, para detectar defeitos

grosseiros rapidamente, para verificação do posicionamento dos circuitos integrados, e para avaliação do volume de solda depositado.

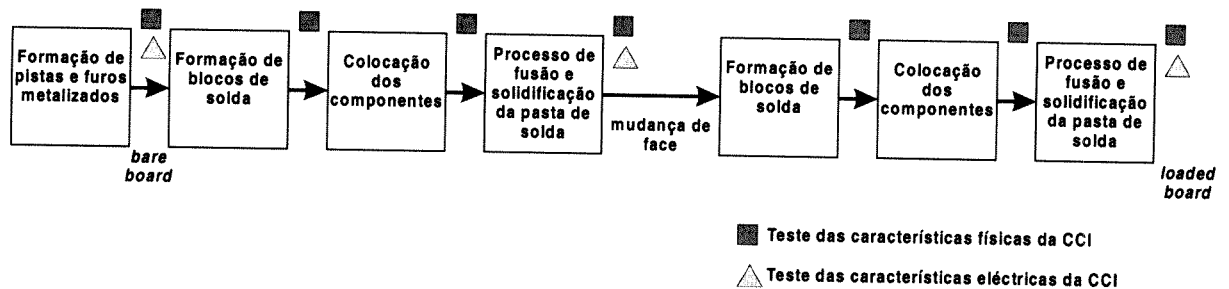


Figura 2.13: Testes efectuados ao longo do processo de fabrico de CCI's com componentes SMT em ambas as faces.

Os testes de características eléctricas mais importantes são os efectuados após a formação da pistas e furos na carta (*bare board testing*), e após a montagem dos componentes na carta (*loaded board testing*). Este último caso é o mais complexo porque, para além do teste de continuidade e de isolamento das pistas, tal como é feito no *bare board testing*, são também testados os próprios componentes montados na CCI. Este será o tipo de teste abordado neste trabalho.

### 2.3.1 Teste funcional, teste paramétrico, e teste estrutural

A forma mais imediata de testar um circuito analógico consiste na verificação da função do circuito — teste funcional. Neste tipo de teste não há habitualmente uma avaliação exaustiva da qualidade da função realizada pelo circuito. Por exemplo, o teste funcional de um conversor A/D pode consistir na verificação dos valores digitais resultantes da conversão de determinados sinais nas entradas do conversor.

Para obter uma medida da qualidade da função realizada pelo circuito, é necessário testar um conjunto de parâmetros do desempenho do circuito, ou seja, efectuar um teste paramétrico: o circuito passa o teste se todos os parâmetros escolhidos respeitam os intervalos de tolerância respectivos. As formas de onda utilizadas como estímulos são muitas vezes as utilizadas em

simulação, ou um subconjunto destas. Alguns dos parâmetros são obtidos directamente a partir das respostas aos estímulos, enquanto outros podem exigir algum processamento posterior. Tomando novamente como exemplo o conversor A/D, o teste paramétrico corresponderia, por exemplo, ao cálculo da taxa de distorção harmónica, da relação sinal/ruído, e de outros parâmetros, obtidos a partir dos resultados da conversão de um sinal de entrada sinusoidal.

A verificação da qualidade da função realizada por um circuito pode acarretar um custo elevado, porque são geralmente necessários testes extensos para extrair todos os parâmetros de resposta necessários. Por esta razão não é muitas vezes possível efectuar um teste exaustivo, i. e., envolvendo todos os parâmetros de interesse, escolhendo-se por isso um subconjunto de parâmetros representativos. Por outro lado, não existe desta forma uma medida da qualidade dos testes realizados, porque não sendo este método baseado em modelos de faltas não é possível calcular as faltas cobertas pelos testes. Embora se possa argumentar que, ao passar num teste paramétrico, o circuito cumpre os objectivos de desempenho, o facto é que nunca se pode testar todas as situações possíveis de utilização, além de se estarem a ignorar as questões da fiabilidade do circuito e do custo do teste. Contudo, este tipo de teste é o mais vulgar, porque se resume a uma verificação da conformidade do desempenho do circuito com as características especificadas pelo projectista.

Ao contrário do teste funcional e do teste paramétrico, o teste estrutural incide sobre os elementos que formam o circuito. A partir de um modelo de faltas adoptado, os testes são gerados de forma a detectar o maior número possível de faltas. A razão entre o número de faltas detectáveis pelo teste e o número total de faltas consideradas — cobertura de faltas — dá uma medida da qualidade do teste. Com este tipo de teste pode conseguir-se uma melhor avaliação do estado do circuito porque, ao contrário do teste funcional e paramétrico em que o circuito é testado na globalidade, o teste estrutural avalia os elementos do circuito individualmente ou em pequenos grupos, permitindo a detecção de faltas que podem não se manifestar no funcionamento global do circuito. As dificuldades na aplicação deste método consistem na escolha do modelo de faltas adequado, ou seja, um modelo de faltas representativo dos defeitos de fabrico mais comuns, e na escolha dos nós de teste porque, como iremos ver de seguida, poderá existir um custo associado à existência desses nós, o que implica a necessidade de minimizar o número de nós de teste.

### 2.3.2 Métodos de acesso à CCI

Para efectuar o teste da CCI é necessário um meio de acesso aos nós de teste do circuito. Existem duas formas de aceder a esses nós: o acesso mecânico através das pontas de prova do testador, e o acesso electrónico através dos circuitos de uma infra-estrutura de teste.

#### 2.3.2.1 Teste por acesso mecânico

O teste por acesso mecânico é feito através de testadores com pontas de prova em forma de matriz de agulhas (*bed of nails*) que entram em contacto directo com a CCI — ver figura 2.14. O testador permite o acesso a nós da CCI para efectuar testes aos componentes, como se estes estivessem isolados da CCI. Este mecanismo pode ser utilizado tanto para os componentes analógicos como digitais.

O teste é composto pelo teste das pistas e pelo teste dos componentes passivos, e é efectuado sem a activação da alimentação da CCI. Os circuitos integrados analógicos e mistos não são muito propícios para a utilização do teste por acesso mecânico, porque requerem a alimentação da CCI [5]. O teste de curto-circuitos em pistas é feito através da aplicação de tensões contínuas de pequena amplitude a um nó (tipicamente 0,2V, de forma a não polarizar as junções), enquanto os outros são ligados à tensão de referência. Se for medida uma corrente de valor inferior a um determinado valor limite, isso significa a inexistência de qualquer curto-circuito. Caso contrário, o curto-circuito pode ser localizado através de pesquisa binária nos nós ligados à massa.

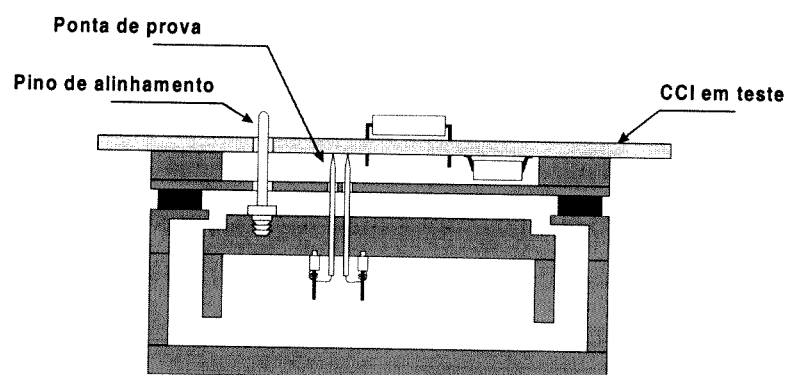


Figura 2.14: Esquema de uma máquina de teste com matriz de agulhas (*bed of nails*) [5].

O teste de componentes passivos é feito recorrendo novamente à aplicação de tensões de pequena amplitude, de forma a que outros componentes vizinhos, tal como circuitos integrados, estejam no estado de repouso, levando a que o componente a ser testado esteja efectivamente isolado electricamente. O cálculo do valor de um componente faz-se através da aplicação de uma tensão num terminal (através de uma ponta de prova da máquina *bed of nails*) e pela medida da corrente no outro terminal, segundo o esquema da figura 2.15.

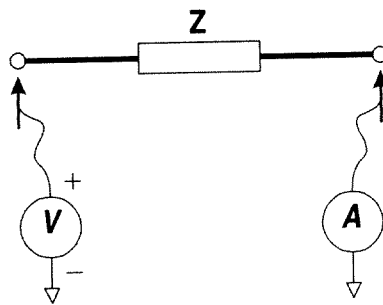
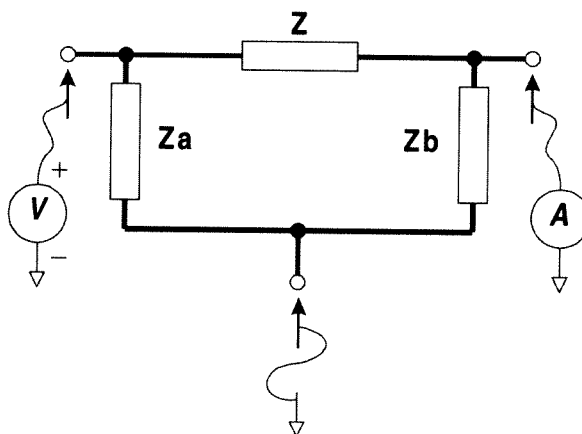


Figura 2.15: Esquema utilizado para calcular o valor de um componente através da máquina *bed of nails*.

Alguns componentes discretos podem estar ligados de forma a que não seja possível medir directamente a corrente que atravessa um componente, devido à existência de caminhos alternativos para a corrente, como é o caso da figura 2.16. Nestes casos recorre-se à técnica de *guarding*, que consiste na ligação à massa de um nó da malha que proporciona um caminho alternativo. Em malhas com topologias mais complexas pode ainda aplicar-se esta técnica, utilizando mais pontas de prova para ligar outros nós à massa. Em casos em que se exige maior exactidão, pode ser necessário utilizar pontas de prova adicionais para eliminar erros de medida devido a quedas de tensão nas agulhas e nos fios da máquina de teste.

O teste de circuitos integrados digitais requer a alimentação da CCI de forma a activar a lógica digital contida nos circuitos integrados. Para testar cada um dos circuitos integrados como se estivessem isolados do resto da CCI utiliza-se a tecnologia de *backdriving*: quando se aplicam estímulos nas entradas do circuito integrado em teste, a máquina de teste tem capacidade de forçar o nível de tensão desejado, independentemente do nível gerado pelos circuitos a montante. Estes testes são aplicados tendo sempre em atenção que o intervalo de tempo de aplicação da tensão não danifique os restantes circuitos.



**Figura 2.16:** O valor de um componente ligado a uma malha pode ser medido através da aplicação de *guarding*, ou seja, pela ligação à massa de outros nós da malha, de forma a isolar electricamente o componente a testar.

As cartas de circuito impresso com componentes de montagem por inserção em furo são normalmente testadas recorrendo ao acesso mecânico a nós de teste existentes na carta. Como os componentes têm grandes dimensões e os terminais estão facilmente acessíveis na face de solda, o acesso para controlo e observação de nós no circuito pode ser realizado com relativa facilidade por testadores com pontas de prova em forma de matriz de agulhas.

O aumento da densidade de circuitos nas cartas mais modernas, juntamente com a utilização de encapsulamentos mais compactos e montados em superfície, requer uma maior exactidão de posicionamento por parte das máquinas de acesso mecânico. Este método é muitas vezes indesejável, porque o próprio acesso mecânico pode provocar um curto-circuito ou mascarar a existência de defeitos, por exemplo porque o contacto da ponta de prova com o terminal do componente origina uma pressão do componente sobre a carta. Por outro lado, a utilização de certos encapsulamentos, como o BGA, impossibilita totalmente o acesso mecânico directo aos terminais do circuito.

### 2.3.2.2 Teste por acesso electrónico

A dificuldade de acesso físico a nós da carta levou ao desenvolvimento de metodologias de projecto orientadas para a testabilidade (*Design for Testability – DfT*). A testabilidade de um circuito é um conceito abstracto que lida com o compromisso custo/benefício associado ao teste. Os dois atributos fundamentais da testabilidade, e que permitem determinar o estado de

um dispositivo e o isolamento de faltas, através de um conjunto de testes, e com um custo reduzido, são:

- Controlabilidade — relaciona-se com a maior ou menor facilidade em impor um determinado sinal num nó do circuito.
- Observabilidade — medida da facilidade em capturar o sinal presente num determinado nó do circuito.

As técnicas de DfT têm como objectivo a redução do custo global de fabrico, através da redução do custo da geração de testes e da melhoria da qualidade dos testes gerados. Estas técnicas envolvem normalmente a inclusão de circuitos auxiliares, sendo que as modificações do circuito original podem implicar o aumento da área do circuito, do número de terminais, e dos tempo de propagação. Coloca-se pois a necessidade de uma análise de custos/benefícios e a aceitação de compromissos aceitáveis do ponto de vista da engenharia de teste.

As metodologias DfT podem agrupar-se em duas categorias: as técnicas *ad-hoc* e as técnicas estruturadas. As primeiras consistem em regras que não proporcionam uma metodologia global de projecto, mas que permitem o aumento da controlabilidade e/ou observabilidade, como por exemplo: a inserção de pontos de teste, a partição de grandes circuitos e a interrupção de percursos de realimentação. As técnicas DfT estruturadas surgiram através de estudos dos problemas de controlabilidade e observabilidade, a partir dos quais se estabeleceram regras a utilizar nos projectos para garantir que um circuito é testável.

Um exemplo de técnica DfT estruturada é a utilização de amplificadores operacionais modificados com a incorporação de um modo de teste [11,12], de forma a melhorar a controlabilidade e a observabilidade de circuitos formados por módulos com amplificadores operacionais. Esses amplificadores têm uma entrada de comando para comutar entre a configuração normal e a configuração de teste. Na configuração de teste, os amplificadores têm a função de seguidores, pelo que o sinal de entrada de um módulo pode ser propagado para a saída (figura 2.17). Deste modo, pode ser efectuado o teste de cada módulo individualmente, em vez de testar o circuito na totalidade — ver figura 2.18. Este método implica o controlo das linhas de comando dos amplificadores modificados e a utilização de métodos de teste específicos para cada um dos módulos, se as características funcionais de cada um deles forem diferentes.

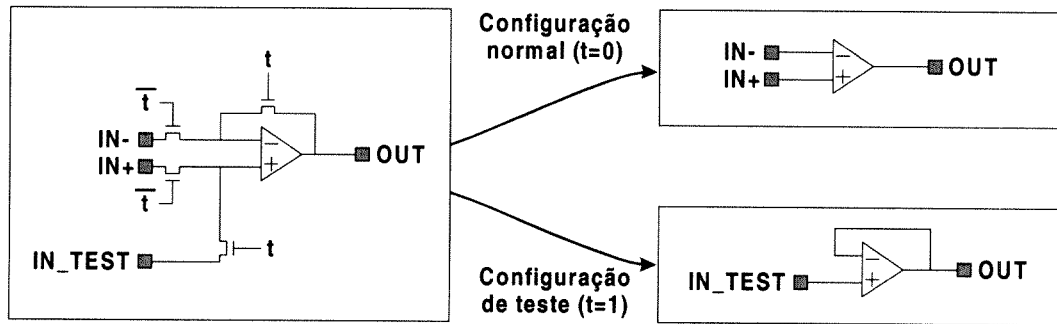


Figura 2.17: Estrutura do amplificador operacional com modo de teste [11].

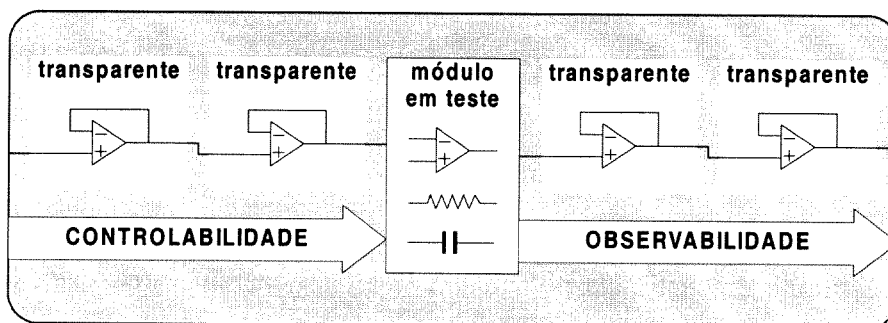


Figura 2.18: A possibilidade de configurar os amplificadores como seguidores permite testar os módulos individualmente.

Para reduzir os custos inerentes aos pinos de teste pode recorrer-se, em circuitos digitais, à utilização de registos de varrimento, com capacidade de carga paralela e de deslocamento série (figura 2.19). Estes registos permitem a inserção de pontos de teste virtuais, acessíveis por seu intermédio, constituindo assim uma metodologia estruturada de projecto para circuitos digitais. Numa primeira fase, as metodologias baseadas em registos de varrimento foram desenvolvidas individualmente pelos diversos fabricantes, ou por pequenos grupos, mas a necessidade de compatibilidade levou à formação de um grupo de trabalho para a normalização de uma infra-estrutura consensual aos grandes fabricantes de semicondutores, que deu origem à norma IEEE 1149.1 (*IEEE Standard Test Access Port and Boundary-Scan Architecture* [13]).



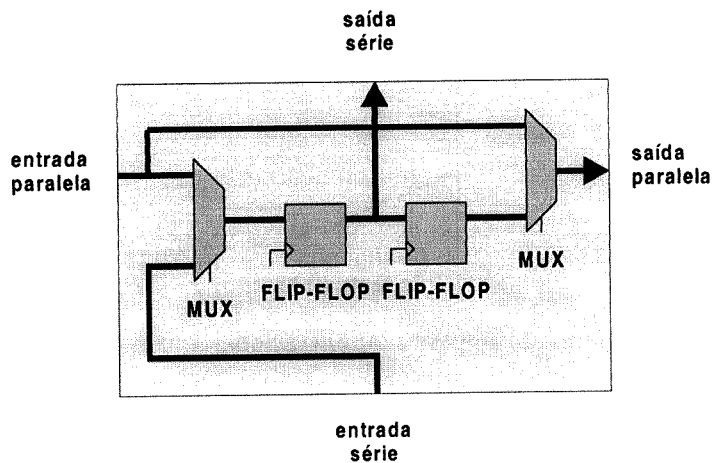


Figura 2.19: Registo de varrimento.

A norma IEEE 1149.1, lançada em Fevereiro de 1990, define uma arquitectura dedicada ao teste, constituída por registos de varrimento associados aos pinos funcionais dos CIs, e uma metodologia de projecto e teste que se designa por *Boundary Scan Test* (BST). A nível da CCI, a infra-estrutura é constituída por uma ou mais cadeias de varrimento, formadas pela interligação em série da infra-estrutura de cada CI, como ilustra a figura 2.20. A facilidade em aplicar e ler valores lógicos nos pinos dos integrados permite efectuar testes de continuidade, de curto-circuitos, dos núcleos funcionais dos CIs, e controlar outros circuitos auxiliares eventualmente existentes, como por exemplo circuitos de autoteste.

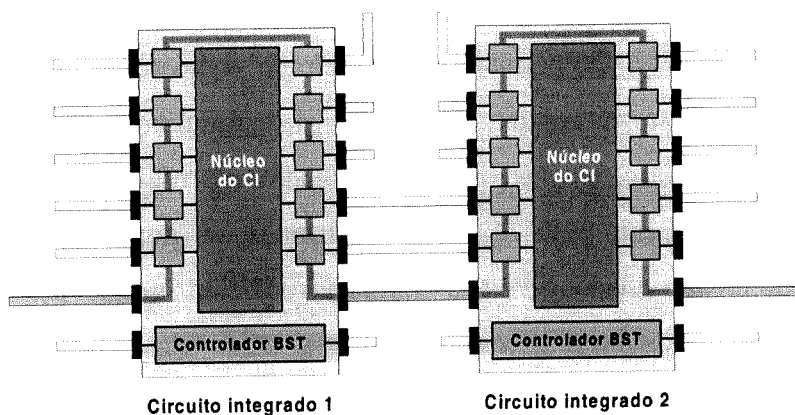


Figura 2.20: Infra-estrutura IEEE 1149.1 numa CCI.

Após o sucesso da norma IEEE 1149.1, surgiram vários estudos tendo em vista uma possível extensão para permitir o teste de circuitos analógicos e mistos, que contribuíssem para o desenvolvimento da proposta IEEE P1149.4 – *Mixed-Signal Test Bus*, que em Junho de 1999 foi finalmente aceite como norma [4].

A norma IEEE 1149.4 estende a norma IEEE 1149.1 com a inclusão de módulos especificamente projectados para serem incluídos nos pinos funcionais analógicos. Cada um destes módulos (*Analogue Boundary Module – ABM*) tem um conjunto de interruptores controlados por um registo de varrimento BST, formando assim uma cadeia BST digital, com os mesmos sinais de controlo definidos na norma IEEE 1149.1. A figura 2.21 apresenta a configuração de um módulo ABM em detalhe, bem como a sua inserção num circuito integrado.

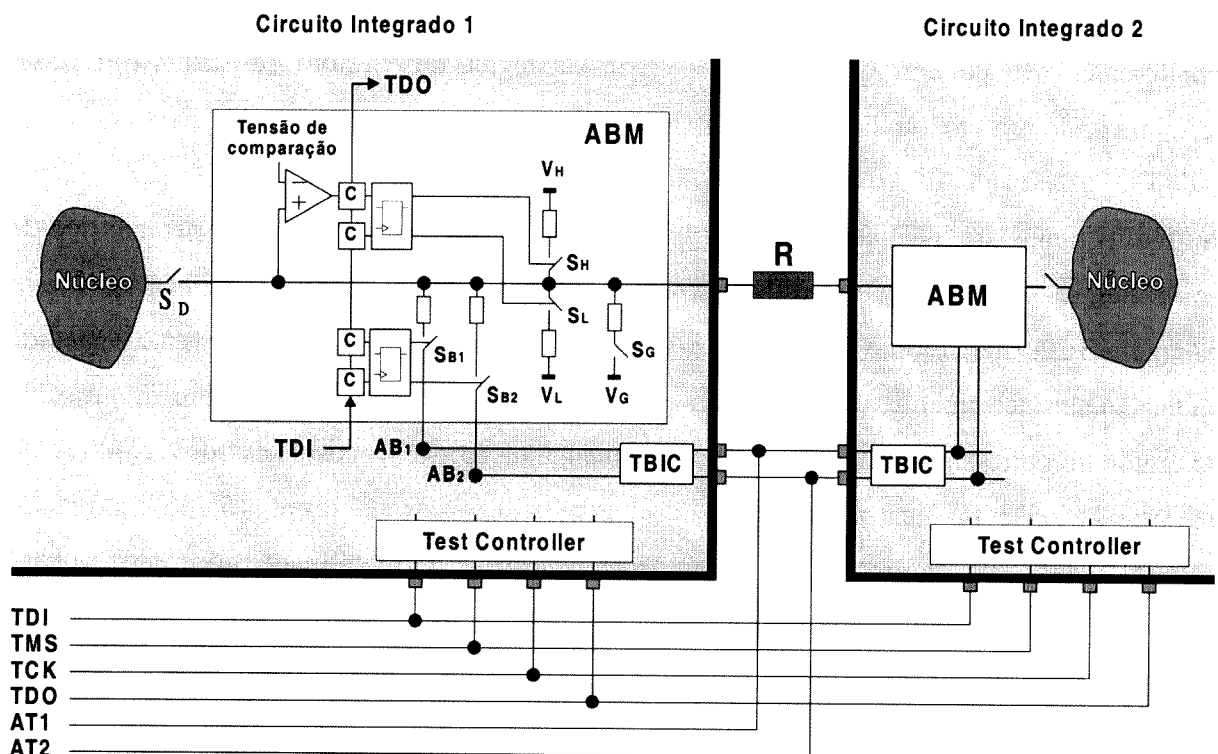


Figura 2.21: Arquitectura da infra-estrutura IEEE 1149.4.

O interruptor  $S_G$  permite ligar o pino à tensão de referência  $V_G$ , enquanto os interruptores  $S_H$  e  $S_L$  ligam o pino às tensões de referência  $V_H$  e  $V_L$ . Estas tensões correspondem aos níveis lógicos 1 e 0, respectivamente, e podem ser utilizadas como estímulos para realizar testes de interligações entre pinos. Para isso, o módulo ABM dispõe ainda da capacidade de digitalizar uma tensão presente no pino em relação a uma tensão de comparação. O interruptor  $S_D$  permite isolar o pino do núcleo do circuito integrado, para o caso em que as operações de teste assim o exijam. Este interruptor é conceptual, ou seja, a norma apenas exige a possibilidade de colocar a ligação do módulo ABM ao núcleo do CI num estado de alta impedância, pelo que a implementação do interruptor  $S_D$  poderá já estar contemplada na funcionalidade do núcleo do circuito integrado.

Existe um barramento de teste analógico a nível da CCI, formado pelas linhas  $AT_1$  e  $AT_2$ , e um barramento similar internamente em cada CI, formado pelas linhas  $AB_1$  e  $AB_2$ . A interface entre estes dois barramentos é proporcionada pelo bloco *Test Bus Interface Circuit* (TBIC). Os interruptores  $S_{B1}$  e  $S_{B2}$  ligam as linhas  $AB_1$  e  $AB_2$  ao pino, possibilitando assim a utilização do barramento a nível da CCI para aceder ao pino para aplicar e capturar sinais analógicos. Finalmente, o bloco *Test Controller* implementa a lógica de controlo da infra-estrutura de teste, segundo o protocolo definido na norma IEEE 1149.4.

A arquitectura desta infra-estrutura foi projectada de forma a permitir o teste paramétrico de componentes externos passivos utilizando o método proposto em [14], o qual é exemplificado na figura 2.22. O método é constituído por dois passos: aplicação de uma corrente e medida da tensão num terminal do componente, seguido de aplicação da mesma corrente e da medida da tensão no outro terminal do componente. No entanto, foram propostos outros métodos com a particularidade de utilizarem apenas um dos barramentos de teste [15,16]. O método descrito em [15] tira partido da utilização de um sensor de corrente integrado num regulador de tensão para efectuar a operação de teste com um menor número de medidas do que as necessárias em [16]. Ao reduzir o número de medidas e o número de configurações de teste, aumenta-se a rapidez de execução do teste.

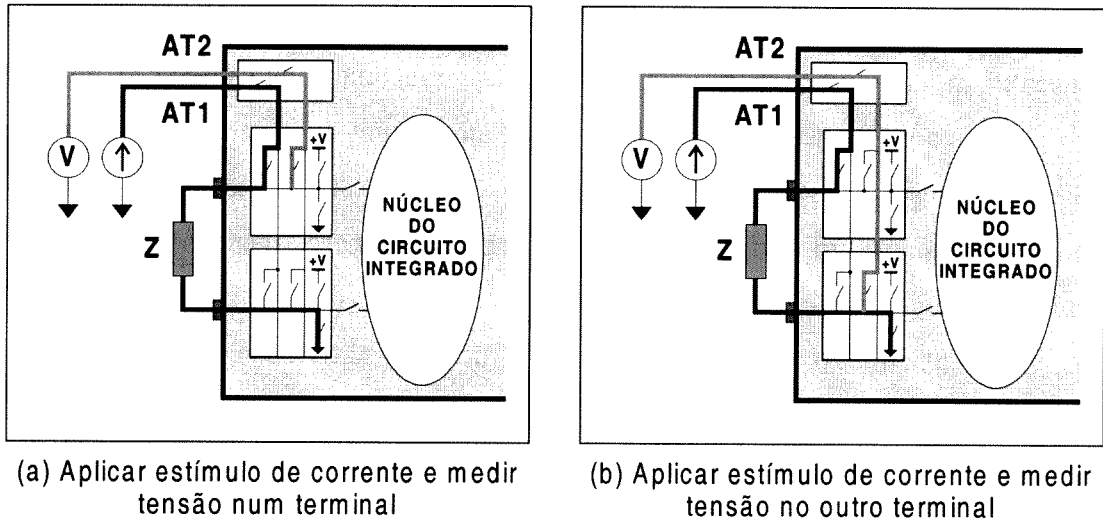


Figura 2.22: Processo de medida de um componente através da infra-estrutura IEEE 1149.4.

A implementação desta infra-estrutura implica uma sobrecarga de circuitos a incluir no projecto original. Por esta razão, o número de ABMs a inserir no circuito deve ser minimizado e bem justificado, de forma a que os benefícios da inclusão dos ABMs, sobretudo pela melhoria da testabilidade, sejam maiores do que os inconvenientes em termos de aumento dos custos e eventual degradação do desempenho.

### 2.3.3 Autoteste

Existem técnicas de teste de circuitos que não podem ser satisfeitas por uma infra-estrutura de âmbito geral como o IEEE 1149.4. Além disso, em muitas situações não é possível fazer chegar os sinais internos de um circuito até ao exterior sem que sofram uma significativa degradação, quer por limitações de largura de banda, quer pelos ruídos induzidos nesse percurso, nomeadamente as perturbações associadas à utilização da própria infra-estrutura de teste. Em tais casos é preferível aplicar técnicas de autoteste, que consistem na incorporação de circuitos de teste no próprio circuito a testar, eventualmente dispensando a utilização de equipamento de teste externo, e possibilitando o teste do circuito no próprio ambiente de utilização. Mais uma vez, a desvantagem surge ao nível do custo dos circuitos adicionais dedicados ao teste. Neste contexto, a infra-estrutura IEEE 1149.4 poderá ser utilizada como meio de acesso aos módulos de autoteste, complementando desta forma as lacunas inerentes a uma infra-estrutura de teste de âmbito generalizado.

As técnicas de autoteste conferem a um circuito a capacidade de se testar a si próprio, através de inclusão de módulos capazes de gerar e aplicar estímulos de teste, capturar as respostas, e de avaliar o funcionamento do circuito com base nas respostas esperadas e nas respostas medidas. O autoteste pode ser realizado em-linha (*on-line*), se o teste é executado com o circuito em funcionamento normal, ou *off-line*, caso o circuito seja testado em configuração de teste. O teste *on-line* pode ser concorrente, caso ocorra em simultâneo com o funcionamento do circuito independentemente do nível de actividade, ou não-concorrente, caso o teste só seja efectuado quando o nível de actividade é baixo.

O método de duplicação é uma técnica de autoteste *on-line* para detecção de erros em tempo real, que consiste na duplicação dos blocos funcionais e na comparação da resposta dos dois módulos, a partir da qual se gera um sinal de diagnóstico. A desvantagem deste método consiste na duplicação dos circuitos utilizados. Esta desvantagem pode ser minimizada no caso de circuitos com vários blocos com funções semelhantes, utilizando a comparação com um bloco de referência. Como só é acrescentado um bloco extra, que serve para testar vários blocos semelhantes, o acréscimo de circuitos é menor, embora só possa ser testado um bloco de cada vez. Pode ser implementado um esquema de teste em que cada bloco é testado durante um determinado período de tempo, sem interromper o funcionamento normal do circuito.

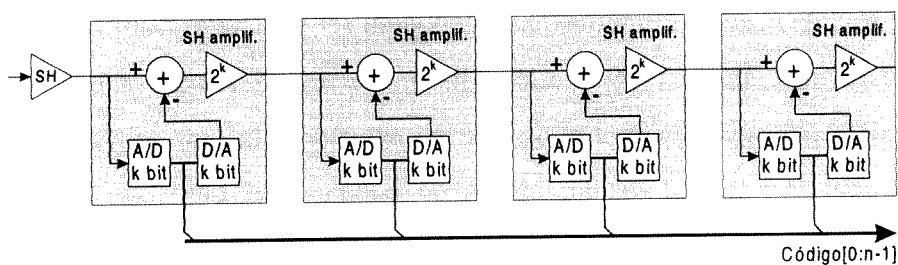


Figura 2.23: Estrutura de um conversor A/D do tipo *pipeline* [17].

Os conversores A/D do tipo *pipeline* [17] constituem um exemplo de circuito em que pode ser facilmente aplicado um método de teste por comparação com um bloco de referência. Estes conversores são constituídos pela ligação em série de células idênticas, sendo cada célula formada por um conversor A/D de  $k$  bits seguido de um conversor D/A de  $k$  bits.

A figura 2.24 representa o esquema de teste para um andar do conversor. São gerados dois sinais de saída de teste: um sinal de teste digital e um sinal de teste analógico. O sinal de teste digital é gerado pela comparação entre os códigos de  $k$  bits gerados pelos conversores A/D da célula a ser testada e do bloco de referência. O sinal de teste analógico é gerado por um comparador analógico, com uma determinada janela de tolerância, cujas entradas são as saídas da célula a ser testada e do bloco de referência.

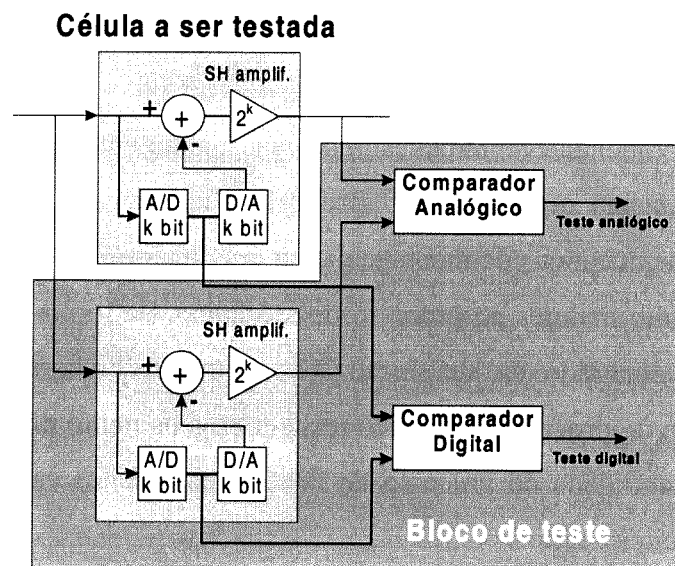


Figura 2.24: Esquema de teste de um andar do conversor A/D do tipo *pipeline* [17].

Uma das técnicas de autoteste *off-line* também utilizada é a reconfiguração do circuito para funcionar como oscilador [18,19]. A medida da frequência de oscilação e da amplitude permite determinar o estado funcional do circuito: se a frequência e a amplitude se encontrarem nos intervalos especificados, o circuito é assumido como estando livre de faltas. Esta técnica tem a grande vantagem de não exigir a geração de vectores de teste e de o conjunto de circuitos a adicionar ser reduzido. Em contrapartida, acontece nem todos os elementos do circuito terem uma contribuição para o desempenho que permita a detecção de faltas nesses elementos por observação da frequência de oscilação e da amplitude do sinais de saída.

## 2.4 Resumo do capítulo

As tecnologias associadas ao fabrico e teste de cartas de circuito impresso estão em contínua evolução. Uma mudança significativa nas tecnologias de montagem e de encapsulamento foi conseguida com o desenvolvimento da tecnologia de montagem superficial de componentes, que permite uma maior densidade de circuitos e de terminais, para além de permitir a montagem nas duas faces da CCI, ao contrário da tecnologia de montagem por inserção em furo.

Esta evolução não só permite um maior grau de integração, pelo aumento do número de terminais implantados e pela redução de escala dos encapsulamentos, como vem alterar os mecanismos responsáveis pela introdução de defeitos no processo de fabrico de CCIs. A miniaturização dos componentes e a redução do espaçamento entre terminais, e o facto de os componentes de montagem superficial não serem fixos na sua posição pelos seus terminais, implica a utilização de máquinas de montagem com uma maior precisão de posicionamento e coloca exigências muito maiores ao processo de soldadura, de forma a que os componentes não se desloquem demasiado da sua localização nominal. Embora os tipos de defeitos introduzidos ao longo do processo de fabrico tenham origens muito diversas, e variem com a complexidade e a maturidade do processo de fabrico, os defeitos causam maioritariamente curto-circuitos e circuitos abertos.

Existem três filosofias de teste principais. O teste funcional consiste na verificação da função do circuito, não havendo habitualmente uma avaliação da qualidade da função realizada. O teste paramétrico avalia um conjunto de parâmetros de desempenho e compara-os com os intervalos de tolerância respectivos. Com este tipo de teste não existe uma medida da qualidade do teste realizado, porque não sendo este método baseado em modelos de faltas não é possível calcular as faltas cobertas pelos testes. Contudo, este tipo de teste é o mais vulgar, porque se resume a uma verificação da conformidade do desempenho do circuito com as características especificadas pelo projectista. O teste estrutural, pelo contrário, parte de um modelo de faltas adoptado, e gera os testes necessários para detectar o maior número possível de faltas, pelo que a razão entre o número de faltas detectáveis pelo teste e o número total de faltas consideradas — cobertura de faltas — dá uma medida da qualidade do teste. Este tipo de teste permite uma melhor avaliação do estado do circuito porque os elementos que o formam são testados individualmente ou em pequenos grupos. As dificuldades prendem-se

com a escolha do modelo de faltas e dos nós de teste.

Existem dois métodos de acesso à CCI: o acesso mecânico e o acesso electrónico. O acesso mecânico é proporcionado por testadores com pontas de prova em forma de matriz de agulhas. A utilização do acesso mecânico em CCIs com tecnologia SMT pode ser impraticável e muitas vezes é indesejável, porque o próprio acesso implica uma pressão sobre a carta que pode provocar curto-circuitos ou mascarar a presença de defeitos, além de que o acesso é francamente dificultado pela miniaturização das pistas e dos componentes. Alguns tipos de encapsulamento, tais como o BGA, impedem o acesso mecânico aos seus terminais que se encontram na face inferior do encapsulamento.

As metodologias de projecto orientadas para a testabilidade têm como objectivo a redução do custo global de fabrico através do aumento da controlabilidade e da observabilidade dos circuitos produzidos, o que permite reduzir o custo da geração de testes e a melhoria da qualidade dos testes gerados. Estas metodologias envolvem normalmente a inclusão de circuitos auxiliares, implicando custos em termos da área do circuito, do número de terminais e dos tempos de propagação. A norma IEEE 1149.4 define uma infra-estrutura de teste que estende a norma IEEE 1149.1 com a inclusão de módulos especificamente projectadas para serem incluídas nos pinos funcionais analógicos, ultrapassando assim as dificuldades de acesso mecânico. A facilidade em aplicar e ler sinais nos pinos dos integrados permite efectuar testes de continuidade, de curto-circuitos, dos núcleos funcionais dos CIs, e controlar outros circuitos auxiliares eventualmente existentes, como por exemplo circuitos de autoteste.

Existem técnicas de teste de circuitos que não podem ser satisfeitas por uma infra-estrutura de âmbito geral como o IEEE 1149.4 e que não são compatíveis com as limitações inerentes ao uso desta infra-estrutura, em termos da largura de banda e dos ruídos induzidos no percurso dos sinais internos de um circuito até ao exterior. Em tais casos é preferível aplicar técnicas de autoteste, que consistem na incorporação de circuitos de teste no próprio circuito a testar, eventualmente dispensando a utilização de equipamento de teste externo, e possibilitando o teste do circuito no próprio ambiente de utilização. Em qualquer caso, a infra-estrutura IEEE 1149.4 poderá ser utilizada como meio de acesso aos módulos de autoteste, complementando desta forma as lacunas inerentes a uma infra-estrutura de teste de âmbito generalizado.





## Capítulo 3

# Metodologia e Ferramenta de Análise e Planeamento de Testabilidade de CCI's

Como foi referido no capítulo anterior, as CCI's mais modernas impõem limitações ao nível do acesso físico a nós de teste da carta, devido aos elevados níveis de compactação atingidos pelas tecnologias actuais. Por outro lado, assiste-se a um interesse renovado na aplicação de circuitos analógicos e mistos, devido principalmente aos novos domínios de aplicação, pelo que o número de CCI's com circuitos analógicos e mistos tem vindo a aumentar, levantando novos problemas de testabilidade, nomeadamente pela questão do acesso aos módulos analógicos.

Este capítulo procura responder aos desafios em termos de testabilidade colocados pelas novas tecnologias de implementação de CCI's. É proposta uma metodologia de análise e de planeamento da testabilidade de CCI's com circuitos analógicos e mistos, baseada na utilização dos últimos desenvolvimentos em termos de infra-estruturas normalizadas de teste a nível da CCI. A metodologia é composta por dois módulos principais que realizam o tratamento de informação a nível do circuito eléctrico e a nível do desenho da CCI. Para cada um destes módulos são apresentados e analisados possíveis algoritmos a implementar. Tendo em consideração a metodologia proposta e os métodos disponíveis para inclusão na metodologia, é estabelecida a arquitectura para uma ferramenta computacional, formada por diversos módulos e interfaces para os vários formatos de informação, correspondentes aos fluxos de informação identificados. A implementação destes módulos e interfaces, bem como os resultados obtidos, serão objecto de análise detalhada nos capítulos seguintes deste trabalho.

### 3.1 Necessidade de uma metodologia

O barramento de teste misto (analógico e digital) IEEE 1149.4, aceite como norma em Junho de 1999, permite colmatar as perdas em termos de controlabilidade e de observabilidade de nós nas CCI's mais modernas, através da incorporação de facilidades dedicadas ao teste inseridas nos pinos funcionais dos circuitos integrados. Esta infra-estrutura permite efectuar o teste de interligações, o teste de malhas simples de componentes externos passivos, e o teste do núcleo dos circuitos integrados. Em casos em que as limitações da infra-estrutura, nomeadamente em termos de ruído e da largura de banda, não permitem testar o núcleo dos circuitos integrados analógicos, esta infra-estrutura pode ser utilizada como método de acesso e controlo de circuitos dedicados ao teste. Em contrapartida, a utilização desta infra-estrutura implica um custo em termos dos circuitos adicionais e da degradação do desempenho do circuito original, pelo que a inserção de células de teste deve ser bem justificada e minimizada, nomeadamente pelo estabelecimento de um critério para a escolha dos nós de teste.

O crescimento da complexidade das CCI's acarreta um aumento do número de testes a realizar, de forma a garantir níveis adequados de qualidade. Contudo, a aplicação de testes exaustivos não é compatível com o aumento de complexidade porque implica um crescimento exponencial do número de testes a realizar. Torna-se por isso fundamental estudar métodos que permitam orientar os testes para os defeitos de fabrico com maior probabilidade de ocorrência de forma a minimizar o tempo e o custo do teste.

Perante estas dificuldades, e sendo o teste uma operação primordial para a satisfação de requisitos de competitividade no mercado, há necessidade de desenvolver novas metodologias capazes de testar eficientemente, em tempo e custo reduzidos, as novas gerações de cartas de circuito impresso.

## 3.2 Metodologia para análise e planeamento de testabilidade de CCI

A metodologia proposta neste trabalho tem como objectivo a integração de dois níveis de informação de testabilidade:

- Informação ao nível físico;
- Informação ao nível eléctrico.

A figura 3.1 mostra os módulos responsáveis pelo tratamento destes níveis de informação, e os fluxos de informação entre estes módulos e as diversas fases do processo de projecto e fabrico de uma carta de circuito impresso.

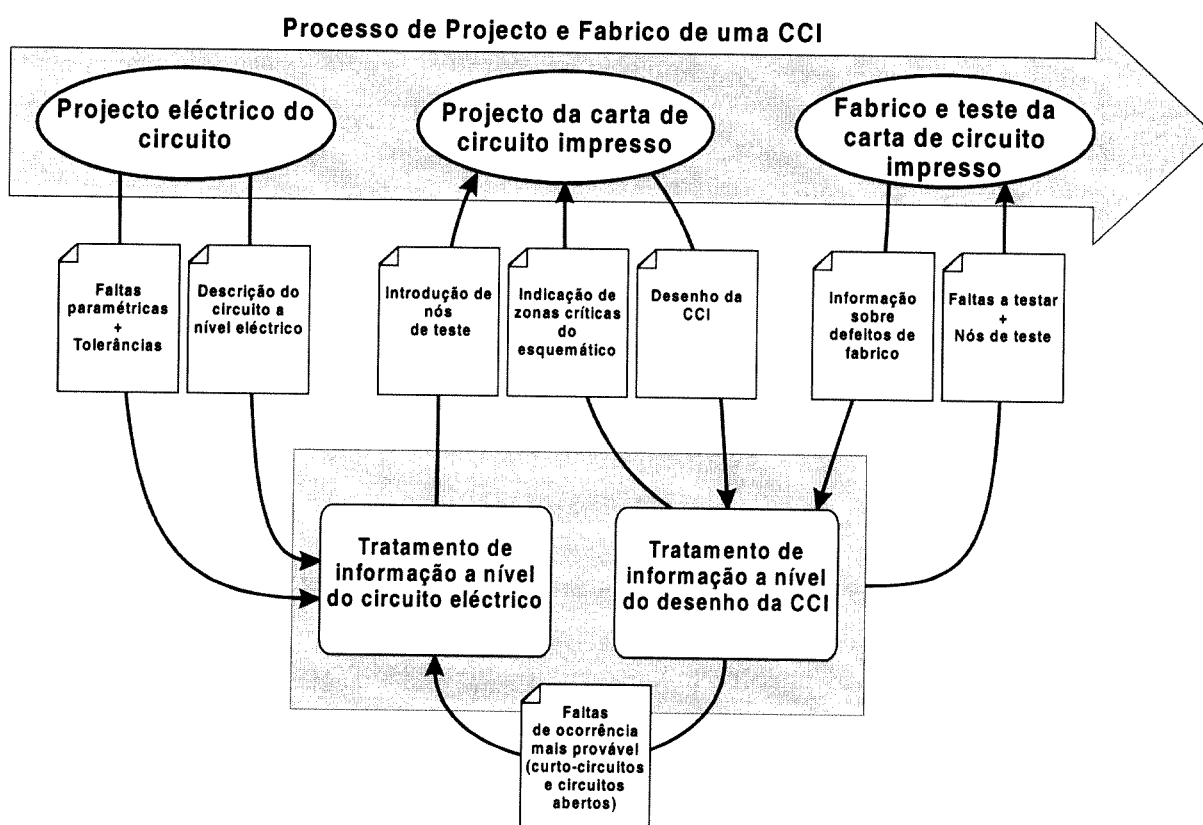


Figura 3.1: Fluxos de informação entre os módulos que compõe a metodologia de análise e de planeamento de testabilidade proposta.

Ao nível físico, pretende-se utilizar o desenho da CCI e os dados de ocorrência de defeitos no processo de fabrico para efectuar a extracção das faltas mais prováveis. O objectivo é obter uma lista classificada de faltas, ordenadas por probabilidade de ocorrência, de forma a conseguir a cobertura dos defeitos de fabrico mais comuns com um número reduzido de faltas, eliminando desta forma o teste das faltas com baixa probabilidade de ocorrência. Os resultados poderão também ser utilizados para indicar as zonas mais críticas da CCI onde poderão ser feitas alterações para minimizar a probabilidade de ocorrência de faltas.

Ao nível eléctrico, pretende-se implementar um algoritmo de escolha dos nós e dos estímulos de teste, de forma a garantir um determinado nível de testabilidade do conjunto de faltas seleccionado. Estas faltas são adoptadas a partir da definição de um desvio do valor dos componentes e, simultaneamente, pretende-se integrar a informação extraída a nível físico, em termos de curto-circuitos e circuitos abertos mais prováveis, podendo reforçar decisões de inclusão de nós de controlo e observação, tomadas com base na análise eléctrica do circuito. Esta integração de informação de naturezas diferentes permite ainda efectuar o colapso de faltas, uma vez que os testes gerados para um determinado componente estão implicitamente a testar as pistas a ele associadas.

Uma metodologia de análise e planeamento de testabilidade, com o âmbito aqui descrito, deverá responder aos seguintes requisitos:

- Maximizar a cobertura de defeitos;
- Minimizar o número de nós de teste;
- Minimizar o número de estímulos de teste;
- Minimizar o efeito da introdução das infra-estruturas de teste no circuito.

A satisfação destes requisitos envolve a realização de diversas operações, desde a extracção de faltas em CCI até à escolha de nós e de estímulos de teste, as quais serão apresentadas de seguida neste capítulo. Como cenário de referência, assume-se que a CCI utiliza a infra-estrutura de teste IEEE 1149.4 para observação e controlo de nós e que a CCI contém circuitos integrados analógicos e mistos, e eventualmente algumas malhas simples de componentes passivos externos, pelo que a escolha dos métodos mais adequados para realizar estas operações poderá depender da sua maior ou menor adequação ao cenário de referência.

### 3.3 Métodos de extracção de faltas em CCIs

Os algoritmos aqui descritos têm como objectivo a extracção do conjunto de faltas a testar pelos testes de produção, pelo que se pretende que as faltas extraídas cubram os defeitos de fabrico mais comuns, e que não sejam extraídas faltas com muito baixa probabilidade de ocorrência. São descritos três tipos de algoritmos: extracção exaustiva de faltas, extracção de faltas realistas, e análise indutiva de faltas.

#### 3.3.1 Extracção exaustiva de faltas

A extracção exaustiva de faltas é a forma mais simples e rápida de extrair faltas porque não depende da informação física, mas apenas da informação sobre quais são as pistas e os nós em cada pista. Admite-se a existência de defeitos que provocam circuitos abertos em todas as pistas e curto-circuitos entre quaisquer pistas da carta. O conjunto de faltas extraído por este método é sempre o mesmo para a mesma carta, independentemente do processo de fabrico. Esta independência estrutural significa que estamos implicitamente a considerar todas as faltas como igualmente prováveis em todo o circuito.

A aplicação deste método em cartas simples não constitui um problema, devido ao reduzido número de faltas extraídas. Contudo, o número de faltas extraídas cresce exponencialmente com o aumento do número de pistas e nós, pelo que em cartas mais complexas o número de faltas extraídas exige uma sequência de testes demasiado longa. Este método de extracção de faltas é precisamente o que se pretende evitar, porque todas as faltas são extraídas, mesmo as que não podem ocorrer fisicamente. Isto tem como consequência a geração de um elevado número de testes a efectuar ou, caso se escolha um subconjunto das faltas extraídas, a falta de confiança nos valores calculados para a cobertura de faltas, porque não se conhece a probabilidade de ocorrência de cada falta.

#### 3.3.2 Extracção de faltas realistas

A extracção de faltas realistas [20,21] surge como uma solução para evitar a extracção de faltas que apresentam baixa probabilidade de ocorrência, a qual se verifica ser o problema da extracção exaustiva de faltas. Uma vez que se pretende minimizar o número de testes a

realizar, este método baseia-se na procura das zonas críticas da CCI, isto é, aquelas em que os defeitos têm como consequência a alteração da topologia do circuito, extraindo as faltas correspondentes a defeitos nessas zonas da CCI. A extracção de faltas é feita com base na análise de determinados parâmetros físicos da CCI, e atendendo a um conhecimento prévio do espectro e características dos defeitos possíveis para o processo de fabrico considerado. Deste modo são excluídas faltas pouco realistas, como por exemplo curto-circuitos entre pistas não adjacentes, ou entre pistas muito afastadas. O método aplica-se para a extracção de faltas relativas ao processo de fabrico das pistas e ao processo de soldadura dos componentes.

### 3.3.2.1 Extracção de faltas relativas ao fabrico das pistas

Os defeitos no fabrico das pistas podem causar curto-circuitos entre pistas e circuitos abertos. Se admitirmos que a probabilidade de ocorrência de um circuito aberto numa pista é proporcional ao comprimento da pista, temos assim um critério para a classificação da probabilidade de ocorrência de um circuito aberto. Por exemplo, para a figura 3.2, a probabilidade de ocorrência de um circuito aberto na pista A é dupla da probabilidade de ocorrência de um circuito aberto na pista B. Da mesma forma, a espessura das pistas também influencia esta probabilidade, pelo que a probabilidade de ocorrência de um circuito aberto cresce com o aumento do comprimento e com a diminuição da espessura das pistas.

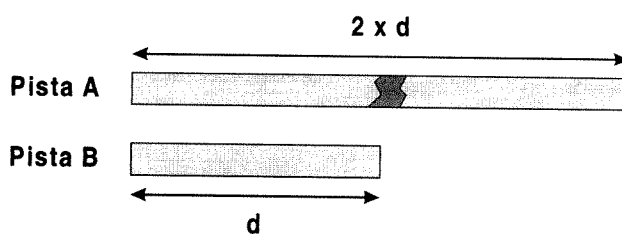


Figura 3.2: É mais provável ocorrer um circuito aberto na pista A do que na pista B.

A probabilidade de ocorrência de curto-circuitos entre pistas pode também ser obtida à custa de informação estrutural. Um possível critério é o tamanho da linha de contacto entre pistas, considerando que um defeito é tanto mais provável quanto maior for o tamanho dessa linha de contacto [22]. No exemplo da figura 3.3, a probabilidade de ocorrência de um curto-circuito entre A e B pode ser considerada dupla da da ocorrência de um curto-circuito entre B e C,

porque o comprimento da linha de contacto entre as pistas A e B tem o dobro do comprimento da linha de contacto entre as pistas B e C [22].

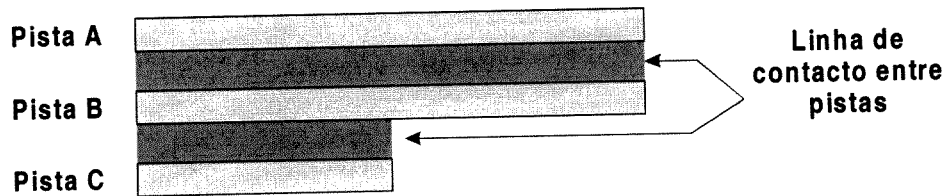


Figura 3.3: É mais provável ocorrer um curto-circuito entre as pistas A e B do que entre B e C.

Outro factor importante é o afastamento entre pistas. Considerando-se que os defeitos têm uma determinada dimensão máxima, apenas é possível ocorrer um curto-circuito quando a distância entre duas pistas é inferior ao tamanho máximo do defeito, como ilustra a figura 3.4.

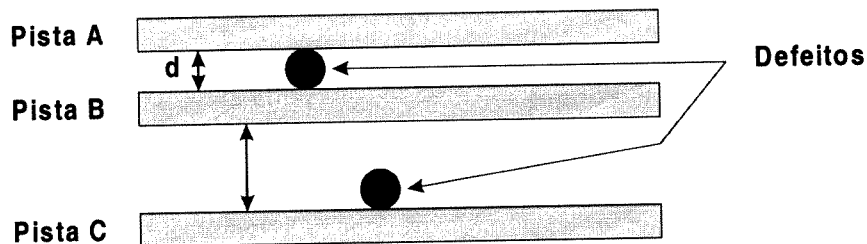


Figura 3.4: Para defeitos com dimensão máxima  $d$ , apenas podem ocorrer curto-circuitos quando a distância entre duas pistas é igual ou inferior a  $d$ .

O rendimento de fabrico de CCI's é influenciado pelos factores atrás referidos, os quais caracterizam, na prática, a densidade de interligações nas CCI's. De facto, o rendimento global de fabrico é o produto de dois factores [5], um dos quais está relacionado com a densidade de interligações na CCI ( $Y_{DI}$ ) e o outro traduz o rendimento do restante processo de fabrico:

$$Y_{TOTAL} = Y_{DI} \times Y_{RESTO\ DO\ PROCESSO} \quad (3.1)$$



Como vimos, os defeitos que afectam o rendimento relacionado com a densidade de interligações são circuitos abertos em pistas e curto-circuitos entre pistas. Assumindo que a distribuição destes defeitos ao longo da superfície dos condutores segue uma distribuição de *Poisson*, o que é vulgarmente utilizado neste tipo de abordagem [5,22], com uma frequência média  $V$  de defeitos, dependente da largura das pistas e do espaçamento entre pistas, a probabilidade de não ocorrer qualquer defeito ao longo do comprimento total  $L$  dos condutores numa carta é dada por:

$$Y = e^{-v.L} \quad (3.2)$$

O aumento da densidade de interligações em CCIs através da diminuição da espessura dos condutores só é viável economicamente se o rendimento de fabrico se mantiver em níveis elevados. Como se pode observar na figura 3.5, o rendimento de fabrico decresce rapidamente com a diminuição da espessura das pistas, para um mesmo processo de fabrico [5].

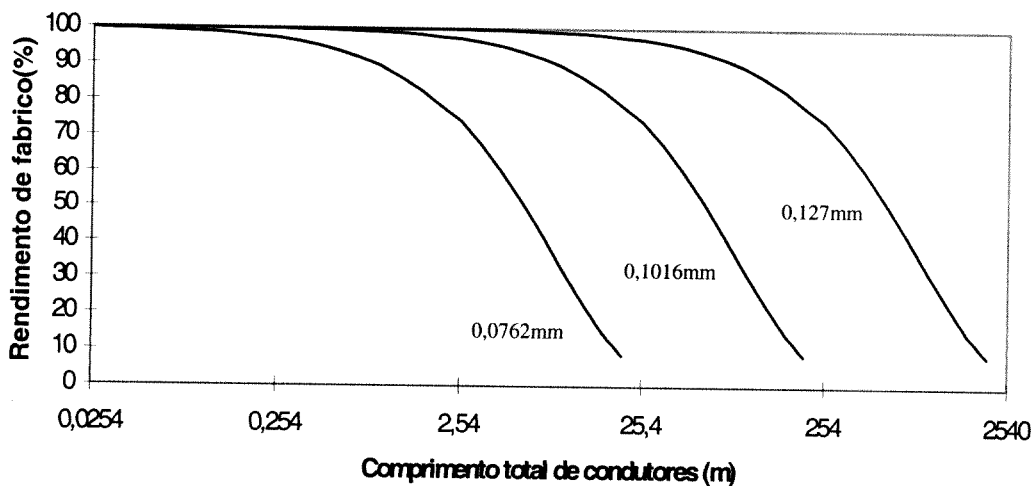


Figura 3.5: Rendimento de fabrico em função do comprimento total de condutores na carta, para três espessuras de pista diferentes.

Este conjunto de factores geométricos tem grande influência no rendimento de fabrico, pois determinam a maior ou menor probabilidade de ocorrência de defeitos. É portanto possível

determinar as zonas da carta mais susceptíveis a defeitos com base em critérios estruturais da CCI em análise.

### 3.3.2.2 Extracção de faltas relativas ao processo de soldadura

Um critério utilizado em [21], para a extracção de faltas relativas a defeitos no processo de soldadura, é a distância entre cada ponto de soldadura e os outros pontos ou pistas, a qual pode ser calculada a partir da descrição da topologia da carta. Se esta distância for inferior a um dado valor  $R$ , determinado de acordo com a tecnologia de fabrico, considera-se que há a probabilidade de existir um defeito que origina um curto-circuito entre os pontos referidos, pelo que é extraída a falta correspondente. O conjunto de faltas realistas é obtido pela repetição deste cálculo para todos os pontos.

Neste caso, o valor de  $R$  é obtido pela relação entre as ocorrências de curto-circuitos entre pontos de soldadura e a distância entre esses pontos. O valor de  $R$  deve reflectir uma distância de forma a que a probabilidade de ocorrência de um curto-circuito entre dois pontos de soldadura separados por uma distância superior a  $R$  seja reduzida. A aplicação deste critério é demonstrada na figura 3.6. Note-se que a informação sobre a qualidade do processo de fabrico é tida em consideração no parâmetro  $R$ , pelo que processos com maior qualidade terão valores característicos de  $R$  menores, e por isso as faltas extraídas serão em menor número.

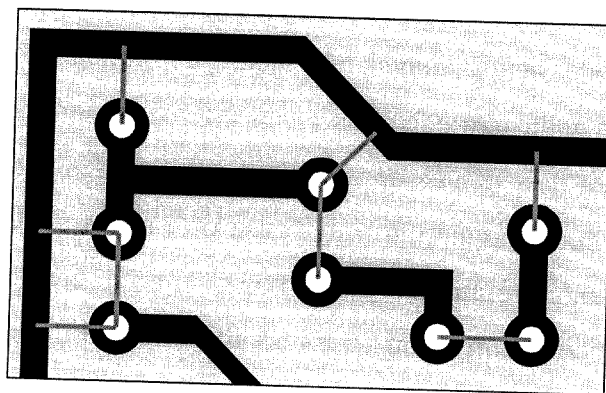


Figura 3.6: Exemplo do conjunto de faltas realistas extraídas a partir da topologia. As faltas são representadas a traço fino e correspondem a curto-circuitos.

Um problema que se torna evidente ao analisar a figura 3.6 é que, ao utilizar unicamente o factor distância para extrair defeitos, ignoram-se outros factores igualmente importantes, tais como o tamanho da linha de contacto entre pistas e pontos de soldadura. Este aspecto é realçado na figura 3.7, que reproduz a figura 3.6 e acrescenta as áreas de contacto para duas zonas distintas. Estas áreas de contacto estão relacionadas com a “direcção” do defeito. Admitindo que o desvio da posição da solda em relação ao ponto previsto pode tomar qualquer direcção, as áreas de contacto determinam quais as “direcções” nas quais um defeito de soldadura provoca um curto-circuito. Quanto maior for a dimensão desta área de contacto maior é a probabilidade de ocorrência de um curto-circuito nessa zona.

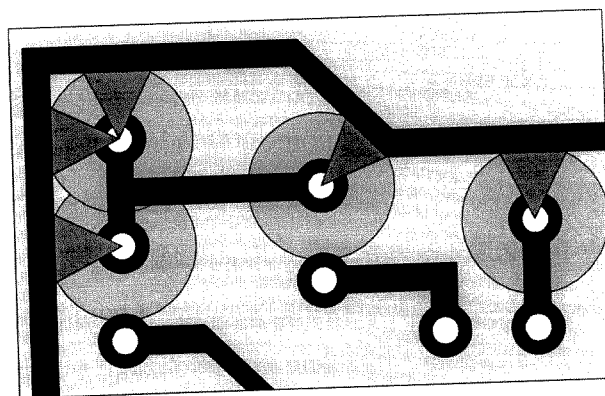


Figura 3.7: Indicação das “direcções” dos defeitos que provocam curto-circuitos.

Outro problema adicional é a existência de defeitos que são mapeados na mesma falta. Esta replicação de faltas pode actuar como um factor de ponderação da probabilidade de ocorrência, porque uma falta extraída várias vezes terá uma probabilidade de ocorrência maior. Por exemplo, para dois pontos de soldadura adjacentes *A* e *B*, a solda depositada no ponto *A* pode provocar um curto-circuito com o ponto *B*, mas a solda depositada no ponto *B* também pode originar um curto-circuito com o ponto *A*. Entre um ponto de soldadura e uma pista adjacente apenas pode ocorrer um curto-circuito originado pela deposição de solda no ponto de soldadura. Uma falta pode assim ter contribuições de diversos defeitos de fabrico, pelo que interessa determinar as contribuições dos diferentes defeitos para obter uma melhor aproximação das faltas mais realistas.

Uma das formas de determinar estas contribuições é através do cálculo da área crítica associada a cada tipo de defeito [23-26] cujo significado é o seguinte: os defeitos cujo centro esteja contido nessa região provocam uma alteração da topologia da CCI. Os exemplos das figuras 3.8 e 3.9 mostram as regiões críticas para os tipos de defeitos considerados.

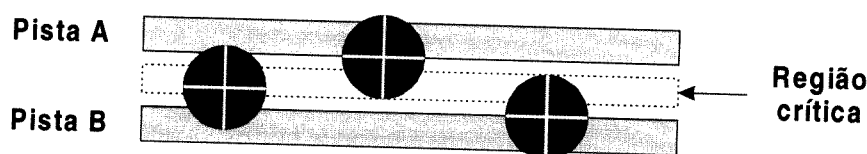


Figura 3.8: Defeitos (material condutor em excesso) com o centro sobre a região crítica causam um curto-circuito entre pistas [23,24].

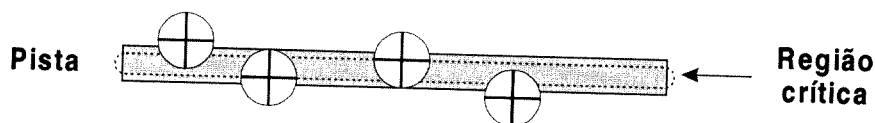


Figura 3.9: Região crítica para defeitos de falta de material condutor [24].

A região crítica pode ser determinada de forma geométrica para cada tipo de defeito, e no caso de os defeitos de fabrico se encontrarem uniformemente distribuídos pelo circuito, a razão entre o valor da área da região crítica e a área ocupada pelo circuito é uma estimativa da probabilidade de falha do circuito devido à ocorrência de um defeito do tipo considerado. Este conceito é utilizado para prever o rendimento de fabrico de circuitos integrados [24], nos quais a maioria dos defeitos são locais e uniformemente distribuídos. Pode ser igualmente aplicado em CCI's, permitindo obter uma classificação das faltas por probabilidade de ocorrência.

### 3.3.3 Análise indutiva de faltas

A análise indutiva de faltas [27-32] é uma técnica que permite determinar, de forma sistemática, as faltas de ocorrência mais provável num determinado circuito, a partir de estatísticas de ocorrência de defeitos no processo de fabrico e da descrição da estrutura física do circuito.

As faltas são causadas por defeitos inerentes ao processo de fabrico. Para efectuar a análise indutiva de faltas, é simulada a distribuição de defeitos de fabrico pela superfície do circuito, extraíndo-se depois as faltas resultantes. O resultado da análise indutiva de faltas é uma lista de faltas e a sua probabilidade de ocorrência. As três fases principais da análise indutiva de faltas são:

- Geração de defeitos físicos, utilizando dados estatísticos de defeitos introduzidos pelo processo de fabrico;
- Extração das faltas a nível do circuito causadas por estes defeitos;
- Classificação dos tipos de faltas e ordenação das faltas baseada na probabilidade de ocorrência.

Assim, para um dado circuito, a análise indutiva de faltas produz como resultado um conjunto de faltas obtidas por simulação da produção de circuitos com defeitos. É por isso de uso muito geral, podendo ser aplicada na análise de diversas tecnologias de fabrico e tipos de circuitos. A técnica requer um bom conhecimento do processo de fabrico e dos parâmetros que caracterizam a ocorrência de defeitos, para que as faltas extraídas tenham uma correspondência com a realidade do processo de fabrico.

A geração de testes orientados para a detecção de defeitos, utilizando a análise indutiva de faltas, tem sido estudada e aplicada ao nível dos circuitos integrados, tanto digitais como analógicos e mistos, podendo também ser aplicada a CCI's.

### **3.3.3.1 Geração de defeitos físicos**

A primeira fase da análise indutiva de faltas é a geração de defeitos físicos, os quais podem ser caracterizados por intermédio de dados estatísticos, obtidos a partir do processo de fabrico. Esta caracterização consiste em dois atributos:

- A função de distribuição espacial dos defeitos;
- A função de distribuição do tamanho do defeito.

Os defeitos gerados são normalmente definidos como um círculo de material condutor adicional ou em falta. De cada vez que é chamado, o gerador de defeitos retorna três variáveis

geradas aleatoriamente: as coordenadas do ponto central do defeito e o tamanho do defeito, designados por  $X$ ,  $Y$  e  $R$  na figura 3.10.

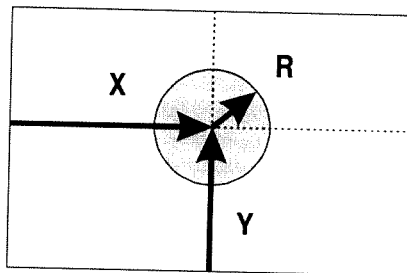


Figura 3.10: Geração aleatória de um defeito [31].

Nem todos os defeitos extraídos ao nível físico têm impacto ao nível do circuito. Tomando como exemplo a figura 3.11, um defeito de tamanho muito reduzido pode não alterar a estrutura do circuito, da mesma forma que a localização do defeito pode torná-lo irrelevante. Se os testes a efectuar à carta apenas permitirem detectar circuitos abertos e curto-circuitos, então os defeitos que não causam alterações na estrutura do circuito podem ser desprezados. No entanto, existem defeitos que, apesar de não provocarem curto-circuitos nem circuitos abertos, alteram as características eléctricas do circuito. Por exemplo, um defeito de pequena dimensão numa pista pode não originar um circuito aberto, mas a menor espessura da pista significa uma pista mais frágil e com maior resistência de condução. Se os testes a efectuar à carta forem capazes de detectar essas variações, então interessa considerar também estes defeitos.

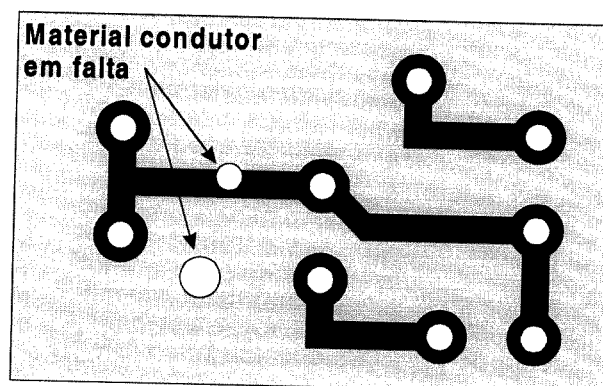


Figura 3.11: Muitos dos defeitos gerados aleatoriamente não têm efeitos a nível do circuito. No caso dos defeitos ilustrados, a falta de material condutor não causa a alteração da estrutura do circuito.

### 3.3.3.2 Extracção e classificação das faltas

Os defeitos que causam a alteração da estrutura do circuito são traduzidos para faltas por intermédio de um extractor de faltas. Para efectuar a extracção das faltas, o extractor de faltas compara o circuito não faltoso com o circuito resultante da inserção do defeito.

Após a extracção de faltas, estas são agrupadas e classificadas. Cada falta pode ser provocada por um ou mais defeitos, pelo que o número de defeitos que dão origem a uma falta é uma indicação da probabilidade de ocorrência dessa falta — ver figura 3.12. Para assegurar um grau de confiança elevado na classificação das faltas, é necessário processar um número elevado de defeitos. As regiões críticas apresentadas anteriormente podem também servir para a extracção de faltas, uma vez que para cada defeito existe a respectiva região crítica de influência do defeito.

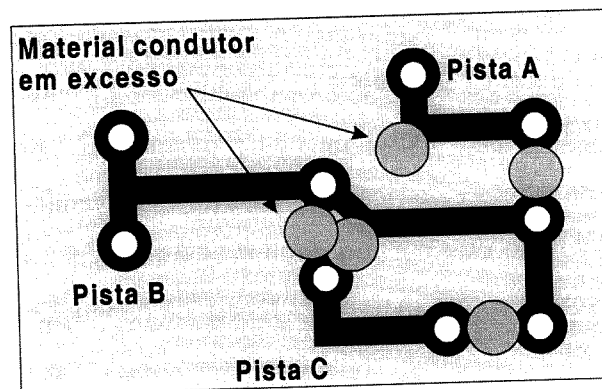


Figura 3.12: É mais provável ocorrer um curto-circuito entre as pistas B e C do que entre as pistas A e B porque são mais numerosos os defeitos que o podem provocar.

Como se pode ver pela análise da figura 3.12, a topologia do circuito é determinante na probabilidade de ocorrência de um defeito. Por isso, é possível diminuir a probabilidade de ocorrência de certas faltas, eventualmente as mais difíceis de testar, através de alterações na topologia do circuito [31]. No entanto, para utilizar sistematicamente esta técnica, é necessário ter uma ferramenta de análise de testabilidade, que automatize a análise indutiva de faltas, integrada num ambiente de projecto, constituindo assim um valioso meio de projecto orientado para a testabilidade.

## 3.4 Métodos de análise de testabilidade

Nas CCI's modernas a tendência é para limitar o acesso directo a nós da carta, sendo esse acesso substituído por uma infra-estrutura de teste que proporciona o acesso electrónico aos nós de teste. O acesso a esses nós é limitado e implica um custo, em termos da sobrecarga de circuitos dedicados exclusivamente ao teste, e por ser necessário controlar e configurar a própria infra-estrutura de teste. Por outro lado, os nós da carta não apresentam todos a mesma utilidade do ponto de vista do teste, e alguns poderão ser redundantes. Por isso, é necessário saber quais são os nós mais importantes da carta.

Os estímulos aplicados para teste devem permitir a detecção dos defeitos do circuito e devem ser de fácil geração, para permitir a sua geração local (na própria CCI, a partir de um circuito dedicado ao teste). Em suma, o objectivo da selecção de estímulos é maximizar a cobertura de defeitos do circuito e minimizar o número de estímulos. A selecção de nós de teste tem por objectivo a escolha do conjunto de nós que maximizam a testabilidade ou permitem atingir uma determinada testabilidade. Existem diversos métodos que podem ser utilizados para a selecção de nós e de estímulos de teste, entre os quais:

- Análise da função de transferência;
- Análise de sensibilidade;
- Dicionários de faltas;
- Testabilidade de faltas em nós.

### 3.4.1 Análise da função de transferência

A representação de um circuito analógico através da sua função de transferência pode ser utilizada em algoritmos de selecção de estímulos de teste, com o objectivo de encontrar as frequências dos sinais de entrada que melhor detectam faltas estruturais [33]. A técnica consiste no cálculo da função de transferência do circuito analógico linear (ou linearizado) na ausência de faltas e na presença de cada uma das faltas. As funções de transferência são obtidas a partir da descrição do circuito e das faltas, pela aplicação da análise nodal modificada ou pela análise dos grafos de fluxos, sendo então decompostas na representação



resíduo-polo, o que simplifica o tratamento dos sinais de saída e a simulação, no caso dos sinais de entrada serem sinusoidais [33].

As funções “erro em amplitude” e “erro em fase” de cada circuito faltoso, em relação ao circuito nominal, variam com a frequência do sinal de entrada. Para encontrar o conjunto mínimo de vectores de teste, são procuradas frequências que resultem em diferenças em amplitude ou fase suficientemente grandes para permitir a sua detecção. Para resolver este problema são utilizadas técnicas de optimização. Testes similares utilizando sinais de entrada em forma de rampa indicam que esta pode ser uma alternativa vantajosa em relação aos sinais de entrada sinusoidais [33].

Esta técnica implica a utilização de um modelo de faltas e, por isso, é possível obter uma estimativa da cobertura de faltas. Por outro lado, a principal dificuldade consiste na obtenção e manipulação das funções de transferência. As funções de erro são maioritariamente “bem comportadas”, sendo monótonas ou com um único pico no intervalo de frequências de funcionamento do circuito. Nos casos em que as funções têm múltiplos picos as técnicas de optimização mais simples (e rápidas) falham, obrigando à utilização de técnicas mais complexas, como o *simulated annealing* [33].

### 3.4.2 Análise de sensibilidade

Os circuitos analógicos são caracterizados funcionalmente por um conjunto de parâmetros de desempenho, os quais são dependentes da topologia e do valor dos elementos que formam o circuito. No entanto, cada elemento tem uma contribuição diferente para o desempenho, pelo que se pode dizer que as saídas observáveis de um circuito analógico apresentam uma sensibilidade em relação ao valor de cada um dos elementos.

Alguns algoritmos utilizam este conceito, fazendo recurso da análise de sensibilidade para a escolha dos parâmetros de desempenho a medir, para a selecção de nós de teste e para o diagnóstico de faltas [34-37]. O cálculo da sensibilidade no domínio das frequências é também utilizado como suporte para técnicas de teste multifrequência [35], existindo já uma ferramenta automática de análise de sensibilidade [38]. A sensibilidade traduz uma relação

simples entre os elementos do circuito e os parâmetros de desempenho do circuito, tem uma base teórica firme, e pode ser calculada de forma analítica ou experimental, justificando assim a sua extensa utilização [39].

A estratégia apresentada em [34] consiste na construção de um modelo do circuito, o qual relaciona os elementos constituintes do circuito, os parâmetros do desempenho e as saídas observáveis. Este modelo permite extrair algumas conclusões: quais os parâmetros de desempenho a medir e em que nós de teste deverão são feitas essas medidas. A figura 3.13 mostra os dois tipos de informação utilizadas por este método — informação funcional e informação estrutural — aplicados a um circuito exemplificativo.

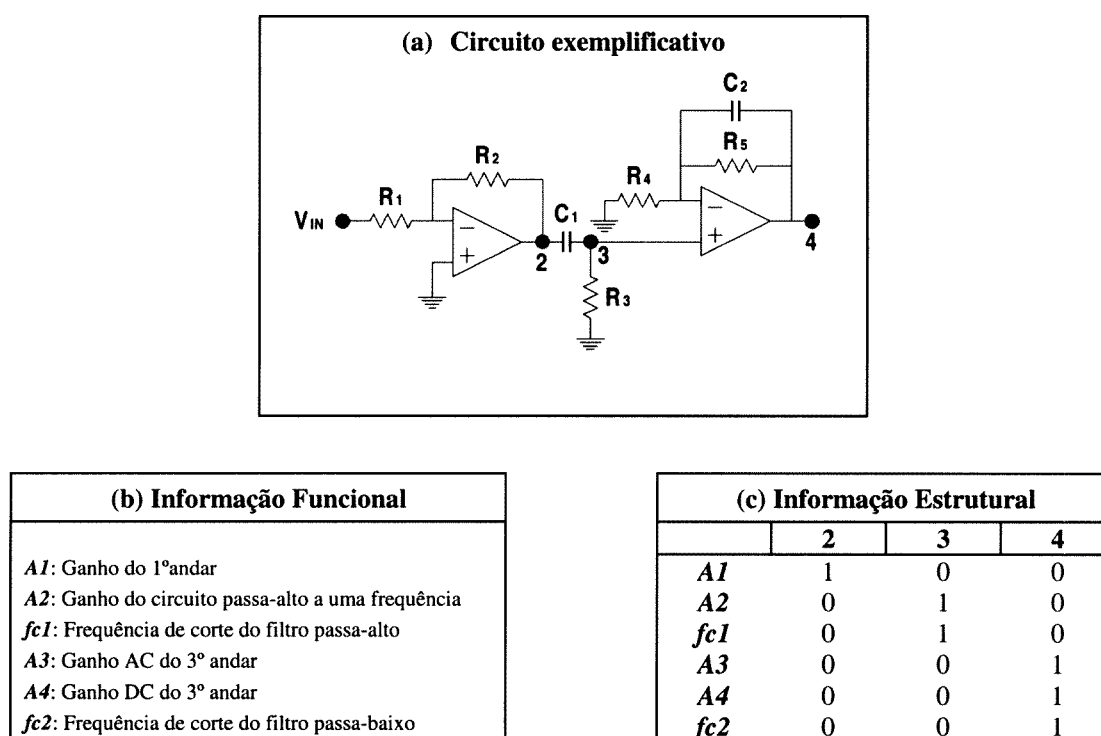


Figura 3.13: Informação funcional e estrutural do circuito de exemplo.

A informação funcional é dada sob a forma de parâmetros do desempenho do circuito ao nível dos blocos funcionais que o constituem. Os parâmetros devem cobrir todos os elementos do circuito, isto é, cada elemento do circuito deve contribuir para pelo menos um dos parâmetros considerados. A informação estrutural relaciona as saídas observáveis com os parâmetros,

sendo extraída da topologia do circuito. A tabela da figura 3.13c representa essa relação, existindo o valor 1 sempre que o parâmetro indicado pela linha da tabela pode ser medido através da saída observável indicada pela coluna.

A estratégia é composta por quatro passos, que serão apresentados em pormenor:

- Cálculo de sensibilidades;
- Construção do modelo do circuito;
- Cálculo das tolerâncias;
- Selecção dos parâmetros a medir, dos nós de teste associados, e análise de testabilidade.

### 3.4.2.1 Cálculo de sensibilidades

O desvio num elemento  $x_i$  resulta na perturbação do parâmetro de desempenho  $T_j$ , sendo a sensibilidade diferencial calculada pela equação 3.3 e a sensibilidade incremental calculada pela equação 3.4. Enquanto a sensibilidade diferencial mede a perturbação no desempenho causada por pequenas variações dos elementos, a sensibilidade incremental é utilizada para analisar os efeitos de qualquer variação do valor dos elementos (quando o valor  $\Delta x_i$  tende para zero, a equação 3.4 reduz-se à equação 3.3).

$$S_{x_i}^{T_j} = \frac{x_i}{T_j} \times \frac{\partial T_j}{\partial x_i} \quad (3.3)$$

$$\rho_{x_i}^{T_j} = \frac{x_i}{T_j} \times \frac{\Delta T_j}{\Delta x_i} \quad (3.4)$$

Por esta razão, a sensibilidade incremental é preferível, embora o seu cálculo seja mais complexo.

A partir da função de transferência do parâmetro  $T_j$ ,

$$T_j(w, x) = \frac{N(w, x)}{D(w, x)}, \quad (3.5)$$

a sensibilidade incremental é dada por:

$$\rho_{x_i}^{T_j} = \frac{S_{x_i}^{T_j}}{1 + S_{x_i}^D \times \frac{\Delta x_i}{x_i}} \quad (3.6)$$

As sensibilidades diferenciais  $S_{x_i}^{T_j}$  e  $S_{x_i}^D$  são de cálculo difícil, pelo que se pode recorrer ao cálculo experimental, submetendo o componente  $x_i$  a dois desvios,  $\Delta x_a$  e  $\Delta x_b$ , e medindo os desvios correspondentes no parâmetro  $T$  —  $\Delta T_a$  e  $\Delta T_b$  :

$$S_x^T = \frac{x}{T} \times \left[ \frac{\Delta T_a \cdot \Delta T_b \cdot (\Delta x_a - \Delta x_b)}{\Delta x_a \cdot \Delta x_b \cdot (\Delta T_a - \Delta T_b)} \right] \quad (3.7)$$

$$S_x^D = x \times \frac{\frac{\Delta T_b}{\Delta x_b} - \frac{\Delta T_a}{\Delta x_a}}{\Delta T_a - \Delta T_b} \quad (3.8)$$

Considere-se o circuito da figura 3.14 para aplicação do cálculo de sensibilidades.

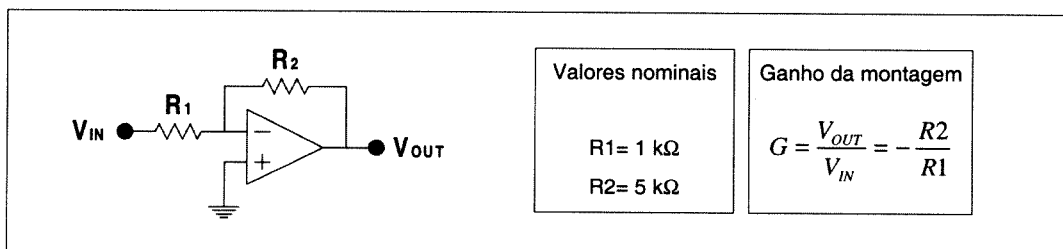


Figura 3.14: Montagem básica para aplicação do cálculo de sensibilidades.

Para calcular a sensibilidade diferencial do parâmetro de desempenho “ganho da montagem” em relação aos elementos  $R1$  e  $R2$  do circuito, pode-se utilizar o cálculo analítico:

$$S_{R1}^G = \frac{R1}{G} \times \frac{\partial G}{\partial R1} = \frac{R1}{\frac{R2}{R1}} \times \frac{\partial \left( -\frac{R2}{R1} \right)}{\partial R1} = \frac{-R1^2}{R2} \times \frac{R2}{R1^2} = -1 \quad (3.9)$$

$$S_{R2}^G = \frac{R2}{G} \times \frac{\partial G}{\partial R2} = \frac{R2}{\frac{R2}{R1}} \times \frac{\partial \left( -\frac{R2}{R1} \right)}{\partial R2} = -R1 \times \left( -\frac{1}{R1} \right) = 1 \quad (3.10)$$

Para calcular a sensibilidade incremental do ganho em relação a  $R1$ , mede-se a variação do ganho para dois desvios de  $R1$ , tal como é mostrado na figura 3.15.

R1 ( $\Omega$ )	$\Delta R1$ ( $\Omega$ )	GANHO	$\Delta_{\text{GANHO}}$
5 k	0	-2	0
2.5 k	-2.5 k	-4	-2
10 k	5 k	-1	1

circuito nominal  $\rightarrow$

$\Delta R1_a = -2500$   
 $\Delta G_a = -2$   
 $\Delta R1_b = 5000$   
 $\Delta G_b = 1$

Figura 3.15: Variação do ganho para desvios na resistência  $R1$ , para cálculo da sensibilidade incremental.

Em seguida calculam-se as sensibilidades diferenciais que entram no cálculo da sensibilidade incremental. De notar que o cálculo experimental de  $S_{R1}^G$  confirma o valor calculado analiticamente.

$$S_{R1}^G = \frac{R1}{G} \times \left[ \frac{\Delta G_a \cdot \Delta G_b \cdot (\Delta R1_a - \Delta R1_b)}{\Delta R1_a \cdot \Delta R1_b \cdot (\Delta G_a - \Delta G_b)} \right] = -1 \quad (3.11)$$

$$S_{R1}^D = R1 \times \frac{\frac{\Delta G_b}{\Delta R1_b} - \frac{\Delta G_a}{\Delta R1_a}}{\Delta G_a - \Delta G_b} = 1 \quad (3.12)$$

Finalmente, a sensibilidade incremental pode ser calculada como função do desvio em  $R1$  (figura 3.16). Para valores de desvio de  $R1$  próximos de zero, o valor da sensibilidade é aproximadamente -1 (o que confirma o valor da sensibilidade diferencial). As variações negativas em  $R1$ , ou seja, valores de resistência inferiores ao valor nominal, têm maior impacto no desempenho do que variações positivas.

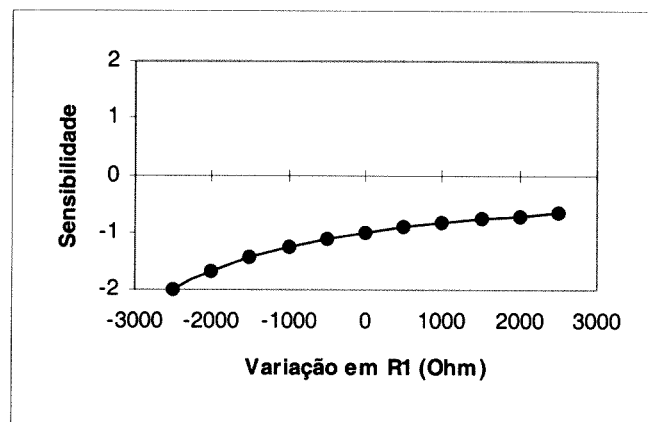


Figura 3.16: Sensibilidade do ganho da montagem da figura 3.14 em relação a variações na resistência  $R1$ .

Realizando os mesmos cálculos em relação a  $R2$ , chega-se ao resultado exposto na figura 3.17. Neste caso, a sensibilidade é sempre igual a um.

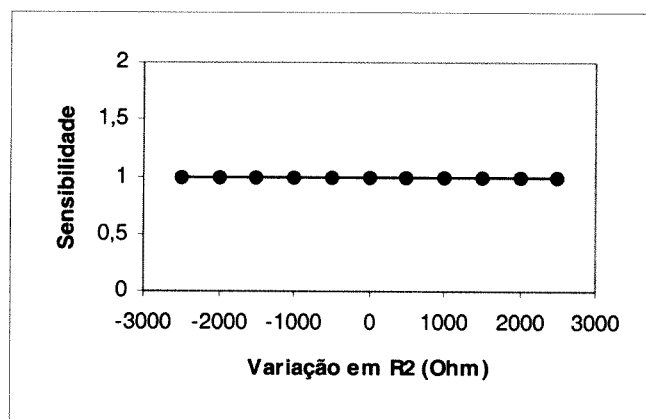


Figura 3.17: Sensibilidade do ganho da montagem da figura 3.14 em relação a variações na resistência  $R2$ .

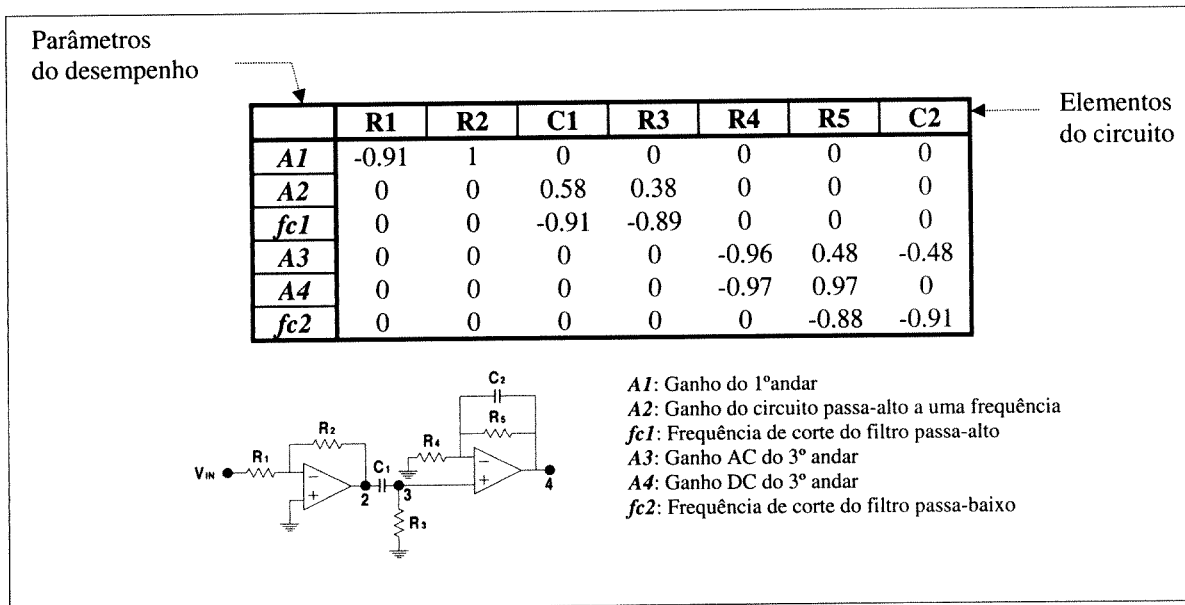


Figura 3.18: Valores das sensibilidades dos parâmetros em relação aos elementos, para o circuito da figura 3.13, aqui reproduzido.

Por simples inspeção da tabela de sensibilidades podem ser retiradas algumas conclusões preliminares :

- Se o objectivo é testar faltas catastróficas, então só é preciso medir o conjunto de parâmetros  $\{A1, fc1, A3\}$ . De facto, como as faltas catastróficas representam variações extremas nos valores dos elementos do circuito, basta escolher o conjunto de parâmetros que cobrem todos os elementos, ou seja, cujas sensibilidades sejam não nulas em relação aos elementos. O parâmetro *A1* cobre os elementos *R1* e *R2*; o parâmetro *fc1* cobre os elementos *C1* e *R3* (embora o parâmetro *A2* também seja sensível aos mesmos elementos, os valores absolutos das sensibilidades são inferiores); os elementos restantes — *R4*, *R5* e *C2*, são cobertos pelos parâmetro *A3*.
- Para o teste de faltas paramétricas o melhor conjunto de parâmetros a medir é  $\{A1, fc1, A4, fc2\}$ , porque são os parâmetros que apresentam as maiores sensibilidades em relação às variações dos valores dos componentes. Em relação ao caso anterior, o parâmetro *A3*, que servia para testar os elementos *R4*, *R5* e *C2*, foi substituído pelos parâmetros *A4* e *fc2* que têm maior sensibilidade em relação a esses componentes.

### 3.4.2.2 Construção do modelo do circuito

Com base nas informações estruturais e funcionais é obtido um grafo que modela o circuito, relacionando os parâmetros do desempenho com as saídas observáveis e os elementos do circuito. O significado dos arcos é o seguinte:

- Um arco entre duas saídas observáveis significa que estas duas saídas são dependentes;
- Um arco entre uma saída observável e um parâmetro significa que o parâmetro pode ser directamente medido nessa saída;
- Um arco entre um parâmetro e um elemento significa que o parâmetro tem sensibilidade não nula em relação às variações do elemento.

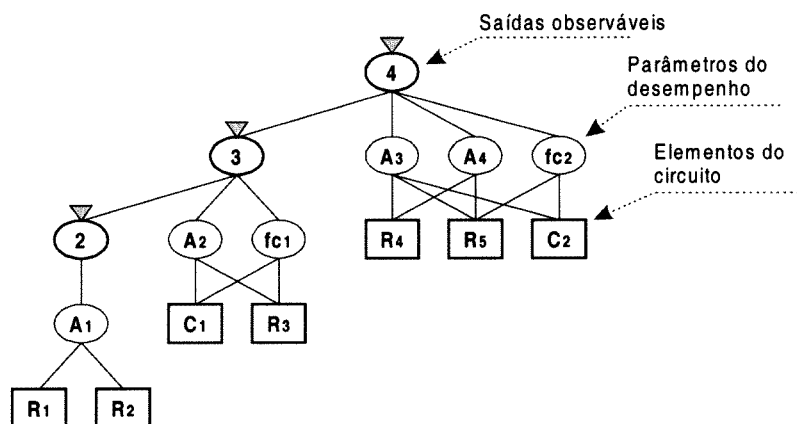


Figura 3.19: Construção do modelo do circuito da figura 3.13.

### 3.4.2.3 Cálculo das tolerâncias

Todos os elementos do circuito têm um valor nominal e um valor de tolerância, que é o máximo desvio relativo admissível em relação ao valor nominal. No entanto, a avaliação de um elemento através da medida de um parâmetro deve ter em consideração os efeitos de



mascamamento devido à flutuação dos valores dos outros elementos do circuito nos intervalos de tolerância. O efeito de mascaramento ocorre quando uma falta num elemento provoca um desvio num parâmetro que é compensado pela variação dos valores de elementos não faltosos na banda de tolerância. Assim, são definidas duas tolerâncias (máxima e mínima) para o caso de um elemento faltoso, considerando as variações dos outros elementos (considerados não faltosos) no caso menos favorável — com o maior efeito de mascaramento, e no caso mais favorável — sem efeito de mascaramento. Apenas desvios superiores à tolerância máxima são garantidamente detectados, porque levam o parâmetro do desempenho para valores não pertencentes à banda de tolerância. Os valores de desvio entre as tolerâncias mínima e máxima apenas podem ser detectados se não ocorrer o efeito de mascaramento de faltas. Os valores inferiores à tolerância mínima não podem ser detectados. As tolerâncias máxima e mínima são calculadas de acordo com as equações 3.13 e 3.14, respectivamente.

$$\left(\frac{\Delta x_i}{x_i}\right)_{Max} = \frac{\left|\frac{\Delta T_k}{T_k}\right| + \sum_{j=1}^{i-1} \left|S_{x_j}^{T_k}\right| \cdot \left|\frac{\Delta x_j}{x_j}\right| + \sum_{j=i+1}^m \left|S_{x_j}^{T_k}\right| \cdot \left|\frac{\Delta x_j}{x_j}\right|}{S_{x_i}^{T_k}} \quad (3.13)$$

$$\left(\frac{\Delta x_i}{x_i}\right)_{Min} = \frac{\left|\frac{\Delta T_k}{T_k}\right| - \sum_{j=1}^{i-1} \left|S_{x_j}^{T_k}\right| \cdot \left|\frac{\Delta x_j}{x_j}\right| - \sum_{j=i+1}^m \left|S_{x_j}^{T_k}\right| \cdot \left|\frac{\Delta x_j}{x_j}\right|}{S_{x_i}^{T_k}} \quad (3.14)$$

#### 3.4.2.4 Selecção dos parâmetros a medir, dos nós de teste associados, e análise de testabilidade

O problema da selecção dos parâmetros a medir pode ser formulado como um problema de optimização. Os valores de tolerância máximos são os “pesos” das arestas que relacionam elementos e parâmetros. A escolha dos parâmetros a medir faz-se seleccionando os arcos de menor “peso” que permitem seleccionar todos os elementos.

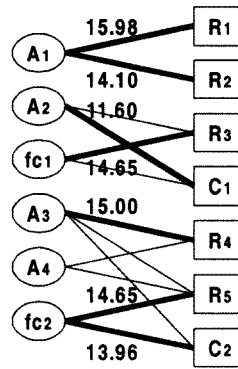


Figura 3.20: Resultado da escolha de parâmetros a medir para o circuito da figura 3.13.

A figura 3.20 mostra o resultado da escolha de parâmetros para o circuito da figura 3.13. A análise dos resultados permite retirar conclusões sobre a qualidade do teste:

- O conjunto de parâmetros a medir é  $\{A1, A2, fc1, A3, fc2\}$ , ou seja, todos excepto  $A4$ . De notar que o conjunto é diferente daquele derivado por simples inspecção da matriz de sensibilidades —  $\{A1, fc1, A4, fc2\}$  — porque neste caso foi considerado o efeito de mascaramento.
- Todas as faltas catastróficas são detectáveis.
- Desvios nos elementos superiores a 16% são garantidamente detectáveis.
- Desvios inferiores a 11.6% são indetectáveis.
- Valores intermédios podem ser detectados para alguns elementos, caso não ocorra o efeito de mascaramento.

O estudo da testabilidade de circuitos analógicos pode também ser realizado no domínio das frequências, assumindo-se neste caso que os estímulos aplicados às entradas do circuito são sinusóides com frequência variável. O desvio em amplitude ou em fase do sinal de saída, em relação ao valor nominal, é o resultado da presença de elementos defeituosos. O efeito destes elementos é dependente da frequência, o que significa que a detectabilidade de faltas é também dependente da frequência. O objectivo é encontrar as frequências e os nós de teste que maximizam a observabilidade das faltas [35,37]. Este estudo é também utilizado para o diagnóstico de faltas.

### Exemplo de aplicação do algoritmo [41]

O exemplo dado em [41] é o de um circuito amplificador de vídeo e considera um conjunto de 18 faltas (F1 a F18, sendo F0 a representação de inexistência de falta) e 4 nós de teste possíveis. Sejam os conjuntos de faltas indistinguíveis associados a cada nó os seguintes:

O Nó 1 tem 5 conjuntos:  $\{F_0, F_3, F_5, F_6, F_7, F_8, F_9, F_{10}, F_{12}, F_{13}, F_{15}\}$ ,  $\{F_1, F_2\}$ ,  $\{F_4, F_{14}\}$ ,  
 $\{F_{11}, F_{17}, F_{18}\}$ ,  $\{F_{16}\}$

O Nó 2 tem 5 conjuntos:  $\{F_0, F_1, F_2, F_3, F_6, F_8, F_{10}, F_{11}, F_{13}, F_{14}, F_{16}, F_{17}, F_{18}\}$ ,  $\{F_4, F_5, F_{15}\}$ ,  $\{F_7\}$ ,  
 $\{F_9\}$ ,  $\{F_{12}\}$

O Nó 3 tem 8 conjuntos:  $\{F_0, F_3, F_{10}, F_{11}, F_{18}\}$ ,  $\{F_1, F_2, F_6, F_8, F_{14}\}$ ,  $\{F_4\}$ ,  $\{F_5, F_7, F_{12}, F_{15}\}$ ,  $\{F_9\}$ ,  
 $\{F_{13}\}$ ,  $\{F_{16}\}$ ,  $\{F_{17}\}$

O Nó 4 tem 8 conjuntos:  $\{F_0, F_3, F_8, F_{10}, F_{11}, F_{12}, F_{13}, F_{18}\}$ ,  $\{F_1, F_2, F_{14}\}$ ,  $\{F_4, F_7\}$ ,  $\{F_5, F_{15}\}$ ,  $\{F_6\}$ ,  
 $\{F_9\}$ ,  $\{F_{16}\}$ ,  $\{F_{17}\}$

A aplicação do algoritmo origina os seguintes passos:

Passo 1. Escolher nó 3. Conjuntos actuais =  $\{F_0, F_3, F_{10}, F_{11}, F_{18}\}$ ,  $\{F_1, F_2, F_6, F_8, F_{14}\}$ ,  $\{F_4\}$ ,  
 $\{F_5, F_7, F_{12}, F_{15}\}$ ,  $\{F_9\}$ ,  $\{F_{13}\}$ ,  $\{F_{16}\}$ ,  $\{F_{17}\}$

Passo 2. Faltas F4, F9, F13, F16 e F1 detectadas. Conjuntos actuais =  $\{F_0, F_3, F_{10}, F_{11}, F_{18}\}$ ,  
 $\{F_1, F_2, F_6, F_8, F_{14}\}$ ,  $\{F_5, F_7, F_{12}, F_{15}\}$

Passo 3. Escolher nó 4.

Passo 4. Intersecção =  $\{F_7\}$ ,  $\{F_6\}$ ,  $\{F_5, F_{15}\}$ ,  $\{F_8\}$ ,  $\{F_1, F_2, F_{14}\}$ ,  $\{F_{12}\}$ ,  $\{F_0, F_3, F_{10}, F_{11}, F_{18}\}$ .

O número de conjuntos aumentou, logo passam a ser os conjuntos actuais e o nó 4 é escolhido.

Passo 2. Faltas F6, F7, F8 e F1 detectadas. Conjuntos actuais =  $\{F_5, F_{15}\}$ ,  $\{F_1, F_2, F_{14}\}$ ,  
 $\{F_0, F_3, F_{10}, F_{11}, F_{18}\}$ .

Passo 3. Escolher nó 1.

Passo 4. Intersecção =  $\{F_{14}\}$ ,  $\{F_1, F_2\}$ ,  $\{F_5, F_{15}\}$ ,  $\{F_0, F_3, F_{10}\}$ ,  $\{F_{11}, F_{18}\}$ .

O número de conjuntos aumentou, logo passam a ser os conjuntos actuais e o nó 1 é escolhido.

Passo 2. Falta F14 detectada. Conjuntos actuais =  $\{F_1, F_2\}$ ,  $\{F_5, F_{15}\}$ ,  $\{F_0, F_3, F_{10}\}$ ,  $\{F_{11}, F_{18}\}$ .

Passo 3. Escolher nó 2.

Passo 4. Intersecção =  $\{F_1, F_2\}$ ,  $\{F_5, F_{15}\}$ ,  $\{F_0, F_3, F_{10}\}$ ,  $\{F_{11}, F_{18}\}$ .

O número de conjuntos não aumentou, logo eliminar nó 2.

Passo 2. Não há conjuntos com uma única falta.

Passo 3. Não há mais nós para escolher, logo terminar o algoritmo.

Em conclusão, o nó 2 não apresenta informação relevante, pelo que não deve ser escolhido como nó de teste. Os nós de teste seleccionados são assim: 1, 3, e 4.

As assinaturas contidas nos dicionários de faltas em circuitos analógicos são definidas juntamente com uma tolerância, pelo que na prática as assinaturas são de facto intervalos de valores. Deste modo, os conjuntos de faltas indistinguíveis surgem através da sobreposição destes intervalos de valores. Não existe associado a este método uma selecção dos estímulos de teste, e mesmo os nós de teste são seleccionados a partir do conjunto inicial de nós definidos pelo utilizador. A eficácia deste método está muito dependente dos valores particulares dos componentes e da própria configuração do circuito, de forma a que não ocorra o mascaramento de faltas.

#### 3.4.4 Testabilidade de faltas em nós

Em [42] é apresentado o conceito de testabilidade de faltas em nós, a partir do qual são apresentados procedimentos com os seguintes objectivos: avaliação da testabilidade de um circuito, projecto de um circuito testável, localização de faltas em nós, e diagnóstico de faltas em ramos.

O procedimento de teste baseia-se na medida das tensões em todos os nós acessíveis, em resposta a estímulos de corrente aplicados em cada nó acessível. Este procedimento é idêntico ao procedimento definido na metrologia apresentada por Ken Parker [14] para teste de componentes externos passivos por intermédio da infra-estrutura IEEE 1149.4, o que torna este método muito interessante, quer pela adaptação natural à infra-estrutura IEEE 1149.4, quer pela possibilidade de aplicação do mesmo método para teste de componentes activos e de macro-blocos analógicos.

Considere-se uma rede  $R$  representada por um grafo. Um nó da rede é faltoso se algum dos ramos incidentes nesse nó é faltoso, caso contrário é não faltoso. A rede apresenta uma

testabilidade de  $k$  faltas em nós se, perturbando  $R$  para  $R+\Delta R$  sem alterar a topologia, é possível determinar, escolhendo os estímulos de teste apropriados e pela medida nos nós acessíveis:

- Se  $R$  tem ou não mais de  $k$  faltas em nós;
- Em caso negativo, os nós faltosos podem ser localizados.

#### 3.4.4.1 Avaliação da testabilidade

A avaliação da testabilidade de um circuito para um dado conjunto de nós de acesso faz-se por análise da singularidade de uma matriz<sup>1</sup>, formada a partir do valor dos elementos do circuito e das medidas efectuadas. Em [42] demonstra-se que esta condição de testabilidade pode ser reduzida a uma condição dependente apenas da topologia do circuito, a qual pode ser testada de forma muito eficiente computacionalmente. Este método assume que as variações de admitância dos ramos associados a cada nó não se cancelam, uma vez que a probabilidade dessa ocorrência é muito reduzida.

A topologia do circuito é representada por um grafo, a partir do qual se constrói o grafo de teste. Para um circuito sem fontes dependentes os passos são:

- Eliminar os ramos incidentes entre dois nós acessíveis. Os ramos que ligam ao nó de referência são também eliminados, uma vez que não influenciam a testabilidade [42].
- Acrescentar um nó imaginário  $t$ .
- Ligar todos os nós acessíveis, excepto o nó de referência, ao novo nó  $t$ .

Dois caminhos do grafo são independentes se não têm qualquer nó em comum, exceptuando os nós terminais. A conectividade local entre dois nós não adjacentes é o número mínimo de nós que os separam. Para poder testar  $k$  faltas em nós basta satisfazer uma das condições seguintes [42]:

- Existem pelo menos  $k+1$  caminhos independentes de qualquer nó inacessível até ao nó  $t$ ;
- Qualquer nó inacessível e o nó  $t$  têm pelo menos conectividade local  $k+1$ .

---

<sup>1</sup> Uma matriz é singular se o seu determinante é zero.

Na figura 3.21 é apresentado um exemplo de aplicação com uma rede de componentes passivos. Por inspecção do grafo de teste é fácil verificar que o circuito apresenta uma testabilidade de uma falta num nó: existem dois caminhos independentes de qualquer nó não acessível até ao nó  $t$ . De facto, como existem apenas dois nós acessíveis, há no máximo dois caminhos independentes até ao nó  $t$ . Daqui deriva-se uma regra para o número mínimo de nós de teste.

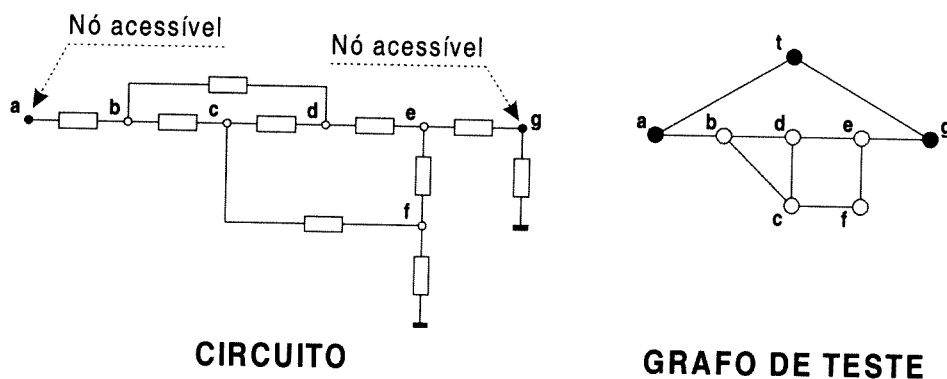


Figura 3.21: Exemplo de rede e grafo de teste correspondente para o conjunto de nós acessíveis {a, g}.

#### 3.4.4.2 Projectar um circuito testável

Dado um circuito e um conjunto de nós de acesso podemos saber qual é a capacidade de teste de faltas em nós que podemos obter. Por outro lado, é também importante saber, para um dado nível de testabilidade a satisfazer, qual o número e a localização dos nós de teste.

Um circuito com  $n$  nós de acesso permite, no máximo, uma testabilidade de  $n-1$  faltas em nós, porque não podem existir mais de  $n$  caminhos independentes de um nó inacessível até ao nó  $t$ . Assim, a primeira condição para obter uma testabilidade de  $k$  faltas em nós é a existência de  $k+1$  nós de acesso. As entradas e saídas principais do circuito são consideradas como nós de teste porque são assumidas como acessíveis. O problema reside na escolha, se necessário, de nós de teste suplementares.

Pode ser aplicada uma abordagem exaustiva para a resolução deste problema: escolhem-se todas as combinações possíveis de  $k+1$  nós de acesso e aplica-se o algoritmo de avaliação de testabilidade. Se nenhuma das combinações conseguir satisfazer a testabilidade escolhida, tentam-se todas as combinações de  $k+2$  nós de acesso, repetindo o processo até ser escolhida uma combinação de nós de acesso que satisfaça a testabilidade pretendida. Esta abordagem simples torna-se impraticável para circuitos de grande dimensão, devido ao aumento exponencial do número de combinações de nós de acesso. Para acelerar o processo de escolha pode ser aplicada uma regra para a escolha inicial dos nós de teste e uma técnica para a escolha dos restantes nós [43]:

- Escolher os nós com menos de  $k+1$  nós vizinhos. Para existirem  $k+1$  caminhos independentes de cada nó inacessível até ao nó  $t$ , cada nó deve ter pelo menos  $k+1$  nós vizinhos, o que implica que os nós com menos de  $k+1$  nós vizinhos têm de ser acessíveis.
- Particionar recursivamente o grafo de teste e aplicar o método de pesquisa exaustiva aos grafos mais simples.

Considere-se o circuito da figura 3.21, o qual apresenta uma testabilidade de uma falta num nó. Para obter uma testabilidade de duas faltas em nós é preciso pelo menos mais um nó de acesso. Apliquemos a regra para escolha inicial dos nós: o nó  $f$  tem apenas dois nós vizinhos, logo o nó  $f$  tem de ser acessível. Com os nós  $a$ ,  $f$  e  $g$  como acessíveis existem três caminhos independentes dos nós inacessíveis até ao nó  $t$  (ver figura 3.22), logo o circuito apresenta uma testabilidade de duas faltas em nós.

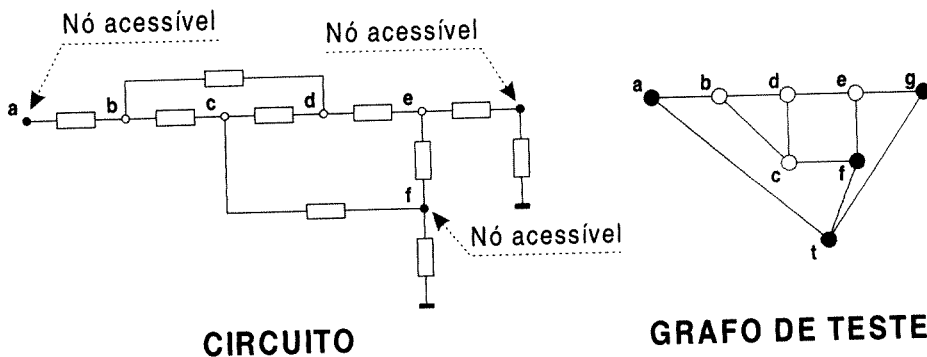


Figura 3.22: Grafo de teste do mesmo circuito da figura 3.21, para o conjunto de nós acessíveis  $\{a, f, g\}$ .

### 3.4.4.3 Localização de faltas em nós

Dado um circuito com uma testabilidade de  $k$  faltas em nós, se o circuito não apresentar mais de  $k$  nós faltosos, então os componentes faltosos podem ser localizados e as suas admitâncias determinadas, aplicando um conjunto de  $m$  vectores de teste independentes [42], sendo  $m$  o número de nós acessíveis. O método é ilustrado com um circuito baseado no exemplo dado em [42]. Para o circuito da figura 3.23, o objectivo é testar todas as faltas simples.

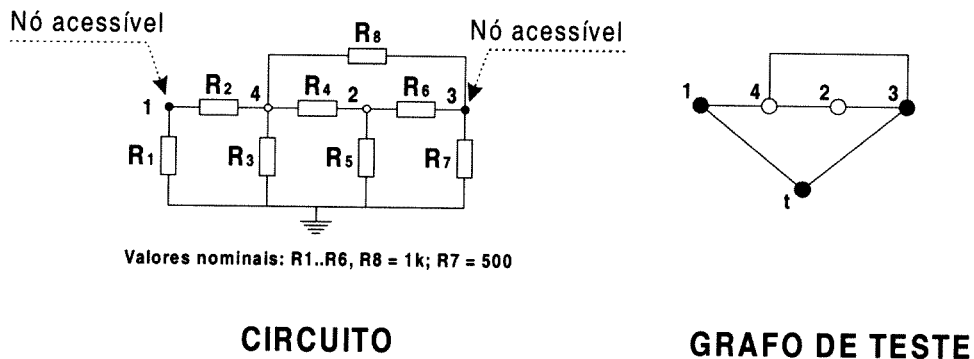


Figura 3.23: Malha de resistências para aplicação do conceito de faltas em nós. Os nós 1 e 3 estão acessíveis.

Considerando os nós 1 e 3 acessíveis, este circuito apresenta uma testabilidade de uma falta num nó, como se pode comprovar por observação do grafo de teste do circuito. Porém, esta testabilidade não é suficiente para testar as faltas em  $R_2$ ,  $R_4$ ,  $R_6$  e  $R_8$ , porque estes componentes afectam dois nós. A testabilidade necessária é de duas faltas em nós, pelo que são precisos pelo menos três nós de acesso. Apliquemos a regra para a escolha inicial dos nós de teste: o nó 4 tem três nós vizinhos, mas o nó 2 tem apenas dois nós vizinhos, logo o nó 2 deve ser acessível. Com os nós 1, 2 e 3 acessíveis, o circuito apresenta uma testabilidade de duas faltas em nós, como se comprova pela análise do novo grafo de teste do circuito (figura 3.24).

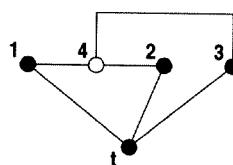


Figura 3.24: Grafo de teste do circuito da figura 3.23, para o conjunto de nós acessíveis {1, 2, 3}.



A matriz das incidências ( $A$ ) representa a topologia do circuito. A matriz das impedâncias dos nós ( $Z_n$ ) pode ser calculada a partir da matriz das incidências, e da matriz das admitâncias dos ramos ( $Y_b$ ):

$$Z_n = Y_n^{-1} = (A \cdot Y_b \cdot A^T)^{-1} \quad (3.15)$$

Seja  $Z_{mn}$  a matriz resultante da escolha das linhas de  $Z_n$  correspondentes aos nós acessíveis. No circuito em análise os nós 1, 2 e 3 são acessíveis, pelo que a matriz  $Z_{mn}$  é a seguinte :

$$Z_{mn} = \begin{bmatrix} 593.2 & 84.7 & 67.8 & 186.4 \\ 84.7 & 440.7 & 152.5 & 169.5 \\ 67.8 & 152.5 & 322.0 & 135.6 \end{bmatrix} \quad (3.16)$$

Defina-se uma matriz  $I_m$ , de dimensão  $m \times m$  ( $m$  é o número de nós acessíveis), cujas colunas são os estímulos de entrada aplicados aos nós acessíveis (correntes aplicadas). A matriz  $V_m$ , igualmente de dimensão  $m \times m$ , representa as correspondentes respostas em tensão do circuito nominal. A aplicação dos mesmos estímulos ao circuito defeituoso resulta na matriz de respostas  $V_m + \Delta V_m$ . Como o circuito apresenta uma testabilidade de duas faltas em nós, escolhem-se duas colunas de  $Z_{mn}$  para, juntamente com uma qualquer coluna não nula de  $\Delta V_m$ , formarem matrizes (quadradas) de teste, de acordo com a seguinte regra :

$$[Z_i, Z_j, v_m], \text{ para } 1 \leq i < j \leq n \quad (3.17)$$

Esta regra selecciona todas as combinações de dois nós do circuito, isto é, o número de matrizes de teste é  $C(n, k)$ . Neste caso  $C(4, 2) = 6$ , portanto são seis as matrizes de teste. Se uma das matrizes tiver determinante nulo, os nós que “participam” na matriz são os nós faltosos.

Considere-se uma falta em  $R_8$ , resultando num incremento de 50% no seu valor, passando do valor nominal de  $1k\Omega$  para o valor  $1,5k\Omega$ . A tabela 3.1 indica as matrizes de teste e o valor calculado para os respectivos determinantes.

Tabela 3.1: Matrizes de teste e respectivos determinantes.

matriz	determinante da matriz
$[Z_1, Z_2, v_m]$	2342
$[Z_1, Z_3, v_m]$	781
$[Z_1, Z_4, v_m]$	781
$[Z_2, Z_3, v_m]$	781
$[Z_2, Z_4, v_m]$	781
$[Z_3, Z_4, v_m]$	0,0014

O determinante que envolve  $Z_3$  e  $Z_4$  é várias ordens de grandeza mais pequeno do que os restantes determinantes, pelo que se aceita o determinante como “nulo”. Daqui se conclui que os nós 3 e 4 são faltosos [42]. Uma observação mais atenta do circuito da figura 3.23 permite-nos saber que os ramos faltosos pertencem ao conjunto formado por  $R_3$ ,  $R_7$  e  $R_8$ .

#### 3.4.4.4 Diagnóstico de faltas em ramos

O valor exacto do desvio dos valores dos componentes é calculado pelas seguintes equações de diagnóstico, onde o símbolo  $^T$  denota a transposta da matriz:

$$j_k = (Z_{mk}^T \cdot Z_{mk})^{-1} \cdot Z_{mk}^T \cdot \Delta v_m \quad (3.18)$$

$$[\Delta Y_n] \cdot S = -J_n \cdot ([V_n + \Delta V_n]^T \cdot S) \cdot (S^T \cdot [V_n + \Delta V_n] \cdot [V_n + \Delta V_n]^T \cdot S)^{-1} \quad (3.19)$$

A matriz  $Z_{mk}$  corresponde à escolha de  $k$  colunas da matriz  $Z_{mn}$  e  $j_k$  tem dimensões  $k \times 1$ .  $S$  é uma matriz de selecção de colunas não nulas [42] tal que, sendo  $A$  uma matriz de dimensões  $a \times b$ ,  $A \times S$  é uma matriz de dimensões  $a \times b'$  ( $b' \leq b$ ) e  $A \times S$  mantém apenas as colunas não nulas de  $A$ . A matriz  $J_n$  (de dimensões  $n \times n$ ) é a resultante da concatenação das matrizes  $j_k$  (de dimensão  $n \times 1$ , e com  $k = 1..n$ ). Os resultados extraídos são dados em termos da variação da matriz das admitâncias nodais (equação 3.20).

$$[\Delta Y_n] = \begin{bmatrix} 0 & 0 & 0 & 0 \\ 0 & 0 & 0 & 0 \\ 0 & 0 & -0.000333 & 0.000333 \\ 0 & 0 & 0.000333 & -0.000333 \end{bmatrix} \quad (3.20)$$

Os valores na diagonal traduzem a variação das admitâncias ligadas aos nós respectivos. Os outros valores são o inverso da variação das admitâncias entre nós. Daqui se conclui que  $\Delta y_8 = -0.000333$ , isto é, a resistência  $R_8$  tem o valor real de  $1500 \Omega$ .

### 3.5 Arquitectura da ferramenta computacional

Após a apresentação de métodos para tratamento de informação a nível do desenho da CCI e a nível eléctrico, estão reunidas as condições para o estabelecimento da arquitectura da ferramenta computacional que suporta a metodologia proposta para análise e planeamento da testabilidade de CCI's.

Tendo em consideração a metodologia proposta e os métodos disponíveis para inclusão nessa metodologia, foi estabelecida uma arquitectura da ferramenta computacional que é composta por dois módulos principais:

- Módulo para extracção de faltas em CCI's;
- Módulo de análise de testabilidade a nível do circuito.

O módulo para extracção de faltas em CCI's irá implementar os algoritmos de extracção de faltas realistas (incluindo o cálculo das áreas críticas) e de análise indutiva de faltas. A análise indutiva de faltas tem sido utilizada ao nível do circuito integrado, pelo que será interessante comparar os resultados da sua aplicação ao nível da CCI com os resultados da extracção de faltas realistas.

Para o módulo de análise de testabilidade a nível do circuito escolheu-se para implementação o método de testabilidade de faltas em nós. O procedimento de teste associado é baseado na medida das tensões em todos os nós acessíveis, em resposta a estímulos de corrente aplicados em cada nó acessível, pelo que este método se adapta naturalmente à infra-estrutura IEEE

1149.4. O método inclui procedimentos que facilitam o projecto para a testabilidade, a avaliação dessa testabilidade, a localização de faltas em nós, e o diagnóstico de faltas em ramos.

### 3.5.1 Ambiente computacional

Para a implementação dos vários módulos foi escolhida a linguagem de programação Java [44] que, para além das vantagens de ser bem estruturada e de ser orientada por objectos, permite ainda a execução do código em inúmeras plataformas, desde os vulgares computadores pessoais às estações de trabalho, sem efectuar alterações. Esta facilidade em correr em diversas plataformas sem alterações do código facilita a integração da ferramenta com outros programas, tais como ferramentas de projecto, e de geração de testes. Seguindo a filosofia subjacente a esta linguagem, a ferramenta é estruturada em classes seguindo o modelo orientado por objectos [45].

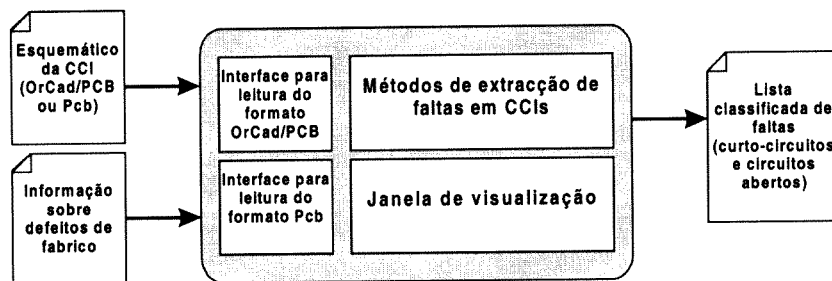


Figura 3.25: Entradas e saídas do módulo de extracção de faltas.

As entradas e as saídas do módulo de extracção de faltas estão assinaladas na figura 3.25. Este módulo não necessita de efectuar chamadas a programas externos, aceitando como entrada a informação sobre os defeitos de fabrico e os esquemáticos gerados por dois programas de projecto de CCI:

- OrCAD/PCB II [46], que corre em ambiente Microsoft Windows e é amplamente utilizado na Faculdade de Engenharia da Universidade do Porto;
- Pcb [47], para ambiente Unix/Linux, o qual é de distribuição gratuita e está incluído em diversas versões de Linux.

O módulo de análise de testabilidade recorre ao simulador eléctrico HSPICE da Avanti! [48], para simulação de faltas, e ao programa de cálculo matemático Matlab [49], onde são efectuados os cálculos matriciais. A análise de resultados é efectuada numa folha de cálculo do Excel, recorrendo a *macros*. As entradas e as saídas deste módulo estão assinaladas na figura 3.26.

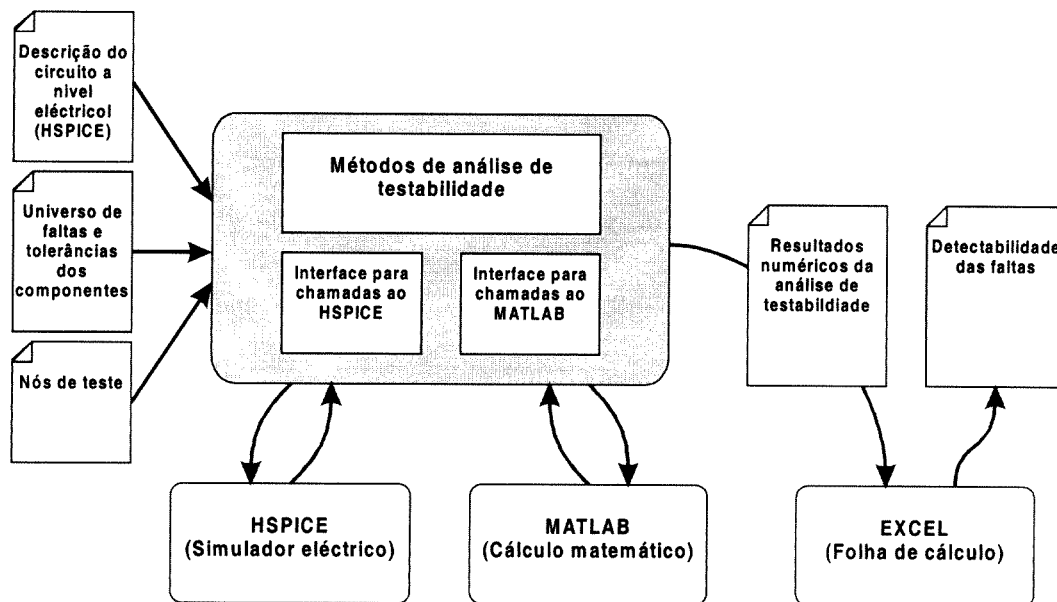


Figura 3.26: Entradas e saídas do módulo de análise de testabilidade.

De acordo com a metodologia proposta, existe um fluxo de informação entre o módulo de extracção de faltas e o módulo de análise de testabilidade, correspondente às faltas mais prováveis (curto-circuitos e circuitos abertos). Desta forma, é necessário que a descrição do circuito em HSPICE tenha uma correspondência, em termos de nomes de componentes e de pistas, com a descrição física da CCI, de forma a possibilitar a utilização dos resultados do módulo de extracção de faltas directamente como entrada do módulo de análise da testabilidade dessas faltas.

## 3.6 Resumo do capítulo

Tendo em consideração as limitações impostas pelas modernas tecnologias de implementação de CCIs, e sendo o teste uma operação primordial para a satisfação de requisitos de competitividade no mercado, existe a necessidade de desenvolver novas metodologias capazes de testar eficientemente, em tempo e custo reduzidos, as novas gerações de cartas de circuito impresso. Neste capítulo é proposta uma metodologia que integra as informações de testabilidade a nível físico e a nível eléctrico. Para implementação desta metodologia é proposta a arquitectura para uma ferramenta computacional.

Existem diversos métodos que podem ser utilizados para tratar a informação de testabilidade a nível físico e eléctrico. A nível físico, pretende-se utilizar o desenho da CCI e a informação sobre os defeitos de fabrico mais comuns para extrair as faltas mais prováveis, através dos métodos de extracção de faltas realistas e da análise indutiva de faltas. A nível do circuito, pretende-se aplicar a análise de testabilidade de faltas em nós, a qual apresenta um procedimento de teste adaptado à utilização da infra-estrutura IEEE 1149.4, e inclui procedimentos que facilitam o projecto para a testabilidade, a avaliação dessa testabilidade, a localização de faltas em nós, e o diagnóstico de faltas em ramos.

É estabelecido um ambiente computacional em que se pretende utilizar a linguagem de programação Java, que permite a execução do código sem alterações em inúmeras plataformas, desde os vulgares computadores pessoais às estações de trabalho, o que facilita a integração da ferramenta com outros programas, tais como ferramentas de projecto e de geração de testes. A implementação dos dois módulos que compõem a ferramenta são apresentados em detalhe nos capítulos 4 e 5, juntamente com exemplos de utilização.



## Capítulo 4

# Ferramenta para Extração de Falhas em Cartas de Circuito Impresso

Os mecanismos responsáveis pela ocorrência de defeitos em CCIs são muito variados e dependem do processo de fabrico. Entre as etapas mais importantes do processo de fabrico de CCIs encontra-se a de definição do traçado dos condutores e a de montagem (colocação e soldadura) dos componentes na carta. Os testes de produção de CCIs são realizados com o objectivo de minimizar o número de cartas defeituosas entregues aos clientes. No entanto, existe um custo inerente ao tempo de execução dos testes, pelo que o teste de todas as faltas pode ser inviável economicamente.

Segundo a arquitectura da ferramenta computacional de análise e planeamento de testabilidade apresentada no capítulo anterior, esta é constituída por dois módulos principais — o módulo de extração de faltas e o módulo de análise de testabilidade. Neste capítulo é apresentado o módulo de extração de faltas em CCIs, que implementa algoritmos para a extração de faltas realistas e para a análise indutiva de faltas. Pretende-se utilizar o desenho da CCI e os dados de ocorrência de defeitos no processo de fabrico para obter uma lista classificada de faltas, ordenadas por probabilidade de ocorrência, de forma a conseguir a cobertura dos defeitos de fabrico mais comuns com um número reduzido de faltas, eliminando desta forma o teste das faltas com baixa probabilidade de ocorrência. Os resultados podem também ser utilizados para identificar as zonas mais críticas da CCI onde poderão ser feitas alterações para minimizar a probabilidade de ocorrência de faltas.



Após a apresentação da estrutura da ferramenta, em termos de classes, funcionalidades, interface gráfica, e fluxos de informação, serão analisados em detalhe os algoritmos utilizados. Finalmente, são apresentados e analisados alguns exemplos de utilização da ferramenta.

## 4.1 Estrutura do módulo de extração de falhas

A estrutura simplificada do módulo de extração de falhas encontra-se esquematizada na figura 4.1. As entradas principais do módulo são constituídas pela descrição física da CCI e pelas informações estatísticas sobre os defeitos ocorridos no processo de fabrico. De forma a permitir a leitura dos dois formatos de descrição física da CCI — formato OrCad/PCB e Pcb — são necessárias interfaces que permitem a tradução destes formatos para as estruturas de informação internas ao módulo. As informações estatísticas são utilizadas para parametrizar os dois métodos de extração de falhas — extração de falhas realistas e análise indutiva de falhas. O resultado da extração de falhas consiste numa lista de falhas classificadas por probabilidade de ocorrência, a qual é escrita para um arquivo de texto. Para além desta informação textual, os resultados podem também ser visualizados de forma gráfica.

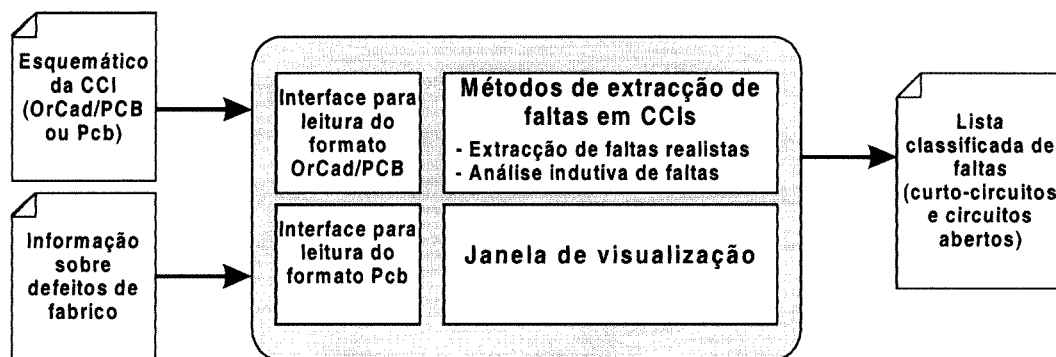


Figura 4.1: Informação de entrada e de saída do módulo de extração de falhas.

### 4.1.1 Estruturas de dados

Em termos de estruturas de dados, o módulo de extração de falhas é descrito pelo diagrama de classes da figura 4.2. Podem distinguir-se três andares nesta arquitectura, sendo cada um

desses andares composto por um conjunto de classes com uma determinada missão:

- Classes de interface;
- Classes de processamento;
- Classes de dados.

A arquitectura em três andares permite obter um modelo de classes onde se identificam claramente as funcionalidades e que facilita a incorporação de extensões.

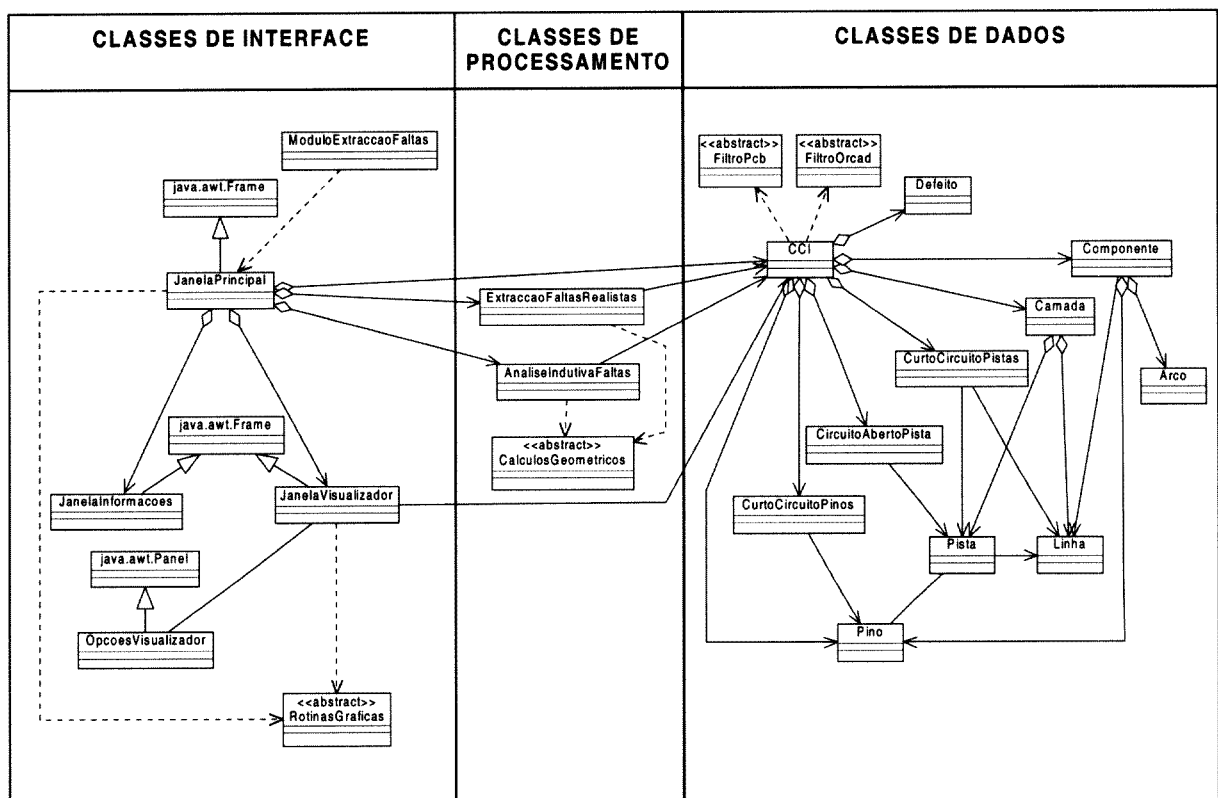


Figura 4.2: Diagrama de classes representativo da arquitectura da ferramenta.

#### 4.1.1.1 Classes de interface

A interacção com o utilizador é da responsabilidade das classes de interface, nomeadamente para a entrada de dados e para a apresentação de resultados. Existe uma classe que representa a janela principal do módulo (classe *JanelaPrincipal*) que permite a escolha do arquivo com a

descrição da CCI e a parametrização dos modos de extração de faltas. A classe *JanelaVisualizador* proporciona uma janela de visualização do esquemático, a qual contém uma barra de ferramentas para configuração dos elementos da CCI a visualizar (classe *OpcoesVisualizador*). Existe ainda uma classe que representa uma janela com informações sobre o programa (classe *JanelaInformacoes*), e uma classe (*RotinasGraficas*) que engloba as rotinas gráficas utilizadas para desenhar os menus de opções. A interface gráfica proporcionada por este conjunto de classes é apresentada na secção 4.2.

#### 4.1.1.2 Classes de processamento

As classes de processamento implementam os algoritmos de cálculo utilizados nos dois modos de extração de faltas. Estas classes utilizam os parâmetros fornecidos pelo utilizador através das classes de interface e implementam a extração de faltas para os elementos da CCI descritos nas classes de dados, pelo que as classes de processamento apresentam as ligações a classes de interface e de dados representadas na figura 4.2. Existe uma classe associada a cada modo de extração de faltas (classes *ExtraçãoFaltasRealistas* e *AnaliseIndutivaFaltas*) para implementação dos algoritmos respectivos. Os cálculos de distâncias entre os diversos elementos da CCI (pinos, linhas, pistas) são reunidos numa classe separada (classe *CalculosGeometricos*) para permitir a sua utilização nas duas classes de extração de faltas. Os algoritmos implementados por estas classes são analisados detalhadamente na secção 4.3.

#### 4.1.1.3 Classes de dados

As classes de dados têm como função guardar os elementos que formam uma CCI, os defeitos gerados e as faltas extraídas. Assim, foi decidido manter a hierarquia existente nos formatos OrCad/PCB e Pcb: uma CCI é constituída por camadas e por componentes. Cada uma das camadas é composta por pistas, que por sua vez são formadas por linhas. Os componentes são constituídos por pinos, que estão associados a pistas, e por linhas e arcos, que são utilizados para descrever a forma do encapsulamento. A classe representativa dos defeitos gerados guarda os seguintes atributos: tipo de defeito, posição e tamanho. Os defeitos têm forma circular e podem ser de dois tipos:

- Material condutor — defeitos que podem causar curto-circuitos.
- Material não condutor — defeitos que podem causar circuitos abertos.

Existem ainda classes associadas a uma CCI para representar os três tipos de faltas extraídas: curto-circuitos entre pinos (classe *CurtoCircuitoPinos*), curto-circuitos entre pistas (classe *CurtoCircuitoPistas*), e circuitos abertos em pistas (classe *CircuitoAbertoPista*). Estas classes contêm referências para os elementos afectados e, no caso das faltas em pistas, contêm ainda uma referência para uma linha que representa o curto-circuito. As faltas em pinos não necessitam desta referência, uma vez que a representação do curto-circuito é a linha que une o centro dos pinos afectados. Finalmente, existem duas classes (*FiltroOrcad* e *FiltroPcb*) que contêm rotinas para a leitura da descrição da CCI nos dois formatos suportados pelo módulo de extração de faltas.

### 4.1.2 Modelo funcional

A figura 4.3 apresenta o diagrama de fluxo de dados, em que se identificam os fluxos de dados entre os processos constituintes do módulo de extração de faltas, os depósitos de informação e os actores. Numa primeira fase, o utilizador selecciona o arquivo com a descrição da CCI a analisar. O processo de interface para os formatos de CCI disponíveis utiliza essa informação para aceder ao suporte de memória não volátil (por exemplo o disco duro), e procede à tradução dos elementos da CCI para a estrutura interna de dados.

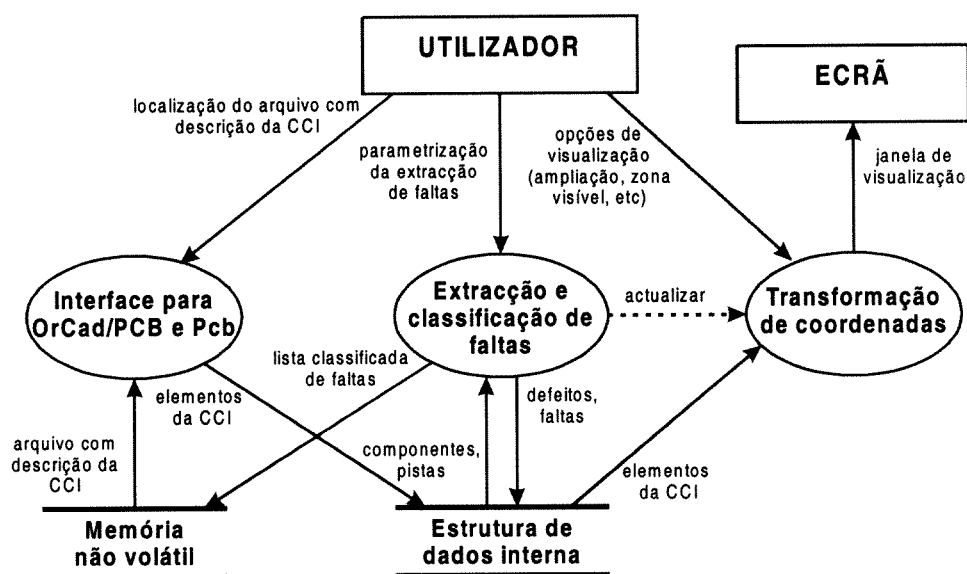


Figura 4.3: Diagrama de fluxo de dados.

Numa segunda fase, o utilizador selecciona o modo de extração de falhas pretendido e introduz os parâmetros necessários, desencadeando o processo de extração e classificação de falhas. Este processo acede aos elementos da CCI armazenados na estrutura interna de dados e executa os algoritmos de extração e classificação de falhas, escrevendo o resultado obtido (a lista classificada de falta) num arquivo na memória não volátil. O processo de transformação de coordenadas, que controla a janela de visualização gráfica, recebe então um comando de actualização, pelo que a janela de visualização é actualizada com os dados residentes na estrutura de dados interna e com base nas opções de visualização introduzidas pelo utilizador, sendo depois enviada para o ecrã.

## 4.2 Interface gráfica

A figura 4.4 apresenta a janela principal do módulo de extração de falhas. Na parte superior encontram-se os botões de selecção das opções principais: seleccionar um arquivo com a descrição da CCI, realizar a extração de falhas, visualizar a CCI, obter informações sobre o programa, e sair do programa. A área restante é utilizada para configurar os dois modos de extração de falhas.

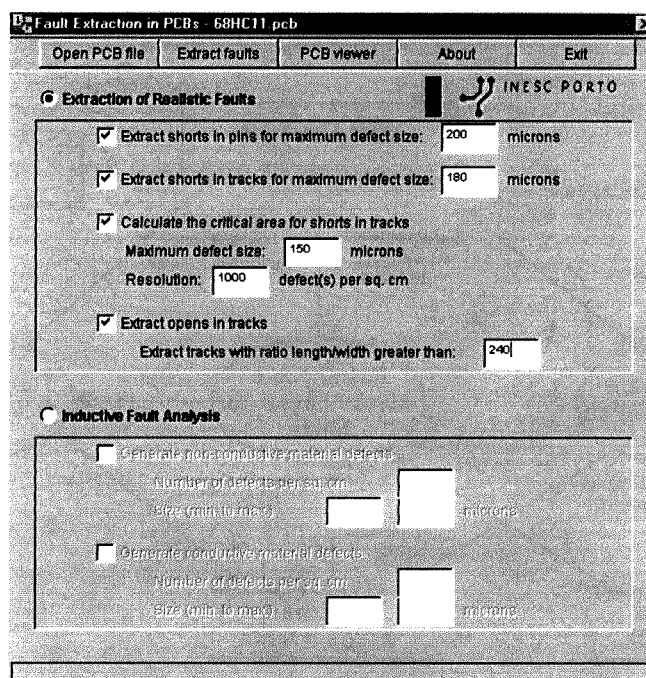


Figura 4.4: Janela de entrada de dados para configuração da extração de falhas realistas.

No caso da figura 4.4, foi seleccionado e parametrizado o modo de extracção de faltas realistas. Os parâmetros a fornecer neste modo são:

- Tamanho máximo dos defeitos para extrair curto-circuitos entre pinos;
- Tamanho máximo dos defeitos para extrair curto-circuitos entre pistas;
- Tamanho máximo dos defeitos e número de defeitos por unidade de área, para cálculo das áreas críticas para curto-circuitos;
- Valor mínimo da razão comprimento/espessura das pistas para extrair circuitos abertos em pistas.

A figura 4.5 apresenta a janela de parametrização do modo de análise indutiva de faltas. Os parâmetros são:

- Número de defeitos do tipo “material condutor” por unidade de área;
- Dimensão dos defeitos do tipo “material condutor”, especificada por um valor mínimo e um valor máximo;
- Número de defeitos do tipo “material não condutor” por unidade de área;
- Dimensão dos defeitos do tipo “material não condutor”, especificada por um valor mínimo e um valor máximo.

A janela de visualização do esquemático da CCI é actualizada sempre que se escolhe um novo arquivo e quando se realiza uma extracção de faltas. A figura 4.6 mostra um exemplo da janela de visualização, na qual vários elementos da CCI (pistas, pinos e componentes) podem ser mostrados ou escondidos. Os defeitos e a representação das faltas também podem ser sobrepostos no desenho da CCI, permitindo uma fácil interpretação dos resultados. Os diversos tipos de faltas têm uma representação em cores diferentes e podem ser mostrados individualmente para permitir a identificação dos elementos faltosos.

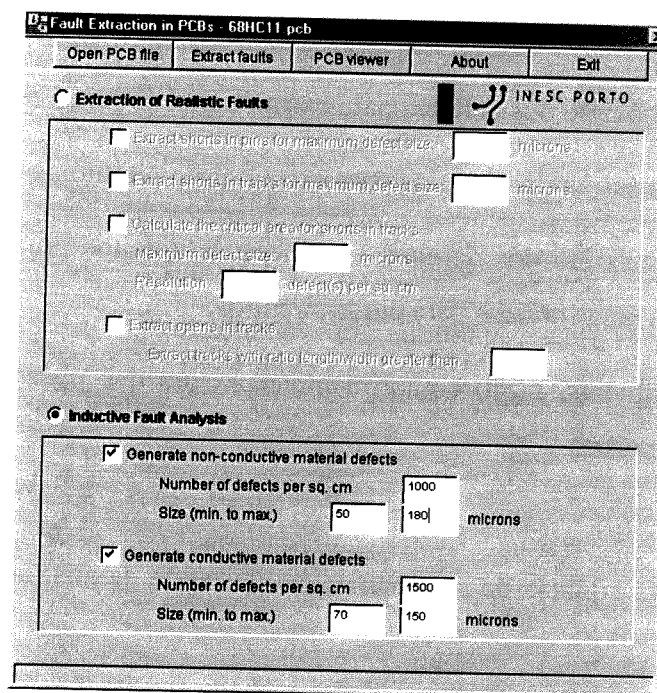


Figura 4.5: Janela de entrada de dados para configuração da análise indutiva de falhas.

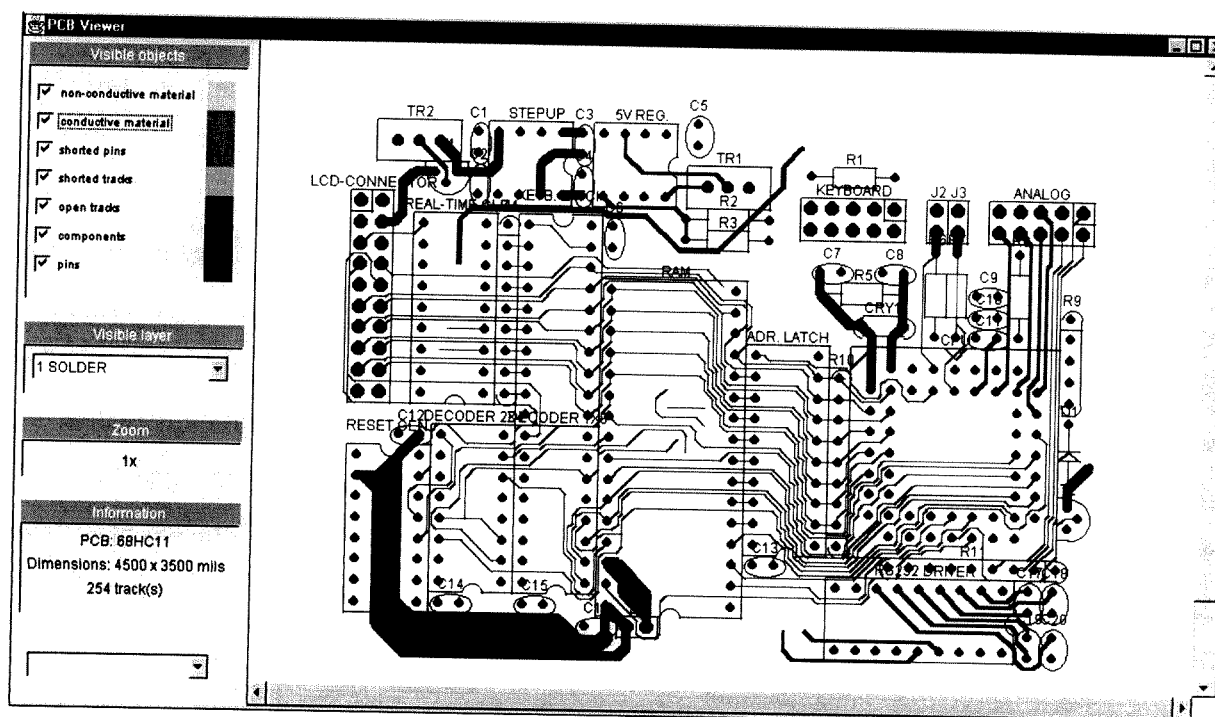


Figura 4.6: Janela de visualização da carta de circuito impresso em análise.

### 4.3 Algoritmos de extracção de faltas

As classes de processamento implementam algoritmos que serão aqui descritos em pormenor. Os algoritmos de extracção de faltas, tanto para a extracção de faltas realistas, como para a análise indutiva da faltas, implicam o cálculo de distâncias entre os vários elementos da CCI. Uma vez que os elementos da CCI estão definidos hierarquicamente em termos de pistas, linhas e pinos (ver descrição das classes de dados da figura 4.2), as funções de cálculo de distâncias necessárias para a implementação dos algoritmos estão identificadas na figura 4.7 e foram englobadas numa só classe independente. Algumas destas funções não são utilizadas directamente pelos algoritmos de extracção de faltas, sendo apenas utilizadas no cálculo de outras distâncias e para otimizar o tempo de cálculo.

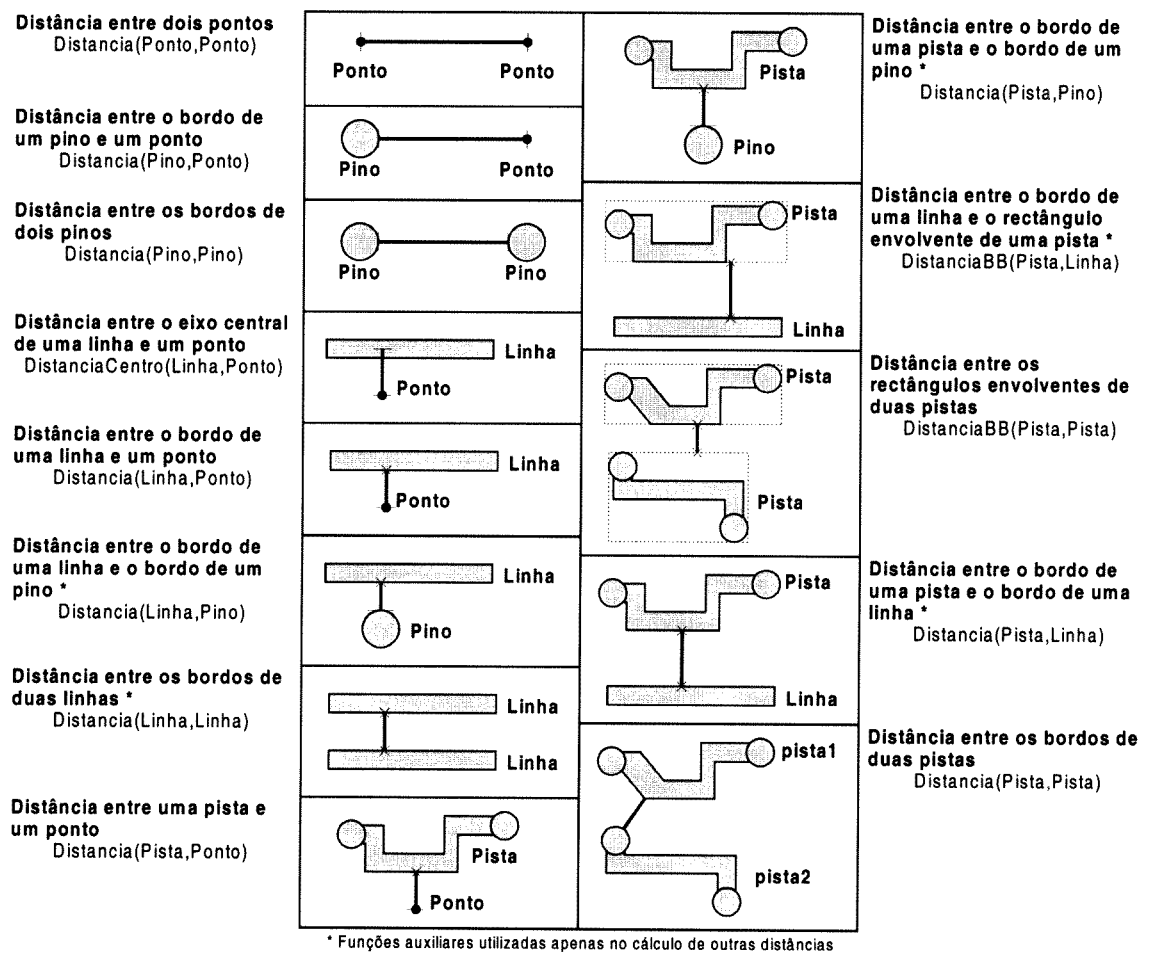


Figura 4.7: Algoritmos disponíveis para cálculo de diversas distâncias entre os elementos da CCI. Na figura estão assinalados os nomes das funções de cálculo de distâncias, tal como serão utilizados na apresentação dos algoritmos.



As distâncias que envolvem pistas e pinos são calculadas a partir dos bordos destes elementos, em vez de utilizar apenas a linha central das pistas e o centro dos pinos, o que seria muito mais simples. A penalização em termos de velocidade do algoritmo é, no entanto, compensada pelo aumento da exactidão das distâncias calculadas, facto especialmente notado quando o tamanho dos defeitos é da ordem de grandeza da espessura das pistas.

O cálculo de distâncias envolvendo pistas obriga ao cálculo da distância entre cada uma das linhas que formam a pista e o outro elemento envolvido no cálculo da distância. No caso da distância entre duas pistas, é necessário calcular a distância entre cada uma das linhas de uma pista e as linhas que formam a outra pista, de forma a encontrar a distância mínima.

Veamos em detalhe o algoritmo de cálculo da distância entre duas pistas, que se encontra descrito na figura 4.8. Este algoritmo utiliza chamadas a outras funções de cálculo de distâncias, nomeadamente: cálculo da distância entre uma linha e o rectângulo envolvente de uma pista ( $Distancia_{BB}(Pista, Linha)$ ), distância entre uma linha e uma pista ( $Distancia(Pista, Linha)$ ), e distância entre um pino e uma pista ( $Distancia(Pista, Pino)$ ).

O cálculo da distância entre pistas é feito em dois passos:

- Percorrer as linhas que formam a primeira pista (o número de linhas da primeira pista é indicado por  $pista1.nr\_linhas$ ) e calcular a distância entre essas linhas e a segunda pista, o que corresponde ao ramo esquerdo do algoritmo da figura 4.8;
- Percorrer os pinos associados à primeira pista (o número de pinos da primeira pista é indicado por  $pista1.nr\_pinos$ ) e calcular a distância entre esses pinos e a segunda pista, o que corresponde ao ramo direito do algoritmo da figura 4.8.

Como o cálculo da distância entre uma pista e uma linha ( $Distancia(pista2, linha1)$ ) é muito demorado, calcula-se em primeiro lugar a distância entre a linha e o rectângulo envolvente da pista ( $Distancia_{BB}(pista2, linha1)$ ). Como esta distância é sempre igual ou inferior à distância real entre a pista e a linha, apenas se calcula a distância real se a distância entre envolventes for inferior à mínima distância entre pistas já calculada.

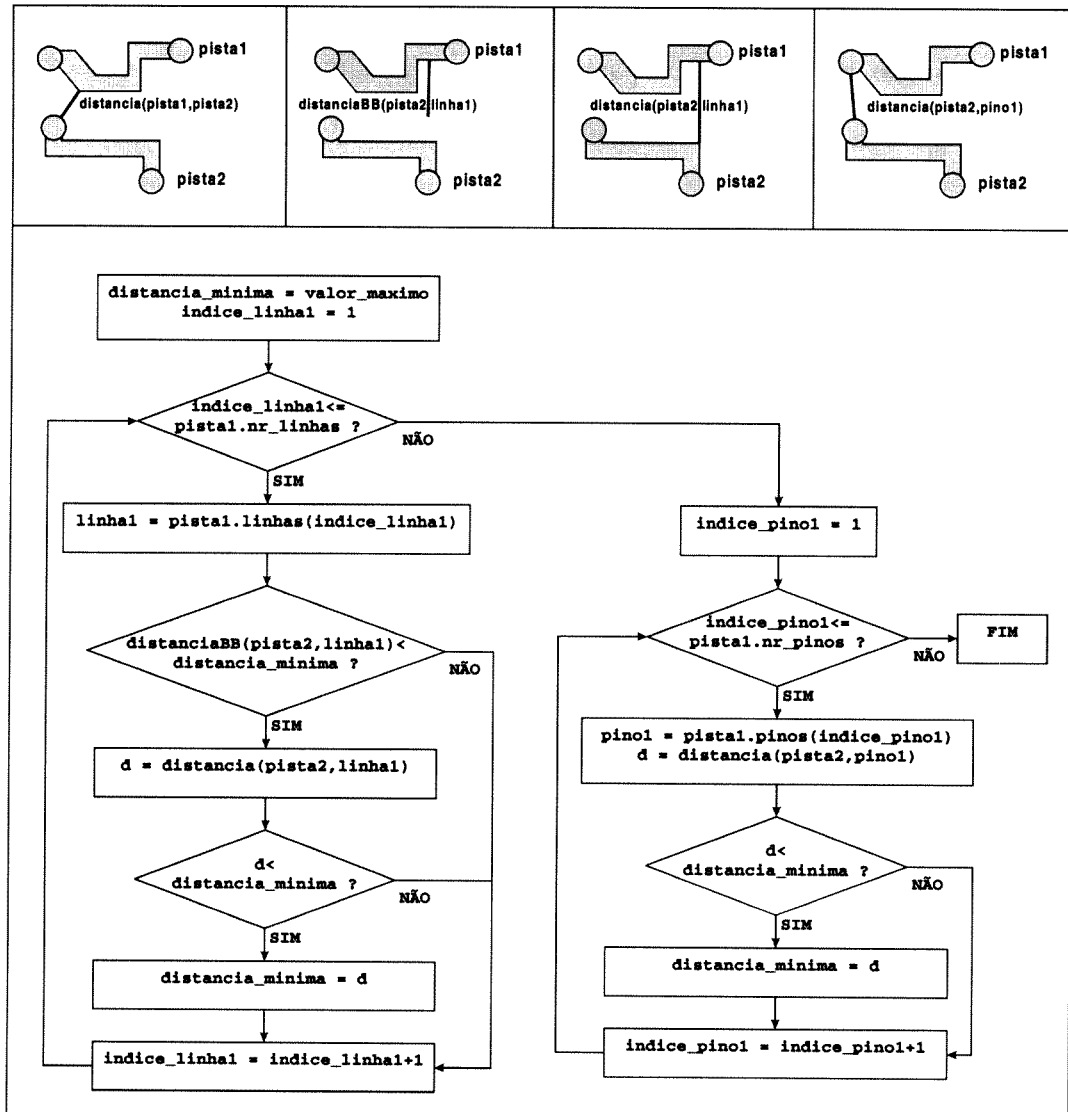


Figura 4.8: Algoritmo de cálculo da distância entre duas pistas.

### 4.3.1 Algoritmos utilizados na extracção de faltas realistas

No modo de extracção de faltas realistas apenas são consideradas as características físicas da CCI. As faltas realistas são extraídas através do cálculo da distância mínima entre pistas e entre pinos, e através do comprimento e espessura das pistas. O tamanho máximo dos defeitos que provocam curto-circuitos pode ser especificado, pelo que apenas são extraídas as pistas e os pinos que estão separados por um valor inferior a esse tamanho máximo.

A extração de faltas realistas em pinos utiliza o algoritmo descrito na figura 4.9. O algoritmo calcula as distâncias entre todos os pares de pinos (o número de pinos é indicado por  $nr\_pinos$ ), desde que pertencentes a pistas diferentes, e extrai uma falta sempre que esta distância é inferior ao tamanho máximo dos defeitos (indicado por  $tamanho\_max\_defeito$ ).

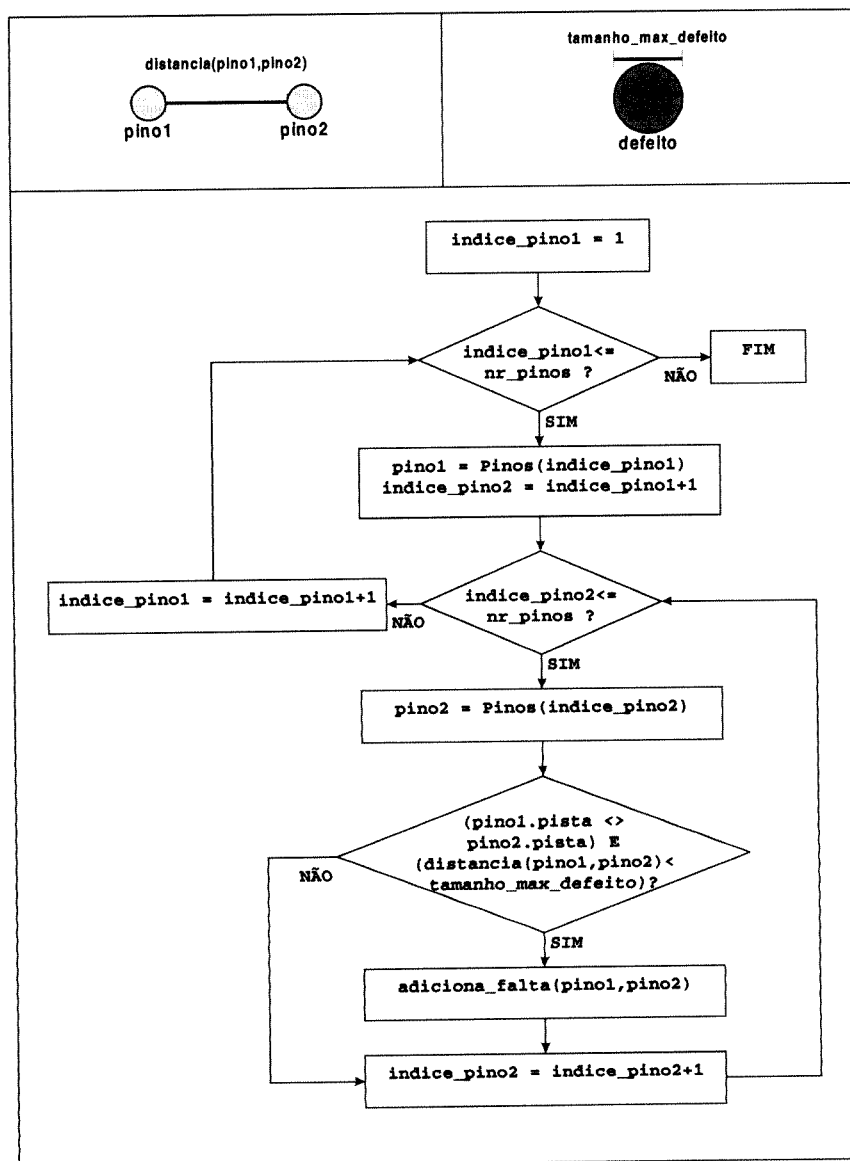


Figura 4.9: Algoritmo da função de extração de faltas realistas em pinos.

A extracção de curto-circuitos entre pistas é feito separadamente da extracção de curto-circuitos entre pinos, pelo que o tamanho máximo dos defeitos pode ser diferente para os dois casos. Com isto pretende-se contemplar o caso dos processos de soldadura em que as pistas estão protegidas por uma camada resistente à solda, pelo que não podem ser afectadas por defeitos de soldadura.

Para extrair as faltas realistas em pistas utiliza-se o algoritmo da figura 4.10. No caso do cálculo da distância entre pistas, que é o cálculo mais demorado, utiliza-se a distância entre os rectângulos envolventes das pistas para acelerar os cálculos. Como esta distância ( $Distancia_{BB}(pista1,pista2)$ ) é sempre igual ou inferior à distância real entre as pistas ( $Distancia(pista1,pista2)$ ), o cálculo da distância entre envolventes é sempre feito em primeiro lugar, procedendo-se apenas ao cálculo real da distância entre pistas nos casos em que a distância entre envolventes é inferior ao valor máximo especificado para os defeitos.

Note-se que a utilização do cálculo da distância entre envolventes é utilizada no próprio algoritmo de cálculo da distância real entre pistas, apresentado em detalhe na figura 4.8. Com o cálculo de envolventes nestes dois algoritmos consegue-se, em média, triplicar a rapidez da extracção de faltas realistas em pistas.

A extracção de circuitos abertos, descrita pelo algoritmo da figura 4.11, é feita através do cálculo de relação entre o comprimento e a espessura de cada pista, de modo a extrair as pistas com uma relação comprimento/espessura superior ao limite definido pelo utilizador.

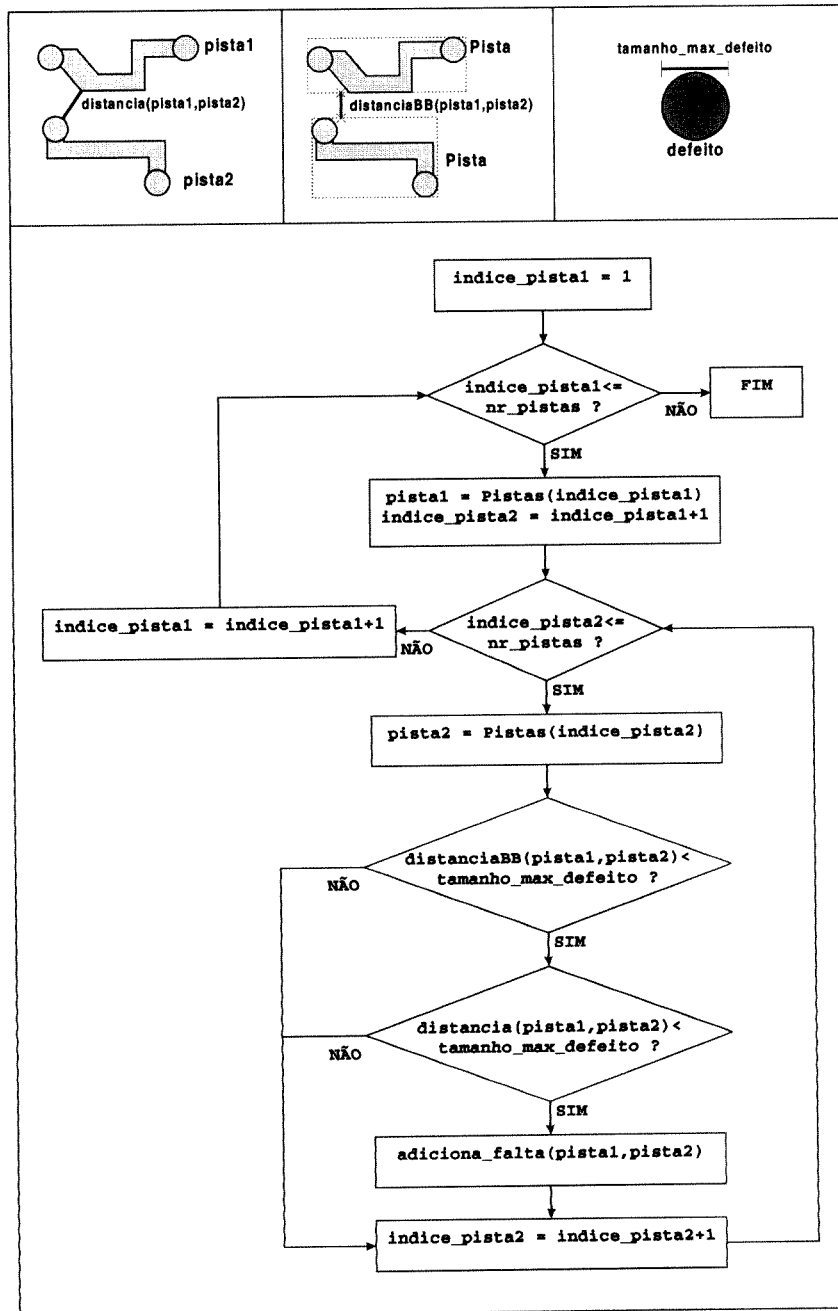


Figura 4.10: Algoritmo da função de extração de falhas realistas em pistas.

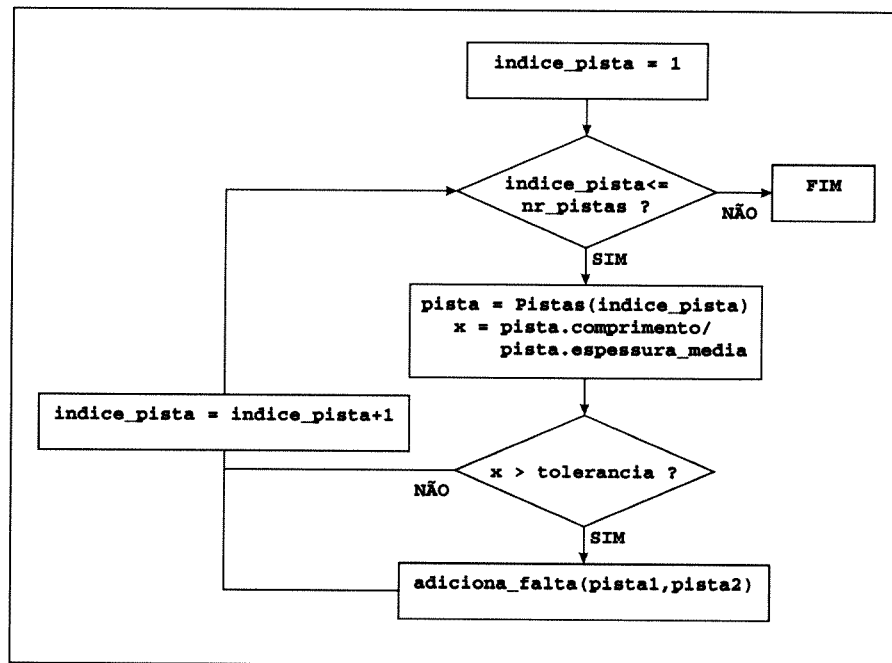


Figura 4.11: Algoritmo de extracção de circuitos abertos em pistas.

A extracção de faltas realistas inclui ainda o cálculo da área crítica para defeitos que provocam curto-circuitos entre pistas, podendo-se especificar o tamanho máximo dos defeitos e a resolução do cálculo, em termos do número de defeitos gerados por unidade de área. A área crítica calculada para cada curto-circuito é utilizada como medida da probabilidade de ocorrência desse curto-circuito.

A figura 4.12 mostra o algoritmo simplificado para cálculo da área crítica. O algoritmo baseia-se em percorrer a área rectangular ocupada pela CCI (definida pelas variáveis `cci.min_x`, `cci.max_x`, `cci.min_y`, `cci.max_y`) a uma cadência relacionada com a resolução pretendida pelo utilizador, e em gerar um defeito em cada um dos pontos percorridos. As faltas resultantes são depois colapsadas, pelo que no final do algoritmo temos como resultado uma lista com o número de defeitos (e a sua localização) que provocam cada um dos curto-circuitos entre pistas extraídos. A razão entre o número de defeitos que provocam cada falta e a resolução definida pelo utilizador (definida como o número de defeitos por unidade de área) é o valor da área crítica associada à falta.

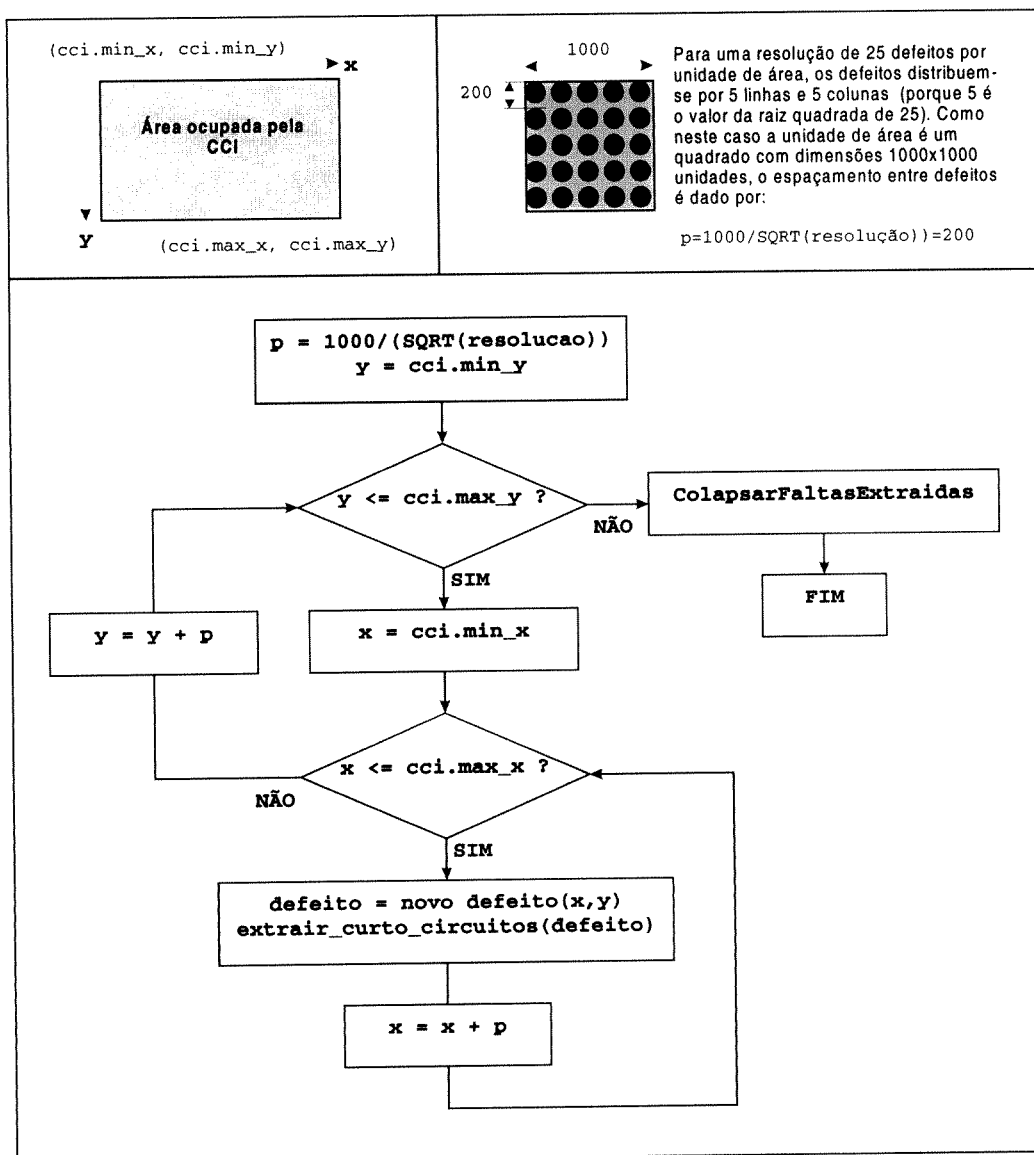


Figura 4.12: Algoritmo de cálculo da área crítica para defeitos que provocam curto-circuitos.

### 4.3.2 Algoritmos utilizados na análise indutiva de falhas

A análise indutiva de falhas tira partido das características geométricas da CCI e do espectro de defeitos do processo de fabrico. Os dois tipos de defeitos suportados têm forma circular e são caracterizados por uma distribuição espacial e por uma distribuição de tamanho, as quais são utilizadas na função de geração aleatória de defeitos. A zona onde os defeitos são gerados é calculada como sendo o rectângulo mais pequeno que contém todas as pistas e todos os pinos, e que se designa por rectângulo envolvente da CCI.

O primeiro passo da análise indutiva de faltas é a geração dos defeitos. O algoritmo da figura 4.13 ilustra o processo de geração aleatória dos defeitos, ou seja, a geração aleatória da posição  $(x, y)$  e tamanho  $(d)$  dos defeitos, de acordo com os parâmetros fornecidos pelo utilizador — tamanho mínimo, tamanho máximo e número de defeitos por unidade de área. O número de defeitos a gerar calcula-se a partir do produto da área do rectângulo envolvente da CCI pelo número de defeitos por unidade de área definido pelo utilizador, e que caracteriza o processo de fabrico. A geração de um defeito inicia-se com a geração de um número que representa o tamanho do defeito, e que respeita as dimensões impostas pelo utilizador. A geração da posição do defeito é feita de forma a que este se localize no interior do rectângulo envolvente da CCI.

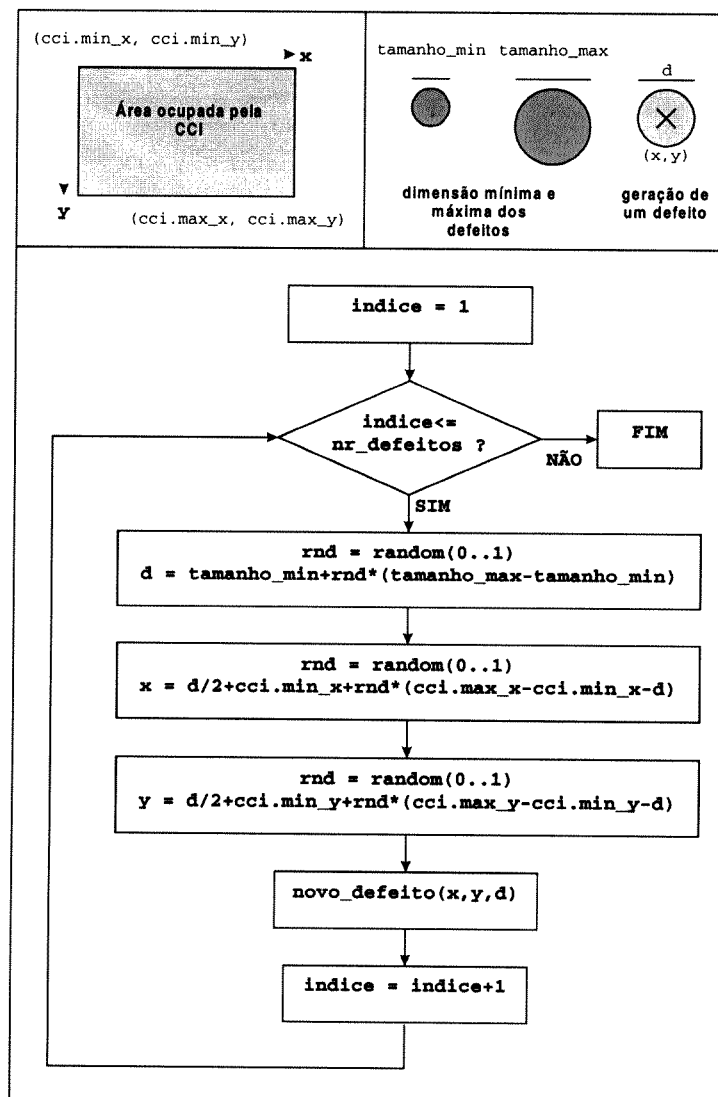


Figura 4.13: Algoritmo de geração aleatória de defeitos.



O algoritmo de extracção de curto-circuitos em pinos — figura 4.14 — percorre os defeitos do tipo “material condutor” e, para cada defeito, calcula a distância entre cada defeito e todos os pinos. Sempre que essa distância é nula, o que significa que o pino está em contacto com o defeito, o pino é colocado na lista de pinos afectados pelo defeito. Se essa lista não estiver vazia, é extraído um curto-circuito entre o pino e cada um dos outros pinos presentes na lista de pinos afectados, tendo o cuidado de não extrair curto-circuitos entre pinos pertencentes à mesma pista.

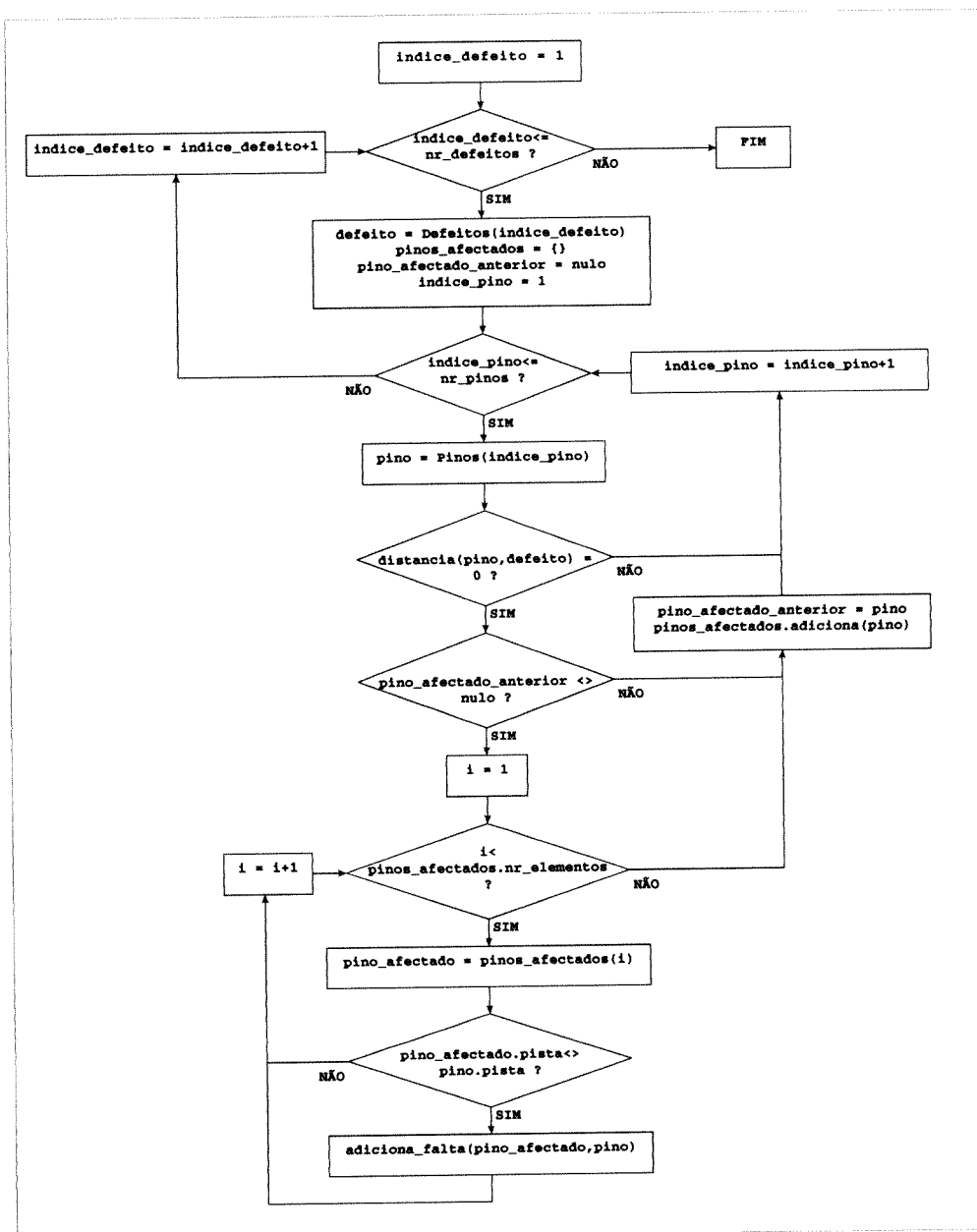


Figura 4.14: Algoritmo de extracção de curto-circuitos entre pinos.

O algoritmo de extracção de curto-circuitos em pistas (figura 4.15) é semelhante ao algoritmo de extracção de curto-circuitos em pinos. Em ambos os casos, o processo é independente para cada defeito, isto é, não são extraídos curto-circuitos resultantes de defeitos múltiplos. Note-se que os pinos estão integrados em pistas, pelo que a extracção de curto-circuitos entre pistas também considera os pinos existentes em cada pista.

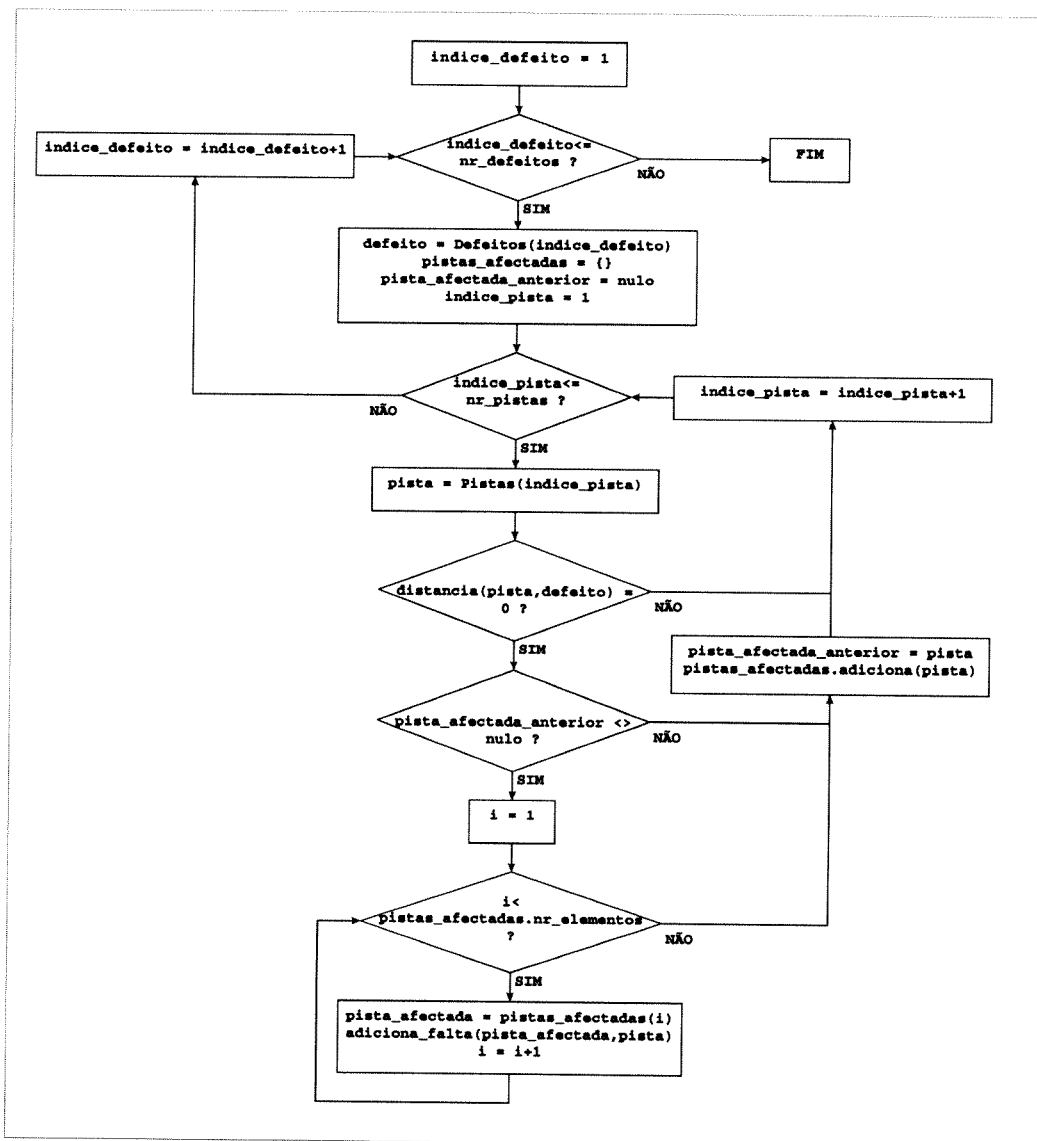


Figura 4.15: Algoritmo de extracção de curto-circuitos entre pistas.

A extracção de circuitos abertos em pistas é feita de acordo com o algoritmo da figura 4.16. Para cada defeito gerado são analisadas todas as pistas para procurar aquelas que ficam

interrompidas pelo defeito. Para isso são percorridas todas as linhas que compõe cada pista, sendo extraído um circuito aberto quando a condição de interrupção de uma pista pelo defeito é satisfeita. Neste caso não são considerados os pinos.

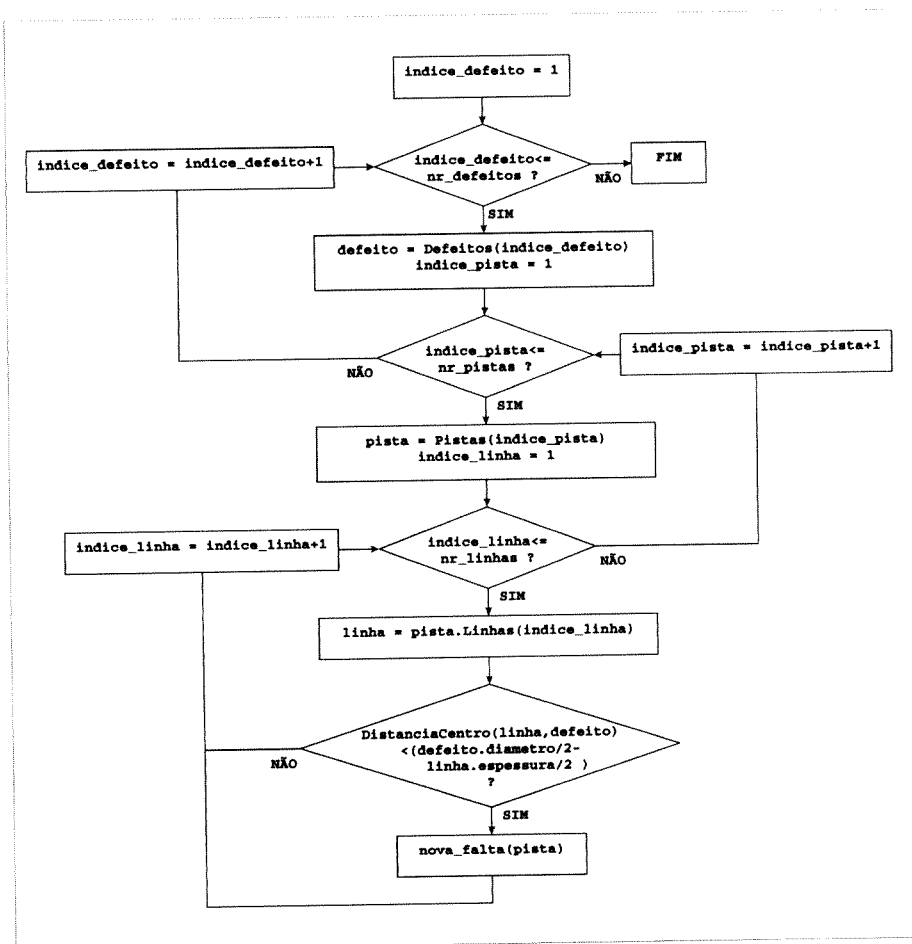


Figura 4.16: Algoritmo de extracção de circuitos abertos em pistas.

As faltas extraídas pelos algoritmos descritos cobrem a maioria dos defeitos ocorridos no processo de fabrico, e que foram apresentados no capítulo 2. Contudo, alguns dos defeitos ocorridos num processo de fabrico não provocam faltas catastróficas, mas apresentam características que se manifestam por um desvio no valor da resistência das pistas. Uma pista com a espessura diminuída devido a um defeito poderá ser modelada por um aumento do valor da resistência da pista, enquanto o fenómeno de fugas entre condutores, pode ser modelado por resistências parasitas entre condutores. A extracção deste tipo de faltas só se justifica se o seu número for em número significativo.

## 4.4 Exemplos de aplicação da ferramenta

O funcionamento da ferramenta será ilustrado recorrendo ao exemplo da figura 4.17, que representa uma CCI com diversos circuitos integrados e componentes externos passivos e que está incluído como exemplo no pacote Pcb [47]. Em primeiro lugar foi seleccionado o modo de extracção de faltas realistas com os seguintes parâmetros, que procuram caracterizar um hipotético processo de fabrico.

- Tamanho máximo dos defeitos que provocam curto-circuitos entre pinos: 1000  $\mu\text{m}$ ;
- Tamanho máximo dos defeitos que provocam curto-circuitos entre pistas: 1500  $\mu\text{m}$ ;
- Tamanho máximo dos defeitos que provocam curto-circuitos entre pistas, para cálculo da área crítica: 1500  $\mu\text{m}$ . Densidade de defeitos para cálculo da área crítica: 200 defeitos por  $\text{cm}^2$ .
- Relação comprimento/espessura mínima para extrair circuitos abertos em pistas: 200.

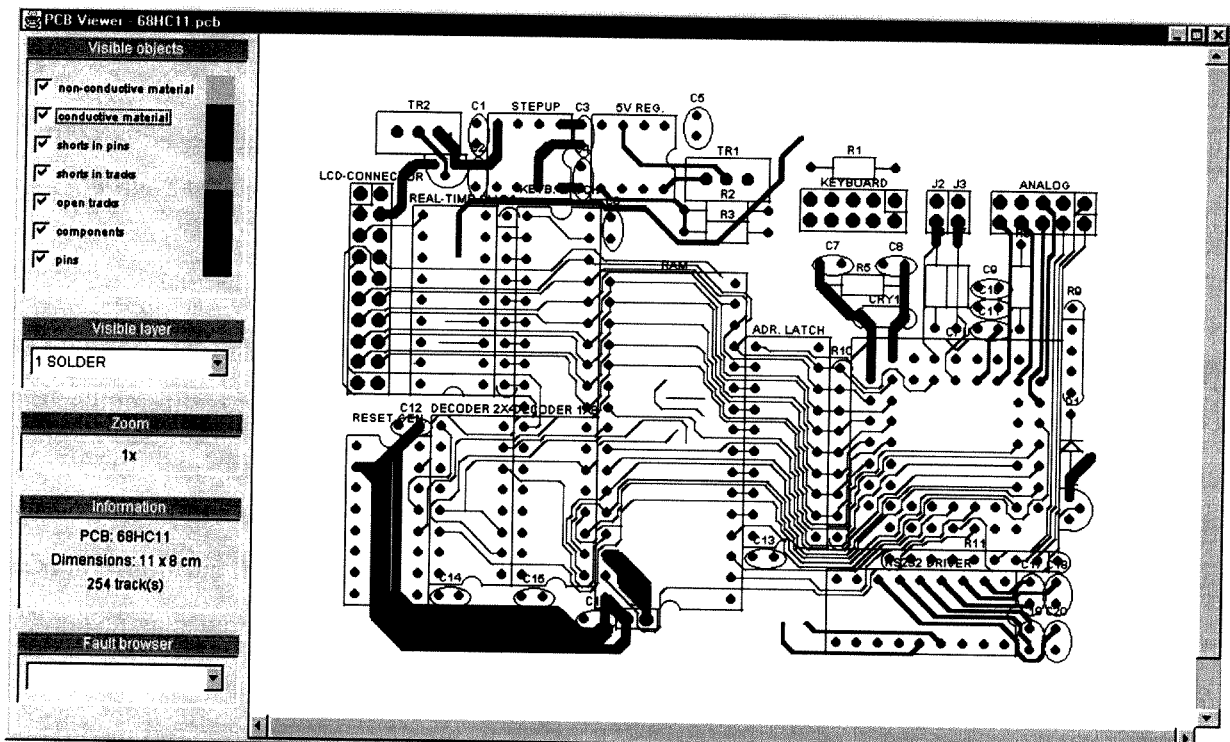


Figura 4.17: Carta de circuito impresso utilizada para demonstrar o funcionamento da ferramenta de extracção de faltas.

O resultado da extração de faltas é apresentado de duas formas: os curto-circuitos são representados por linhas que unem os elementos curto-circuitados, enquanto as pistas com circuitos abertos são representadas com uma cor diferente das pistas não faltosas. A figura 4.18 apresenta a janela de visualização após a extração das faltas.

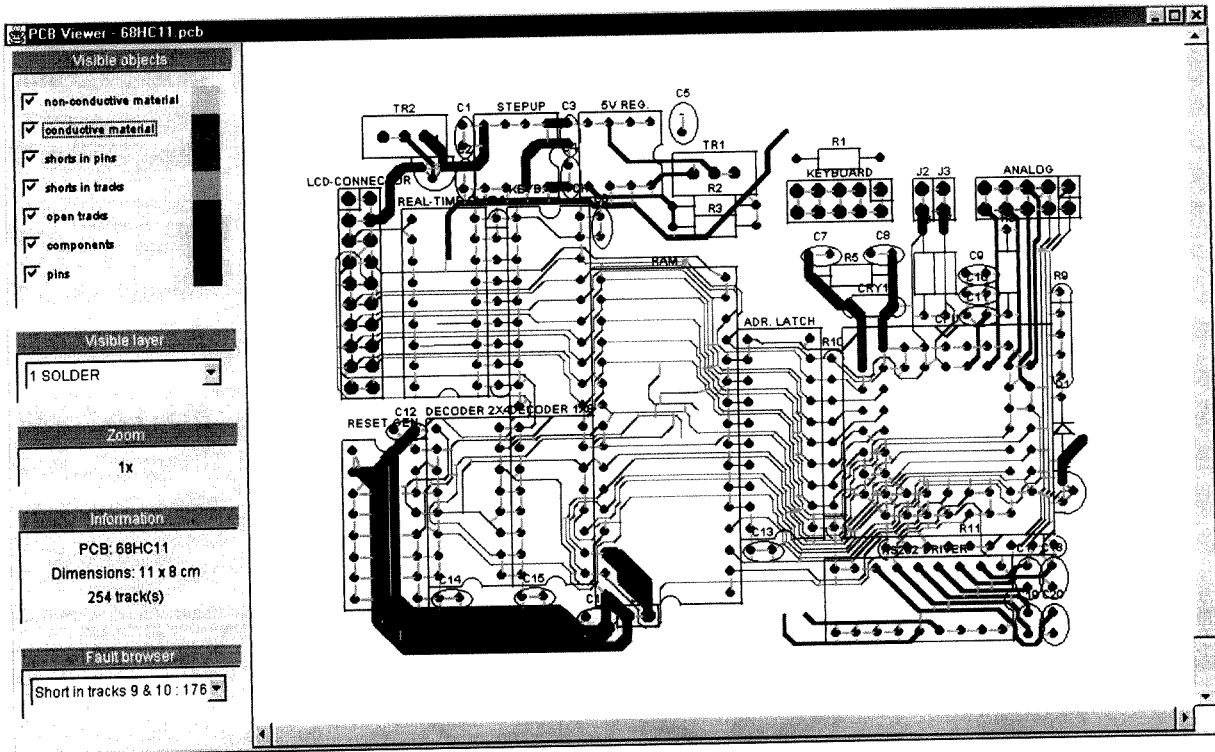
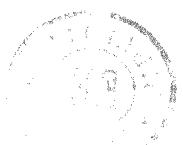


Figura 4.18: Resultado da extração de faltas utilizando o modo de extração de faltas realistas.

A extração de faltas realistas não é útil para obter uma lista classificada de faltas, porque são consideradas apenas as distâncias mínimas. De facto, situações muito diferentes são classificadas da mesma forma, desde que a distância entre pistas seja a mesma. Observando a figura 4.19 pode ser visto que a área (a área crítica) em que os defeitos podem causar curto-circuitos entre as pistas *A* e *B* é maior do que a área onde os defeitos podem curto-circuitar as pistas *B* e *C*. Por isso, é maior a probabilidade de ocorrer um curto-circuito entre as pistas *A* e *B* do que entre as pistas *B* e *C*. A ferramenta de extração de faltas permite calcular a área crítica para curto-circuitos entre pistas, pelo que este valor pode ser utilizado como medida da probabilidade de ocorrência de uma falta.



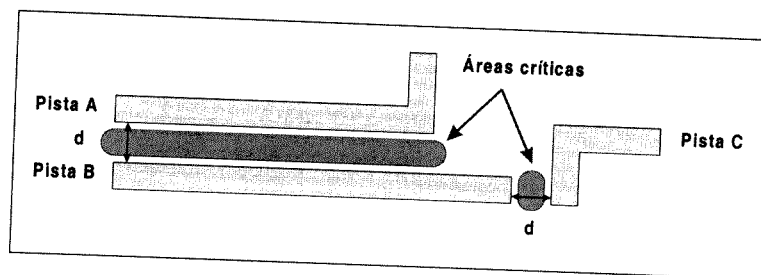


Figura 4.19: Diferente probabilidade de ocorrência de curto-circuitos para a mesma distância entre pistas.

A figura 4.20 mostra uma ampliação da CCI para mostrar o resultado da extracção de faltas com maior pormenor. A janela de selecção de faltas (*Fault browser*, no canto inferior esquerdo) foi seleccionada para escolher a área crítica para curto-circuitos entre as pistas 9 e 10, pelo que a janela de visualização apresenta a área crítica sob a forma de pequenos quadrados entre as pistas referidas. O tamanho destes quadrados está relacionado com a densidade de defeitos definida pelo utilizador, de modo que se a densidade de defeitos aumentar, o tamanho dos quadrados diminui, com o conseqüente aumento da resolução dos cálculos e do tempo de execução do algoritmo. Estes quadrados indicam as zonas em que os defeitos, com as características definidas pelo utilizador, causam um curto-circuito entre as pistas referidas.

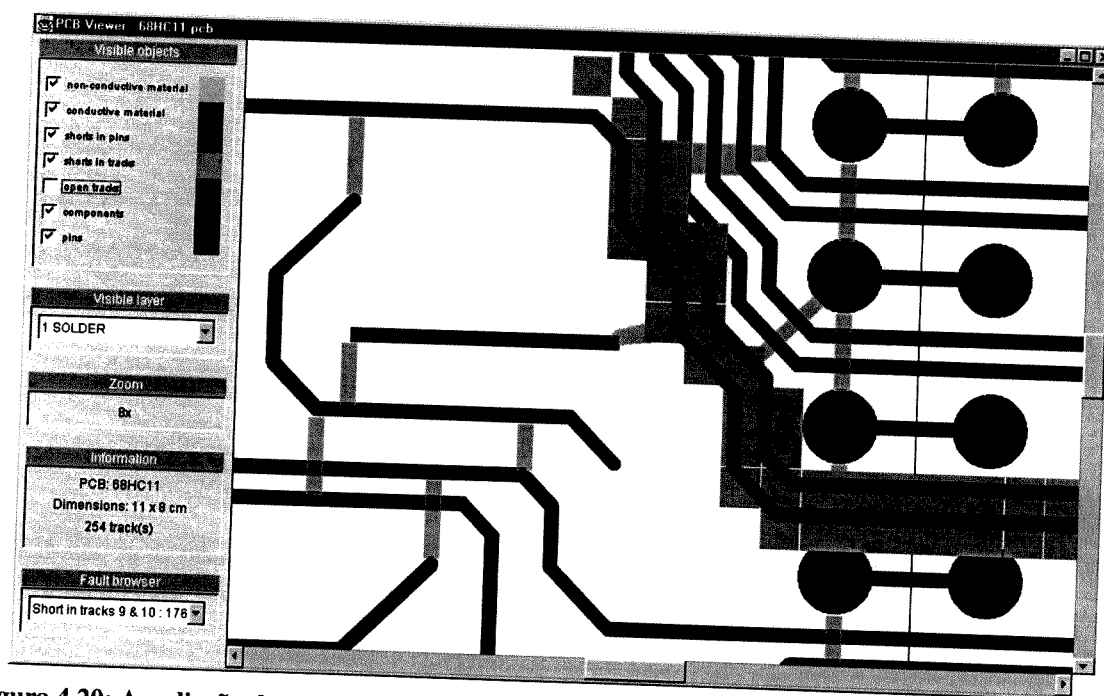


Figura 4.20: Ampliação de uma zona da CCI para mostrar a área crítica para curto-circuitos entre as pistas 9 e 10.

A mesma CCI foi utilizada para demonstrar o funcionamento do modo de análise indutiva de faltas. Para extrair curto-circuitos e circuitos abertos foram seleccionados os seguintes parâmetros de configuração, que caracterizam os defeitos ocorridos num hipotético processo de fabrico:

- Geração de defeitos do tipo “material não condutor”:
  - Densidade de defeitos: 15 defeitos por  $\text{cm}^2$ ;
  - Tamanho mínimo dos defeitos: 1000  $\mu\text{m}$ ;
  - Tamanho máximo dos defeitos: 2000  $\mu\text{m}$ .
- Geração de defeitos do tipo “material condutor”:
  - Densidade de defeitos: 20 defeitos por  $\text{cm}^2$ ;
  - Tamanho mínimo dos defeitos: 1200  $\mu\text{m}$ ;
  - Tamanho máximo dos defeitos: 1800  $\mu\text{m}$ .

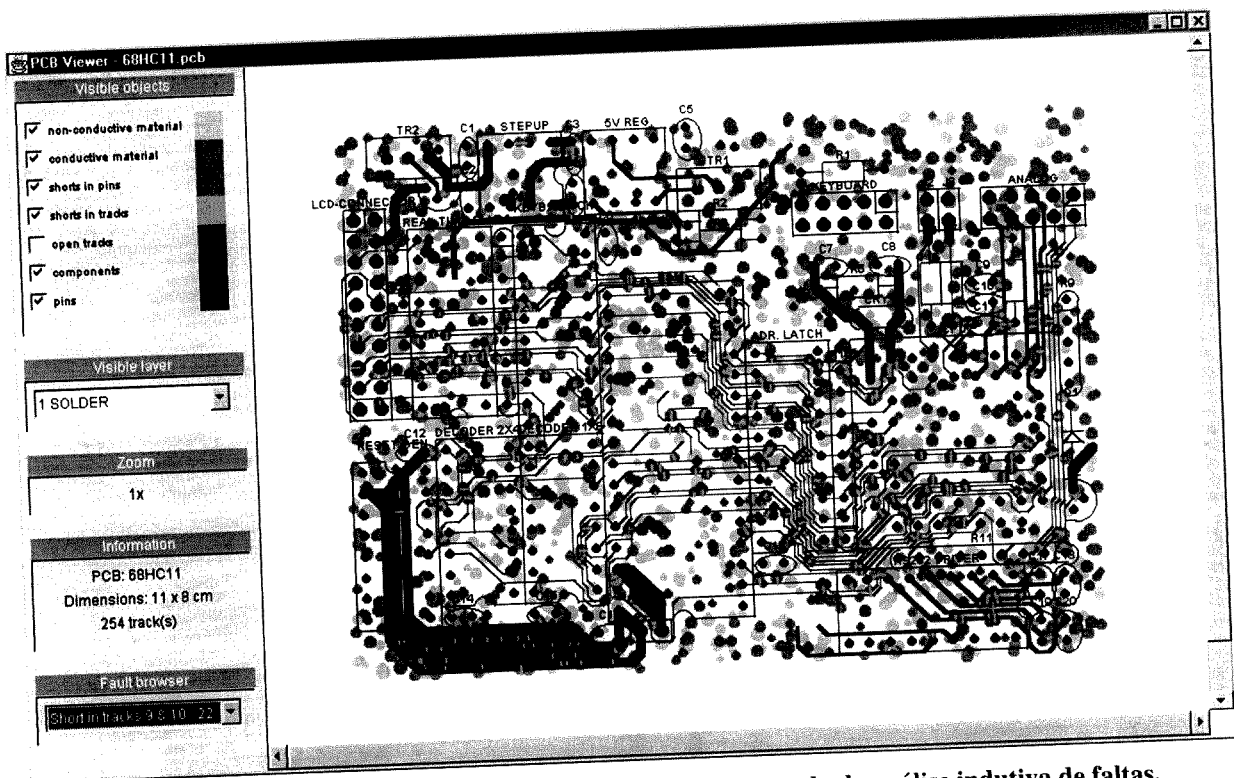


Figura 4.21: Resultado da extração de faltas utilizando o modo de análise indutiva de faltas.

A janela de visualização da figura 4.21 mostra os defeitos inseridos e todas as faltas extraídas. Os defeitos são representados por círculos com duas tonalidades: os mais escuros representam defeitos do tipo “material condutor”, enquanto os mais claros representam os defeitos do tipo “material não condutor”. As faltas podem ser visualizadas individualmente, seleccionando a falta pretendida na lista classificada de faltas. Neste caso, o curto-circuito entre as pistas 9 e 10 é o mais provável, pois é provocado por mais defeitos (neste caso 22) do que qualquer outro curto-circuito. A figura 4.22 mostra a ampliação de uma zona da CCI para visualização dos defeitos que provocam curto-circuitos entre as pistas 9 e 10, estando estas pistas identificadas por uma tonalidade cinzenta mais clara do que as restantes. Nesta figura identificam-se ainda os defeitos gerados e as faltas por eles provocadas. Para facilitar a leitura da figura podem ser escondidos alguns elementos da CCI. Neste caso apenas foram omitidos os circuitos abertos porque a sua representação confunde-se com a tonalidade das pistas 9 e 10.

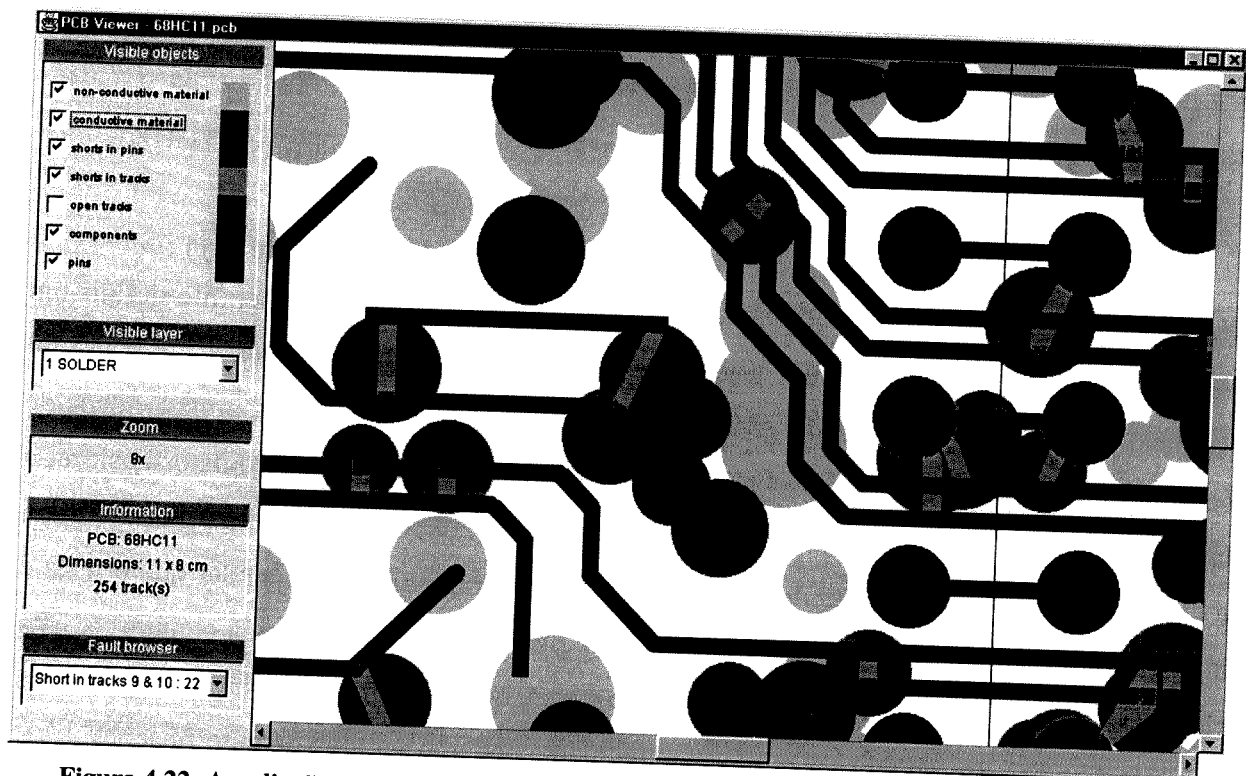


Figura 4.22: Ampliação de uma zona da CCI da figura 4.21 para mostrar em pormenor os defeitos inseridos e as faltas extraídas.



A figura 4.23 mostra o resultado da classificação dos curto-circuitos entre pistas sob a forma de um gráfico, que indica o número de vezes que uma determinada falta foi extraída, ou seja, o número de defeitos que causam essa mesma falta. Como se pode observar, as faltas mais prováveis estão concentradas na zona esquerda do gráfico, e a probabilidade de ocorrência diminui consideravelmente à medida que se percorre o gráfico no sentido das faltas menos prováveis.

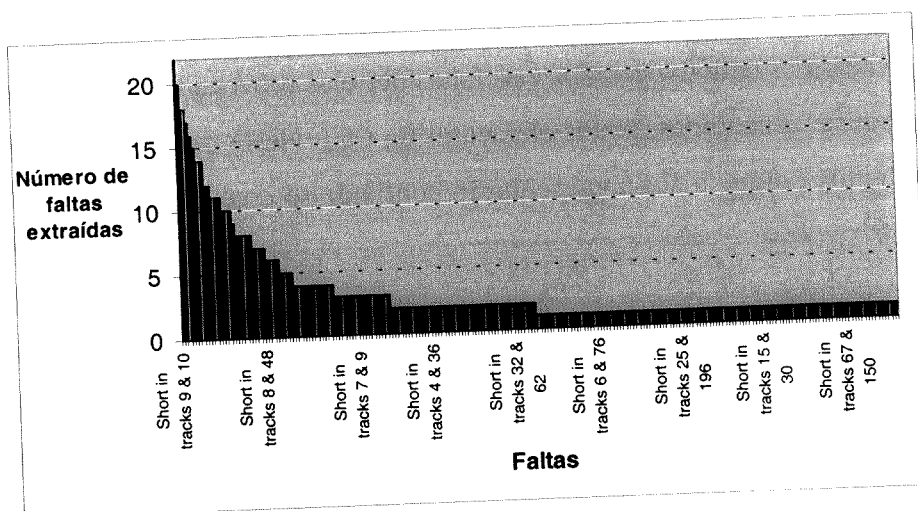


Figura 4.23: Gráfico com os curto-circuitos entre pistas ordenados pelo número de ocorrências.

Esta informação pode ser utilizada com várias finalidades. Por um lado, permite definir um universo de faltas minimizado em termos de elementos sem comprometer a cobertura de defeitos, pois as faltas que não são extraídas, e que portanto têm uma baixa probabilidade de ocorrência, são excluídas. Por outro lado, a própria ordenação das faltas permite estabelecer a ordem de execução dos testes, e como as faltas mais prováveis são testadas em primeiro lugar, o tempo de teste até à detecção de uma falta é minimizado, isto se se entender que o teste é interrompido logo que seja detectada uma falta, o que de facto é uma prática comum. A lista classificada de faltas pode também ser utilizada para identificar os elementos da CCI mais vulneráveis a defeitos de fabrico, e que eventualmente poderão ser alvo de modificações.

## 4.5 Resumo do capítulo

No capítulo anterior foi apresentada a estrutura para uma ferramenta de análise e planeamento da testabilidade de CCI, a qual é composta por dois módulos principais: o módulo de extracção de faltas e o módulo de análise de testabilidade. Neste capítulo apresentou-se o primeiro destes módulos, que na verdade pode ser usado como uma ferramenta autónoma.

A ferramenta utiliza como entradas o esquemático da CCI, descrita num dos dois formatos suportados, e a informação sobre defeitos ocorridos no processo de fabrico da CCI. A ferramenta inclui interfaces para os referidos formatos de esquemático e inclui uma janela de visualização, onde os vários elementos da CCI (componentes, pistas, pinos) podem ser analisados, bem como os defeitos gerados e as faltas extraídas.

A extracção de faltas pode ser realizada de dois modos: a extracção de faltas realistas e a análise indutiva de faltas. O primeiro modo utiliza apenas as características geométricas da CCI e procura as zonas mais críticas, calculando espaçamentos entre pinos e pistas e a área crítica para defeitos que causam curto-circuitos. A análise indutiva de faltas simula a ocorrência de defeitos de fabrico a partir da caracterização dos defeitos em termos do seu tamanho e do número de defeitos ocorridos por unidade de área.

Os algoritmos usados para implementar estes dois modos foram apresentados detalhadamente, com destaque para as optimizações efectuadas de forma a acelerar os cálculos dos algoritmos mais demorados. A ferramenta apenas pode processar as camadas da CCI individualmente, pelo que os defeitos entre camadas não são considerados. Da mesma forma, não são considerados os efeitos de defeitos múltiplos. Contudo a estrutura modular da ferramenta tem capacidade de incorporação de melhorias futuras devido à sua arquitectura em três andares de classes.

O resultado da extracção de faltas é uma lista classificada de faltas, que pode ser utilizada para identificar as zonas mais críticas da CCI, para estabelecer a ordem de execução dos testes de pistas e pinos, e para obter um conjunto de faltas que permite cobrir os defeitos de fabrico mais comuns.



## Capítulo 5

# Ferramenta para Análise de Testabilidade

No capítulo 3 foi apresentada a arquitectura da ferramenta computacional para análise e planeamento da testabilidade de CCI's, a qual é composta pelo módulo de extracção de faltas em CCI's e pelo módulo de análise de testabilidade. Após a apresentação, no capítulo anterior, da ferramenta de extracção de faltas em CCI's, este capítulo é dedicado à apresentação da ferramenta de análise de testabilidade.

Entre os vários métodos de análise de testabilidade apresentados anteriormente, foi escolhido para implementação o método de análise de testabilidade de faltas em nós [42], o qual se encontra bem adaptado à infra-estrutura IEEE 1149.4 e inclui procedimentos que facilitam o projecto para a testabilidade, a avaliação dessa testabilidade, a localização de faltas em nós, e o diagnóstico de faltas em ramos. Contudo, este método, tal como apresentado na forma original, não contempla o efeito das tolerância nos componentes não faltosos.

Ao contrário da ferramenta de extracção de faltas em CCI's, que é genérica e onde se podem acrescentar facilmente diversos algoritmos, esta ferramenta possui uma estrutura um pouco mais rígida e direccionada para a aplicação de um método específico. Por esta razão, em primeiro lugar será apresentada a sequência de operações para aplicação do método, de modo a identificar as funcionalidades a satisfazer pela ferramenta. Após a identificação dessas funcionalidades, é estabelecida a arquitectura da ferramenta, em termos da estrutura de dados, do modelo funcional, e da interface gráfica. Os resultados obtidos pela ferramenta são analisados recorrendo a exemplos de aplicação, que servem para demonstrar o funcionamento

da ferramenta e para analisar a validade da solução proposta para lidar com as tolerâncias dos componentes.

A utilização do módulo de análise de testabilidade tem implicações na realização prática da CCI, uma vez que se baseia na aplicação de estímulos e captura de respostas em nós internos da CCI através da infra-estrutura IEEE 1149.4. Para estudar estas implicações, neste capítulo é apresentada uma montagem experimental de um circuito, que utiliza um CI protótipo IEEE 1149.4 com módulos ABM para acesso a nós internos da CCI em teste, e uma carta de expansão para PC com um controlador IEEE 1149.x.

## 5.1 O processo de análise de testabilidade

A aplicação da análise de testabilidade de faltas em nós segue a sequência identificada na figura 5.1. Os dados iniciais são constituídos pela descrição do circuito e pelo conjunto inicial de nós acessíveis.

A primeira operação consiste em aplicar uma regra de escolha inicial de nós de teste, caso não existam nós inicialmente definidos como acessíveis. Em seguida determina-se o grau de testabilidade de faltas em nós, através da análise de um grafo de teste, construído a partir do grafo do circuito de acordo com as regras apresentadas no capítulo 3. Caso a testabilidade seja insuficiente, será necessário escolher um ou mais nós adicionais para aumentar a testabilidade de faltas em nós. Esta escolha pode ser feita de forma exaustiva, verificando todas as combinações de  $k+1$  nós, mas existem regras que simplificam este processo, como por exemplo:

- Para obter uma testabilidade de  $k$  faltas em nós, escolher os nós com menos de  $k+1$  nós vizinhos. Para existirem  $k+1$  caminhos independentes de cada nó inacessível até ao nó  $t$  (condição necessária para obter a testabilidade de  $k$  faltas em nós), cada nó deve ter pelo menos  $k+1$  nós vizinhos, o que implica que os nós com menos de  $k+1$  nós vizinhos têm de ser acessíveis.

De seguida realiza-se a simulação de faltas, que utiliza como entradas a frequência e a amplitude dos estímulos de teste, e o universo de faltas para o circuito considerado. A

simulação de faltas consiste na inserção de cada uma das faltas na descrição do circuito nominal e na aplicação de estímulos nos nós de teste. As matrizes de teste são construídas com base nos valores nominais dos componentes do circuito e nas respostas obtidas por simulação. Os determinantes das matrizes de teste permitem verificar se as faltas simuladas podem ou não ser detectadas, e calcular o grau de testabilidade de cada um dos componentes do circuito.

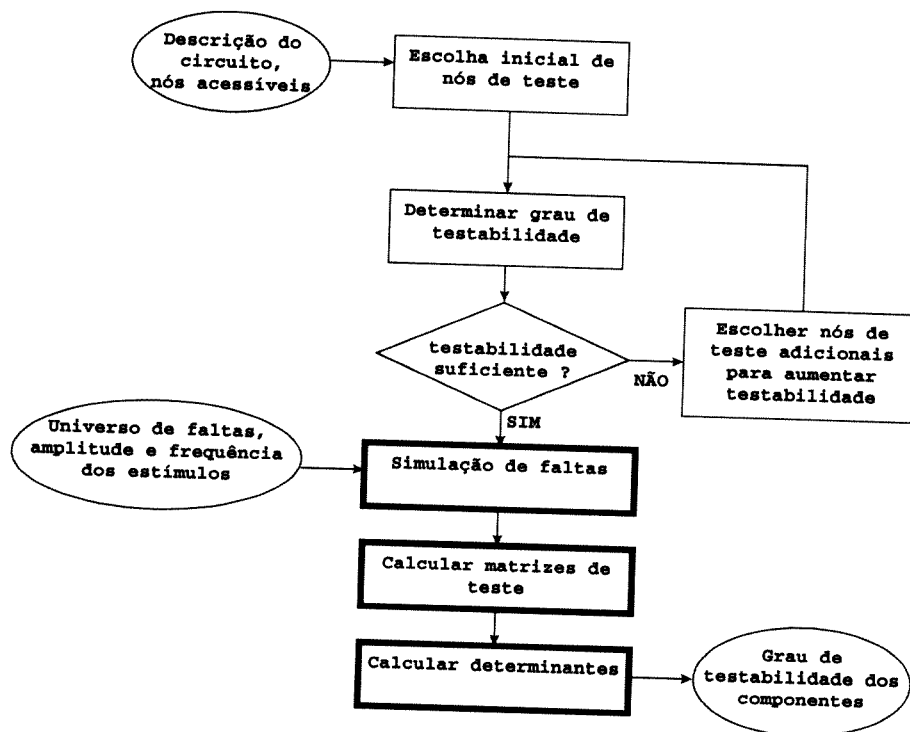


Figura 5.1: Sequência de operações para aplicação da análise de testabilidade de faltas em nós.

As operações para escolha inicial de nós de teste, para determinar o grau de testabilidade de faltas em nós, e para escolha de nós de teste adicionais, podem ser realizadas através da análise de um grafo, pelo que são operações bastante simples de realizar manualmente. Pelo contrário, as operações de simulação de faltas, de construção das matrizes de teste, e de cálculo dos determinantes, exigem um elevado grau de automatização, devido à complexidade e ao número de cálculos envolvidos. Por estas razões, a ferramenta foi estruturada de forma a conseguir automatizar pelo menos as operações mais complexas e difíceis de realizar manualmente, isto é, as operações de simulação de faltas, de cálculo das matrizes de teste, e de cálculo dos determinantes.

### 5.1.1 Estudo do efeito das tolerâncias dos componentes sobre o valor dos determinantes

Devido às tolerâncias dos valores dos componentes, os determinantes que identificariam os nós faltosos não serão simplesmente “zero”. Este aspecto não foi tratado no trabalho apresentado em [42], mas é importante saber em que medida as tolerâncias dos valores dos componentes afectam o valor dos determinantes, pelo que se torna necessário estabelecer um critério de aceitação de um determinante como “zero”.

Para estudar este caso utilizou-se o exemplo da figura 5.2, já utilizado no capítulo 3, e recorreu-se à simulação Monte Carlo [50] dos valores dos componentes, assumindo uma tolerância máxima de 5% em relação aos valores nominais.

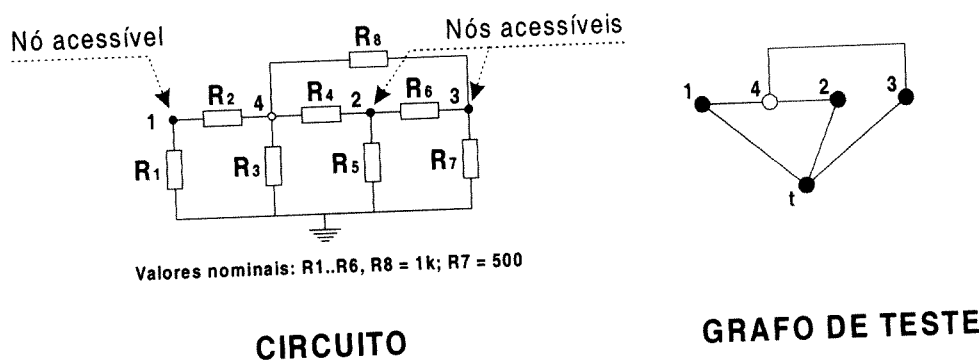


Figura 5.2: Circuito de exemplo para aplicação da testabilidade de faltas em nós. Os nós 1, 2 e 3 estão acessíveis.

Os resultados obtidos para o circuito nominal estão resumidos na tabela 5.1. Esta tabela apresenta duas linhas com exemplos de valores, juntamente com a média e o desvio padrão dos 30 determinantes calculados com os resultados de 30 simulações Monte Carlo. De seguida foi repetido o processo para o circuito com uma falta em  $R_8$ , (desvio de +50% no valor de  $R_8$ ) e os restantes componentes foram sujeitos a uma simulação Monte Carlo com uma tolerância de 5%. Os resultados obtidos são apresentados na tabela 5.2.

**Tabela 5.1: Determinantes das matrizes de teste para o circuito nominal. São mostrados dois exemplos, juntamente com a média e o desvio padrão dos resultados de 30 simulações Monte Carlo.**

Caso	1-2	1-3	1-4	2-3	2-4	3-4
Ex°.1	1256	134	2	343	54	52
Ex°.2	231	257	7	412	161	167
Média	175	164	53.5	506	140	134
Desvio padrão	154	111	45.5	448	146	134

**Tabela 5.2: Determinantes das matrizes de teste do circuito com uma falta no componente R8 (+50% em valor).**

Caso	1-2	1-3	1-4	2-3	2-4	3-4
Ex°.1	2577	918	874	1149	932	58
Ex°.2	2397	731	782	1221	905	123
Média	2428	758	797	1030	837	161
Desvio padrão	193	165	58	593	215	125

Pode ver-se claramente que a distribuição do determinante afectado pelos nós 3 e 4 é estatisticamente muito semelhante à distribuição correspondente para o circuito nominal, enquanto a distribuição do determinante afectado pelos nós 2 e 3 tem uma ligeira sobreposição com a correspondente distribuição nominal. As restantes distribuições estão nitidamente afastadas das distribuições nominais. Assumindo que a semelhança de distribuições indica que um determinante é detectado como sendo “zero”, não só é possível detectar que o circuito é faltoso, como também é possível determinar, na maioria das situações, que os nós 3 e 4 são faltosos, o que indica possíveis faltas nos componentes  $R_3$ ,  $R_7$ ,  $R_8$ . Com a simulação de faltas em  $R_8$  (-50% em valor) e  $R_4$  (desvios negativos e positivos de 50%) obtiveram-se resultados semelhantes, como se comprova nas tabelas 5.3, 5.4 e 5.5.

**Tabela 5.3: Determinantes das matrizes de teste para o componente faltoso  $R_8$  (-50% em valor).**

Caso	1-2	1-3	1-4	2-3	2-4	3-4
Ex°.1	3533	1581	1278	942	1118	160
Ex°.2	3776	1478	1313	1075	1212	101
Média	4134	1445	1395	1285	1350	162
$\sigma$	241	149	59	704	203	123



Tabela 5.4: Determinantes das matrizes de teste para o componente faltoso  $R_4$  (+50% em valor).

Caso	1-2	1-3	1-4	2-3	2-4	3-4
Ex°.1	413	1969	596	864	113	708
Ex°.2	1068	1913	746	1761	173	919
Média	723	2086	703	948	149	723
$\sigma$	211	174	67	565	129	211

Tabela 5.5: Determinantes das matrizes de teste para o componente faltoso  $R_4$  (-50% em valor).

Caso	1-2	1-3	1-4	2-3	2-4	3-4
Ex°.1	1437	3194	1158	989	112	1045
Ex°.2	1143	3534	1169	1466	81	1250
Média	1131	3450	1145	1080	149	1120
$\sigma$	208	227	77	664	127	203

Embora tenham sido simulados desvios paramétricos nos componentes, as faltas mais comuns são as faltas catastróficas, tais como curto-circuitos. Simulando um curto-circuito em  $R_8$  pode verificar-se, nos dois exemplos da tabela 5.6, que a falta é facilmente detectável, porque todos os determinantes, excepto o determinante afectado pelos nós 3 e 4, evoluem para valores muito diferentes das distribuições calculadas com os componentes nominais.

Tabela 5.6: Determinantes das matrizes de teste para um curto-circuito em  $R_8$ .

Caso	1-2	1-3	1-4	2-3	2-4	3-4
Ex°.1	14242	4920	4790	3604	4461	329
Ex°.2	14294	4830	4781	4938	4808	27

O desvio do valor dos componentes na sua gama de tolerância provoca um efeito de perturbação dos valores dos determinantes utilizados para detecção e localização das faltas. Contudo, a caracterização estatística (média e desvio padrão), permite mesmo assim detectar e localizar faltas em nós, conforme demonstram os resultados obtidos. Desta forma, a sequência de operações para aplicação da análise de testabilidade de faltas em nós será modificada para

incluir o valor da tolerância dos componentes nominais como entrada para a simulação de faltas. Serão realizadas 30 simulações Monte Carlo do circuito nominal para obter a média e o desvio padrão, que servirão para estabelecer os limites de detecção dos determinantes. Para cada falta introduzida, serão realizadas 30 simulações Monte Carlo para simular o desvio do valor dos componentes nominais segundo a tolerância definida.

## 5.2 Estrutura do módulo de análise de testabilidade

A figura 5.3 mostra as principais entradas e saídas do módulo de análise de testabilidade. As entradas principais são constituídas pela descrição do circuito a analisar em formato HSPICE, pelo universo de faltas e tolerâncias dos componentes do circuito, e pelos nós de teste. A ferramenta utiliza estes elementos para simular o circuito na presença de cada uma das faltas e para aplicar o método de análise de testabilidade escolhido para implementação — a análise de faltas em nós. Para isso é necessário efectuar chamadas a programas externos, nomeadamente o HSPICE, para simulação eléctrica do circuito, e o Matlab, para cálculos matemáticos com matrizes. Estas chamadas são efectuadas por intermédio de interfaces para os programas referidos, que gerem a comunicação entre esses programas e a ferramenta.

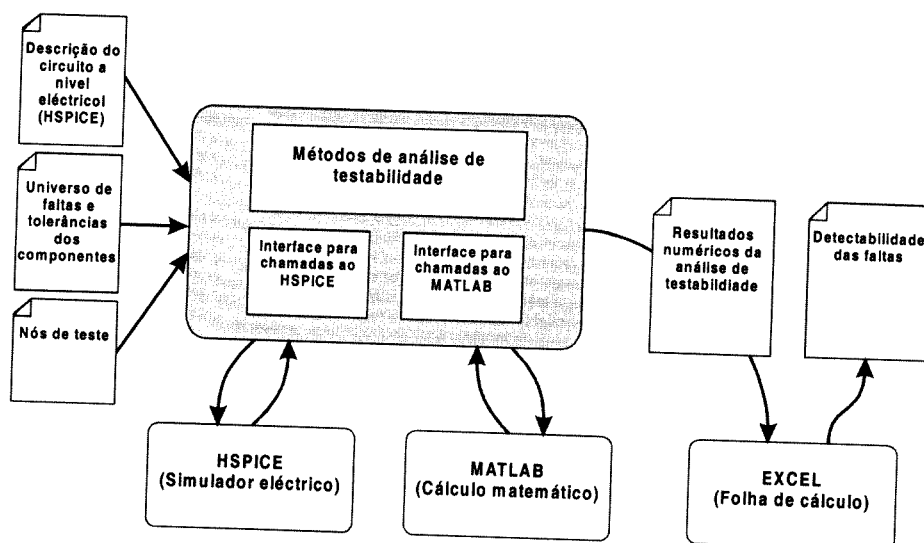


Figura 5.3: Entradas e saídas do módulo de análise de testabilidade.

Os resultados da análise de testabilidade gerados pela ferramenta consistem em tabelas de valores numéricos que não podem ser analisados directamente. Por isso, estas tabelas de valores são escritas para arquivos, os quais podem ser analisados por intermédio de uma folha de cálculo programada para a manipulação destes dados. As operações efectuadas consistem no cálculo dos limites de detecção dos determinantes, a partir das 30 simulações Monte Carlo do circuito nominal, e na comparação com os determinantes obtidos para os circuitos faltosos, por forma a detectar e localizar as faltas.

### 5.2.1 Estruturas de dados

Tal como a ferramenta de extracção de faltas em CCIs, esta ferramenta segue a estrutura em três andares de classes: classes de dados, de interface e de processamento. As classes que compõem a ferramenta, e que se estruturam nos três andares referidos, encontram-se identificadas no diagrama de classes da figura 5.4.

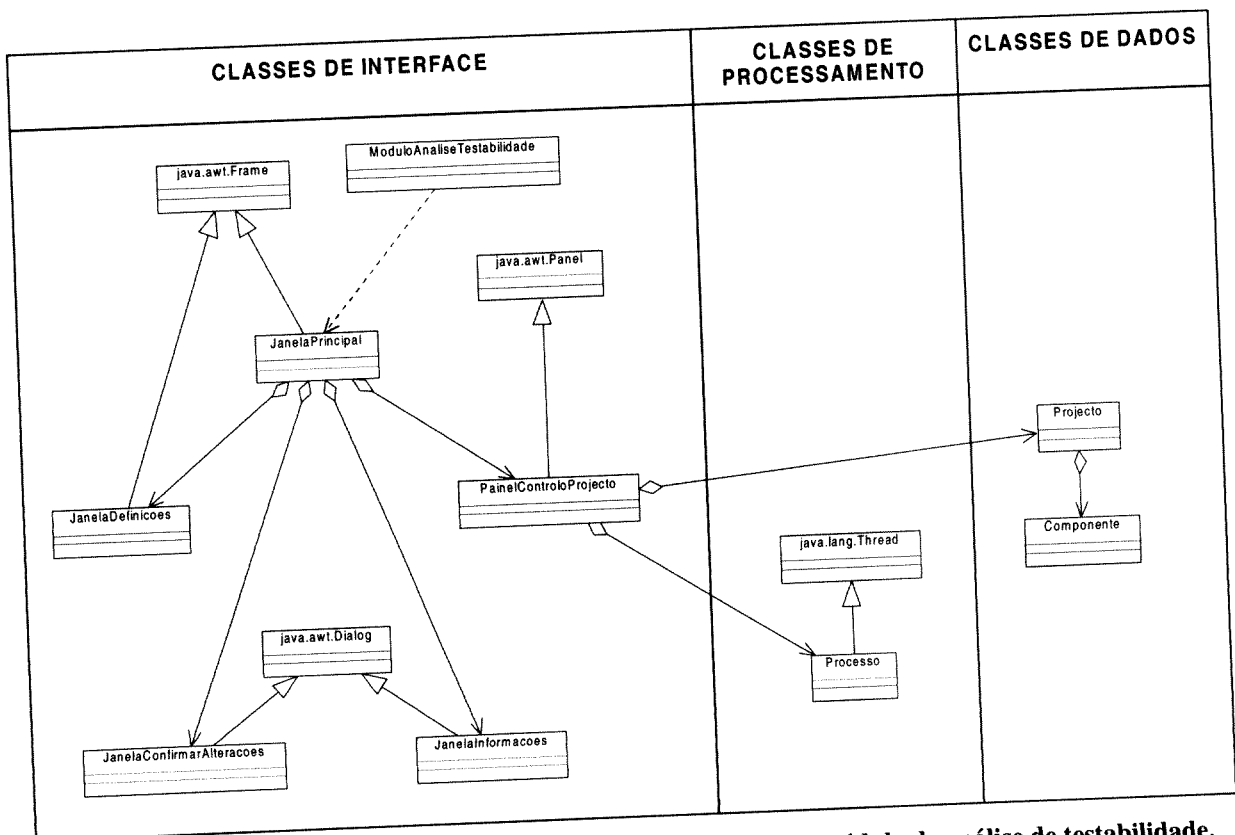


Figura 5.4: Diagrama de classes representativo da arquitectura do módulo de análise de testabilidade.

### 5.2.1.1 Classes de interface

As classes de interface proporcionam um ambiente de interacção entre o utilizador e a ferramenta. A janela principal (classe *JanelaPrincipal*) possui um menu com as seguintes opções:

- Iniciar um novo projecto;
- Abrir um projecto existente;
- Gravar o projecto actual;
- Sair do programa;
- Configurar o ambiente do projecto;
- Obter informações sobre o programa.

A opção de configuração do programa abre uma nova janela (classe *JanelaDefinicoes*) que permite definir as localizações dos programas externos HSPICE, Matlab, e do editor de texto utilizado para modificar os arquivos de entrada do projecto. Quando se escolhe a opção de informações sobre o programa, surge uma janela (classe *JanelaInformacoes*) com a identificação do programa (nome, versão e autor). Existe também uma janela para confirmação da gravação de alterações no projecto actual. A classe *PainelControloProjecto* mostra o estado actual do projecto, nomeadamente os arquivos de projecto, as opções seleccionadas e as etapas do processo de análise de testabilidade.

### 5.2.1.2 Classes de processamento

Existe uma classe de processamento (classe *Processo*) que é responsável pela execução das chamadas aos programas externos para aplicação do método de análise de testabilidade. Esta classe deriva da classe *java.lang.Thread*, o que significa que pode correr em paralelo com o restante código, de forma a que o utilizador possa executar comandos na janela principal, ao mesmo tempo que decorre o processo de cálculo. A classe *Processo* não acede directamente às classes de dados, uma vez que a classe *PainelControloProjecto* encarrega-se da passagem dos dados. Os resultados obtidos são escritos para arquivos e não são armazenados nas estruturas de dados.

### 5.2.1.3 Classes de dados

As classes de dados guardam os dados referentes ao processo de análise de testabilidade. A ferramenta organiza os circuitos analisados por projectos, aos quais associa pastas em disco que armazenam os arquivos gerados pela ferramenta de análise de testabilidade. Estes arquivos são em grande número e a sua localização é gravada no arquivo de projecto. Os dados referentes a cada projecto escolhido são lidos do disco e guardados nas classes de dados. A classe *Componentes* armazena a informação referente aos componentes do circuito descritos em HSPICE. A classe *Projecto* armazena todos os outros dados lidos do disco e os dados gerados ao longo do processo de análise de testabilidade. As classes de dados possuem métodos para leitura e armazenamento destes dados na pasta do projecto.

## 5.2.2 Modelo funcional

O modelo funcional da ferramenta (figura 5.5) mostra os diversos fluxos de dados entre os processos que constituem a ferramenta, os programas externos e o utilizador. O utilizador inicia a ferramenta através da indicação do arquivo de projecto, que guarda todas as configurações e os resultados obtidos. O processo de leitura do projecto lê o arquivo de projecto e actualiza as estruturas internas de dados. O utilizador pode então efectuar alterações no projecto e dispõe de quatro comandos principais para controlo do processo de análise de testabilidade, que é composto por quatro etapas: reiniciar todo o processo, retroceder um passo do processo, iniciar processo e parar processo.

A análise de testabilidade é composta por quatro processos sequenciais: simulação do circuito nominal, simulação dos circuitos faltosos, filtragem dos valores das simulações e cálculo dos determinantes. Os dois primeiros processos envolvem a chamada ao programa HSPICE, enquanto o último passo efectua chamadas ao Matlab. Estas chamadas são realizadas através do envio de comandos para esses programas, que indicam quais os arquivos a processar. Esses programas utilizam esses arquivos como entradas e escrevem os resultados para um arquivo em disco. Os fluxos de dados entre a ferramenta e os programas HSPICE e Matlab utilizam por isso a memória não volátil como elemento intermediário. Por motivos de simplificação do diagrama de fluxo de dados, estes fluxos estão indicados como simples trocas de dados entre a ferramenta e os programas externos.

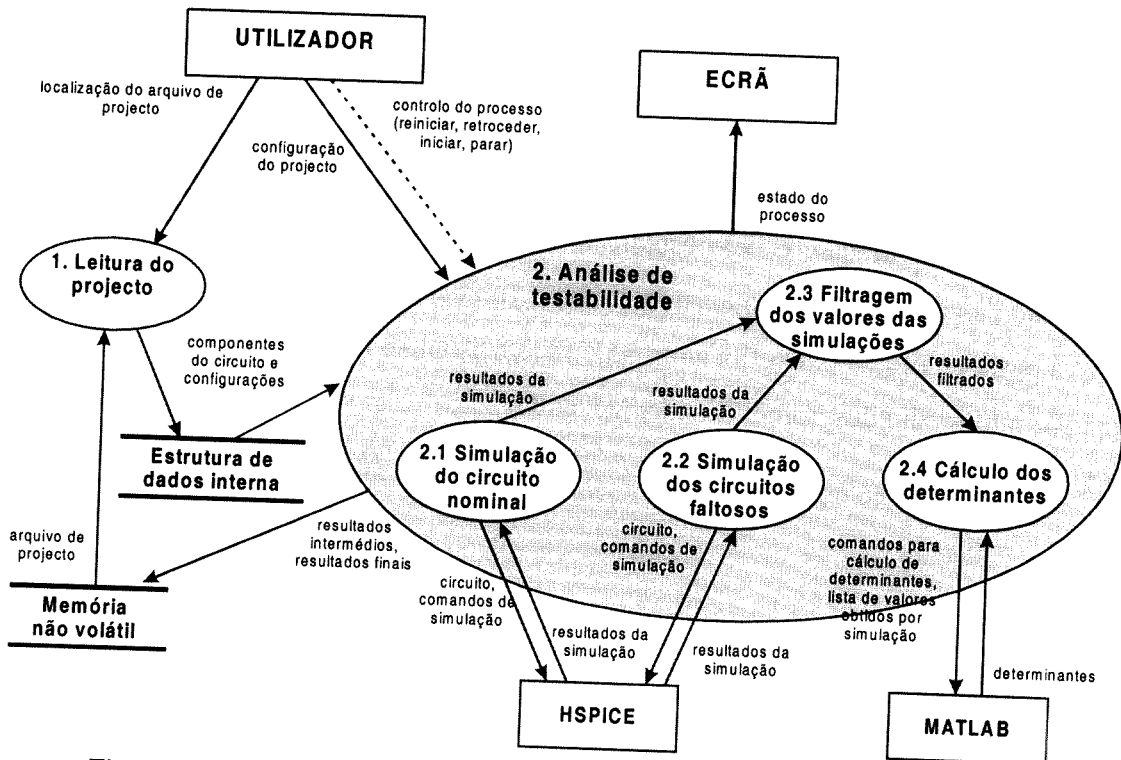


Figura 5.5: Diagrama de fluxo de dados da ferramenta de análise de testabilidade.

O resultado final dos processos de análise de testabilidade é um arquivo com os determinantes calculados, e que poderão ser analisados numa folha de cálculo como o Microsoft Excel. Enquanto o programa HSPICE é chamado directamente com a indicação do arquivo de entrada, a chamada ao programa Matlab requer a elaboração de um arquivo com os comandos necessários para a formação das matrizes e para o cálculo dos respectivos determinantes. Os resultados obtidos pelos processos de análise de testabilidade são escritos para memória não volátil à medida que são gerados, de forma a permitir que o utilizador pare os processos a meio da execução sem perder os resultados já obtidos, e que inicie novamente os processos no ponto em que estavam.

### 5.2.3 Interface gráfica

As classes de interface proporcionam o ambiente de interacção com o utilizador. A janela principal do programa é ilustrada na figura 5.6. A janela possui um conjunto de menus e de botões, uma zona de configuração dos arquivos de projecto e de vários parâmetros, uma zona

que apresenta o estado actual do processo de análise de testabilidade e, finalmente, uma área onde aparecem os comandos e as mensagens geradas ao longo do processo.

Um projecto é composto por uma pasta, um conjunto de arquivos de entrada, um conjunto de parâmetros de configuração, e pelo estado do processo de análise de testabilidade. Junto à identificação da pasta de projecto existe um botão “mudar” que abre uma janela para escolher uma nova pasta de projecto. O utilizador pode escolher outros arquivos de entrada ou editar os actuais por intermédio dos botões “mudar” e “editar”.

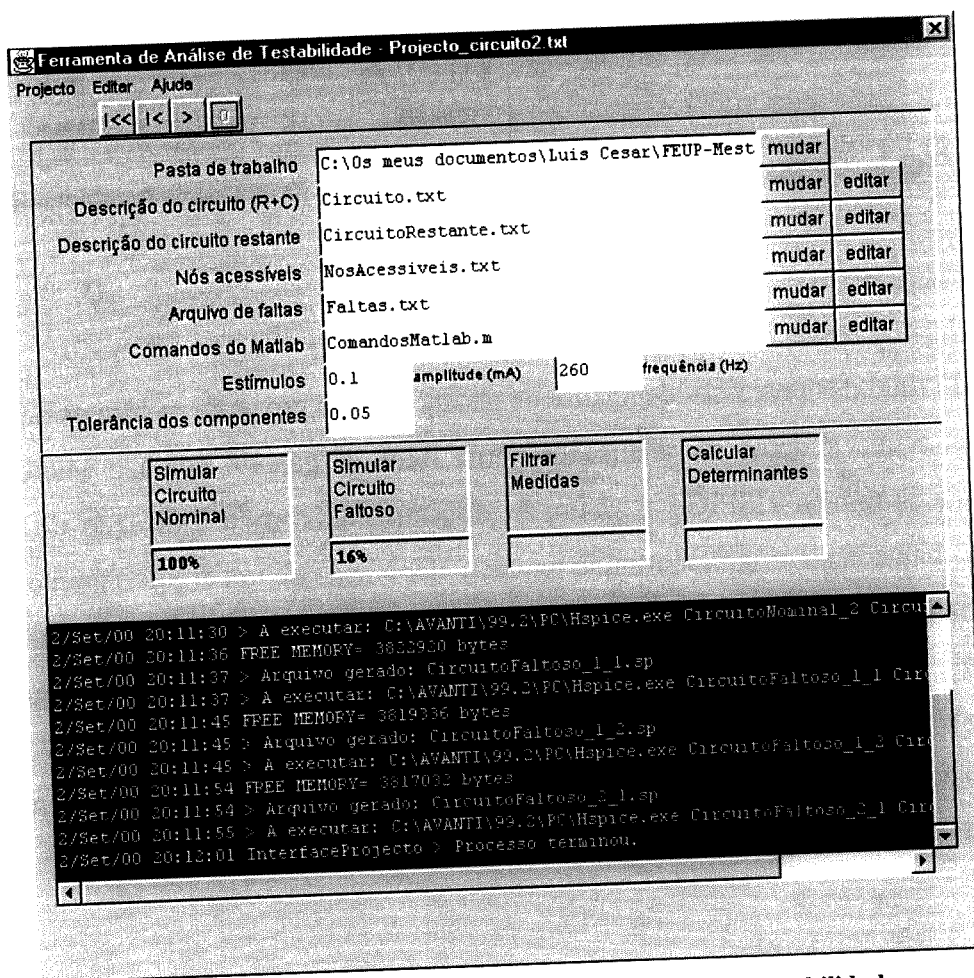


Figura 5.6: Janela principal da ferramenta de análise de testabilidade.

Os arquivos de entrada são editados por intermédio do editor de texto definido pelo utilizador nas opções de configuração do programa e contêm a seguinte informação:

- Descrição do circuito — Descrição em HSPICE dos elementos passivos do circuito sujeitos a tolerâncias.
- Descrição do circuito restante — Descrição em HSPICE dos elementos activos do circuito e dos elementos não sujeitos a tolerâncias.
- Nós acessíveis — Identificação dos nós acessíveis para aplicação de estímulos e captura de sinais.
- Arquivo de faltas — Definição do universo de faltas a considerar pela análise de testabilidade.
- Comandos do Matlab — Conjunto de comandos para realizar o cálculo das matrizes de teste de acordo com o método de análise de testabilidade de faltas em nós.

Os parâmetros de configuração da análise induzida de faltas são os seguintes:

- Parametrização dos estímulos — Indicação da amplitude e da frequência dos estímulos.
- Tolerância dos componentes — Variação admissível para os componentes não faltosos do circuito.

A janela de estado actual indica a percentagem de processamento concluído de cada um dos quatro processos identificado no diagrama de fluxo de dados da figura 5.5: simulação do circuito nominal, simulação dos circuitos faltosos, filtragem dos valores das simulações, e cálculo dos determinantes. Esta informação de estado actual é guardada no arquivo de projecto, pelo que o utilizador pode interromper o processamento em qualquer altura e retomar o processamento noutra ocasião sem perder os cálculos já efectuados.

### 5.3 Exemplos de aplicação da ferramenta

Para exemplificar a utilização da ferramenta irá ser utilizado o circuito da figura 5.16, que representa um filtro *Sallen-Key*, que servirá também para demonstrar a adequação do método de testabilidade de faltas em nós a circuitos com elementos reactivos e amplificadores



operacionais. A presença de condensadores tem o efeito de aumentar a complexidade dos cálculos devido à manipulação de números complexos. A frequência de operação é fundamental para otimizar a detecção de faltas, e uma possível regra genérica poderá ser: escolher a frequência de teste tal que o módulo das reactâncias seja semelhante ao valor das resistências, de modo a que as matrizes de teste estejam o mais balanceadas<sup>2</sup> possível.

Se excluirmos o amplificador operacional (AMPOP) do circuito, a topologia do circuito restante, formado por uma malha de componentes passivos, é representada pelo grafo da figura 5.16. Este grafo representa o grafo de correntes e o grafo de tensões, porque apenas estão envolvidos elementos passivos.

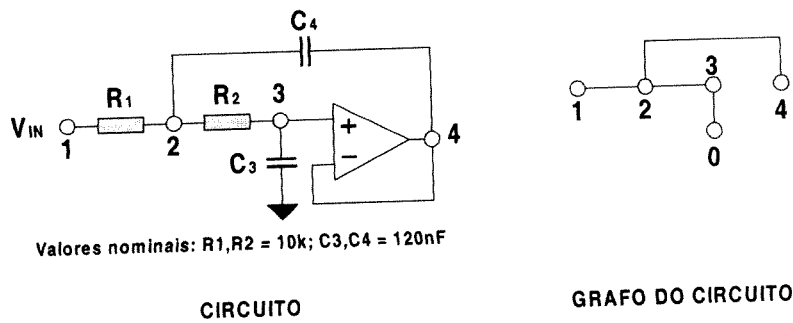


Figura 5.7: Circuito de exemplo para aplicação da ferramenta e respectivo grafo da malha de componentes passivos externos ao AMPOP.

Como um AMPOP apresenta um ganho de tensão infinito, isto significa que as entradas do AMPOP têm idealmente a mesma tensão, o que é equivalente a juntar os nós de entrada do AMPOP, originando assim o grafo de tensões da figura 5.8. Uma vez que a saída do AMPOP é uma fonte de tensão, a corrente de saída tem um valor indeterminado. Por isso, o grafo de correntes (figura 5.8) resulta da junção dos nós de saída do AMPOP. Note-se que a segunda saída do AMPOP não está acessível, mas tem uma ligação implícita à massa através da alimentação.

<sup>2</sup> Uma matriz diz-se balanceada quando os valores que a compõem apresentam valores da mesma ordem de grandeza.

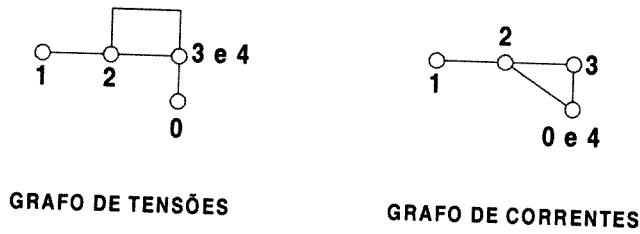


Figura 5.8: Grafo de tensões e de correntes para o circuito da figura 5.16.

O grafo de teste obtém-se a partir do grafo de correntes. Seguindo a sequência de operações para aplicação da análise de testabilidade de faltas em nós, em primeiro lugar são escolhidos os nós de teste iniciais. Apagando os nós ligados ao nó de referência (massa), verifica-se que os nós 1 e 3 têm apenas um nó vizinho enquanto o nó 2 tem dois nós vizinhos (figura 5.9), logo os nós 1 e 3 são escolhidos como acessíveis. Com os nós 1 e 3 acessíveis, o grafo de teste é o indicado na figura 5.9. Por análise deste grafo, verifica-se que existem dois caminhos independentes desde o nó 2 (nó inacessível) até ao nó virtual  $t$ , logo o circuito apresenta uma testabilidade de uma falta em nós. O componente  $C_3$  está ligado apenas ao nó 1 do grafo de teste, o componente  $C_4$  está ligado apenas ao nó 3, enquanto os componentes  $R_1$  e  $R_2$  estão ligados a dois dos nós do grafo de teste. Isto significa que as faltas em  $C_3$  ou em  $C_4$  podem ser localizadas, enquanto as faltas em  $R_1$  e  $R_2$  são indistinguíveis, isto é, uma falta num destes componentes é detectada, mas não se pode saber se a falta é no componente  $R_1$  ou no componente  $R_2$ .

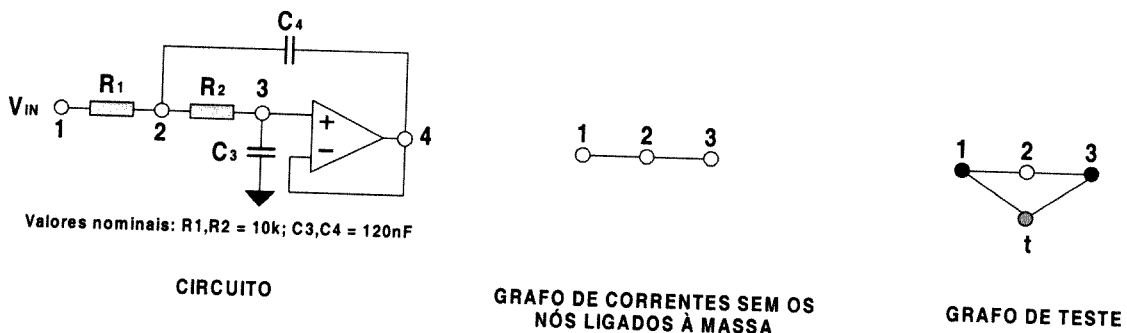


Figura 5.9: Grafo de teste para o circuito da figura 5.16, aqui reproduzido, para o conjunto de nós acessíveis  $\{1, 3\}$ .

Após a operação de escolha dos nós de teste, passamos às fases de simulação de faltas, cálculo das matrizes de teste e cálculo dos determinantes, utilizando para isso a ferramenta desenvolvida. Para isso é necessário criar os arquivos de entrada da ferramenta:

- Descrição em HSPICE dos elementos passivos do circuito sujeitos a tolerâncias:

```
R1 1 2 10k
R2 2 3 10k
C3 3 0 120n
C4 2 4 120n
```

- Descrição em HSPICE dos elementos do circuito não sujeitos a tolerâncias e dos elementos activos:

```
E1 4 0 3 4 5000 * modelo do AMPOP
```

- Identificação dos nós acessíveis:

```
1
3
```

- Definição do universo de faltas:

```
R1=5k
R1=15k
R2=5k
R2=15k
C3=60n
C3=180n
C4=60n
C4=180n
R0=0
```

- Comandos do Matlab:

```
%clear
disp('Processando...')

% IMPEDÂNCIAS NODAIS -> só linhas dos nós acessíveis
Zmn(1,:) = Zn(1,:);
Zmn(2,:) = Zn(3,:);

% LER TENSÕES MEDIDAS
load medidas.txt;
v = medidas(:,1:2) + medidas(:,3:4)*j;

% l indica a coluna de medidas a utilizar nos determinantes.
for l=1:1:2,
    disp(l)
    % CALCULAR OS 30 DETERMINANTES
    for n=1:1:30,
        Vmed(1,1:2) = v(n*2-1,1:2);
        Vmed(2,1:2) = v(n*2,1:2);
        Vdif = Vmed - Vnom;

        Z1m(:,1) = Zmn(:,1);
        Z2m(:,1) = Zmn(:,2);
        Z3m(:,1) = Zmn(:,3);

        Z1m(:,2) = Vdif(:,1);
        Z2m(:,2) = Vdif(:,1);
        Z3m(:,2) = Vdif(:,1);

        % CALCULAR DETERMINANTES
        detZ1 = det(Z1m);
        detZ2 = det(Z2m);
        detZ3 = det(Z3m);
```

```

deter(n,1)=detZ1;
deter(n,2)=detZ2;
deter(n,3)=detZ3;

end; %for n
% AMPLITUDE E FASE DOS DETERMINANTES
deter_a=abs(deter);

if l==1,
    abs1=deter_a;
end
if l==2,
    abs2=deter_a;
end

end; %for l

determinantes(:,1:3)=abs1;
determinantes(:,4:6)=abs2;

% GRAVAR VALORES DOS DETERMINANTES
save deter_a.TXT determinantes -ascii;

disp('Processo concluído')
quit

```

Os restantes parâmetros de configuração da ferramenta são:

- Amplitude dos estímulos de teste. O valor da amplitude dos estímulos de teste deve ser tal que não provoque a saturação do amplificador operacional. Neste caso, foi escolhido o valor 0.1mA.
- Frequência dos estímulos de teste. Para a escolha da frequência de teste foi escolhida a regra já enunciada: escolher uma frequência de teste de forma a que o módulo das reactâncias seja semelhante ao valor das resistências, de modo a que as matrizes de teste estejam o mais balanceadas possível. Neste caso as resistências têm o valor de 10kΩ, pelo que a frequência de teste deverá ser a seguinte:

$$|Z_{C3}| = 10000 \Rightarrow \frac{1}{2 \times \Pi \times f \times C} = 10000 \Rightarrow f \cong 130Hz \quad (5.1)$$

- Tolerância dos componentes. Neste exemplo é utilizada a tolerância de 5%, que é um valor correntemente utilizado.

Para cada falta do universo de faltas, a ferramenta realiza 30 simulações Monte Carlo para obter os valores dos componentes não faltosos. O resultado do processamento levado a cabo pela ferramenta é um conjunto de arquivos de texto com os valores dos determinantes. Para

analisar estes arquivos é necessário utilizar uma folha de cálculo que produz os resultados da análise de testabilidade, com base na definição do limite de detecção dos determinantes. Este limite é determinado a partir da média e do desvio padrão dos determinantes obtidos nas 30 simulações Monte Carlo do circuito nominal (apresentados na tabela 5.7), por aplicação da equação 5.2, em que  $L_D$  representa o limite de detecção,  $\mu$  representa o valor médio dos determinantes,  $\sigma$  representa o desvio padrão do valor dos determinantes, e  $L$  representa o factor de ponderação do desvio padrão:

$$L_D = \mu + L \cdot \sigma \quad (5.2)$$

**Tabela 5.7: Média e desvio padrão dos determinantes para 30 simulações Monte Carlo do circuito nominal.**

Determinante	1	2	3
Média	424	248	352
Desvio Padrão	254	136	177

O gráfico da figura 5.10 apresenta os resultados de detecção obtidos para diversos valores de  $L$ . São apresentados os valores de detecção para os seguintes casos simulados: circuito nominal, falta em  $R_1$  ou  $R_2$  (não é possível distinguir entre uma falta em  $R_1$  e em  $R_2$ ), falta em  $C_3$ , e falta em  $C_4$ . É ainda apresentada a percentagem de detecção incorrecta de um circuito nominal, i. e., os casos em que é introduzida uma falta no circuito mas o resultado do método indica um circuito nominal (falso nominal).

Observando a figura 5.10 verifica-se que a detecção dos circuitos faltosos (falta em  $R_1$  ou  $R_2$ , falta em  $C_3$ , falta em  $C_4$ ) segue uma tendência inicialmente crescente com o aumento de  $L$ , até atingir o pico de detecção em que todos os casos simulados são correctamente identificados. A partir de valores de  $L$  superiores a 10, os resultados da detecção tendem a deteriorar-se, com o aparecimento de alguns casos de circuitos faltosos que não são detectados. Devido ao aumento dos limites de detecção, alguns casos de circuitos faltosos vão ser erradamente identificados como circuitos nominais (falsos nominais). Neste caso, conclui-se que o valor de  $L$  a utilizar deverá estar entre 5 e 10, de forma a maximizar a detecção das faltas consideradas.

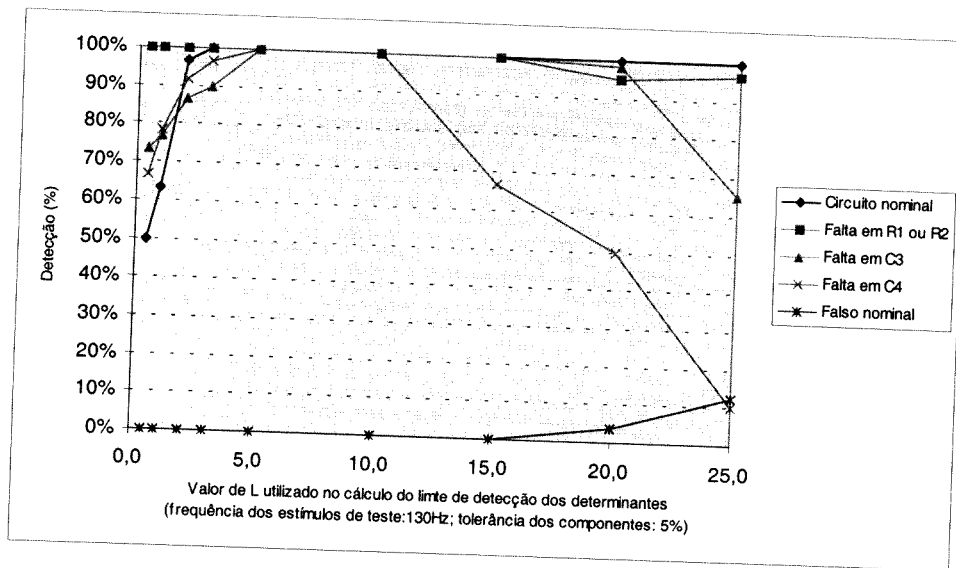


Figura 5.10: Variação da detecção das faltas no circuito da figura 5.9 para diferentes valores do factor de ponderação do desvio padrão ( $L$ ).

A frequência de teste utilizada (130Hz) resulta da aplicação da equação 5.1, com o objectivo de balancear as matrizes de teste. Para estudar a influência da frequência dos estímulos de teste na detecção de faltas, foram seleccionadas outras frequências: 50Hz, 250Hz e 500Hz. Os resultados obtidos estão indicados nas figuras 5.11, 5.12, e 5.13.

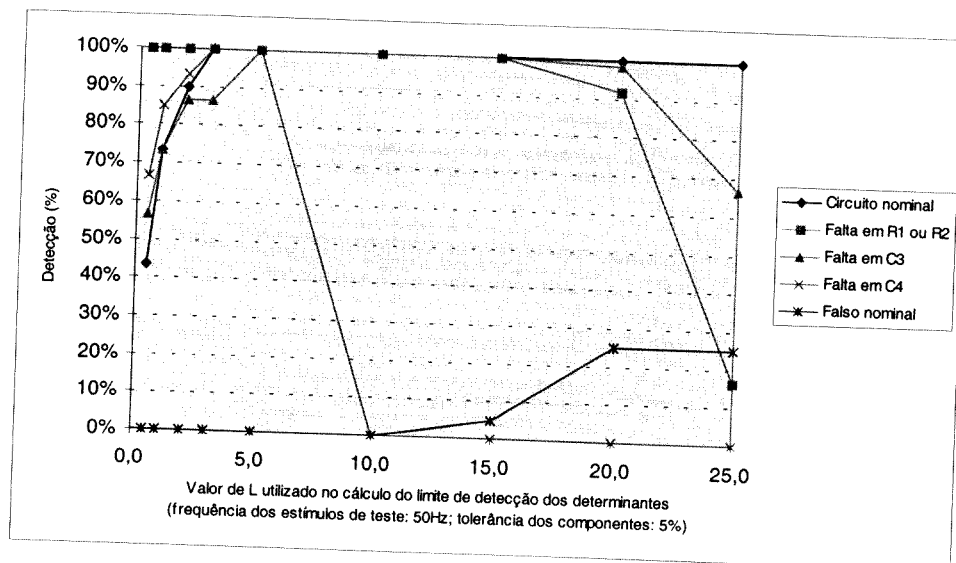


Figura 5.11: Variação da detecção das faltas no circuito da figura 5.9 para diferentes valores do factor de ponderação do desvio padrão ( $L$ ), e para a frequência de teste 50Hz.

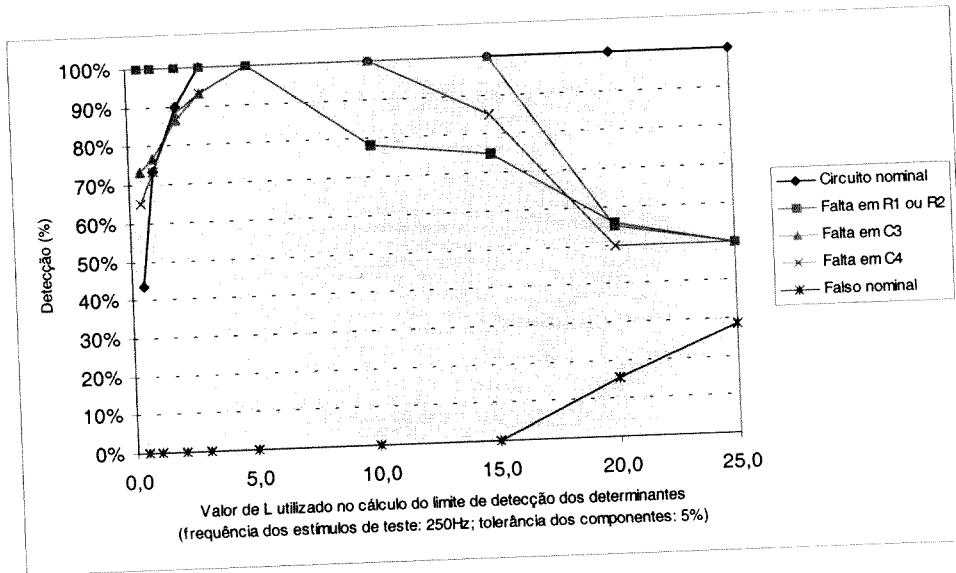


Figura 5.12: Variação da detecção das faltas no circuito da figura 5.9 para diferentes valores do factor de ponderação do desvio padrão ( $L$ ), e para a frequência de teste 250Hz.

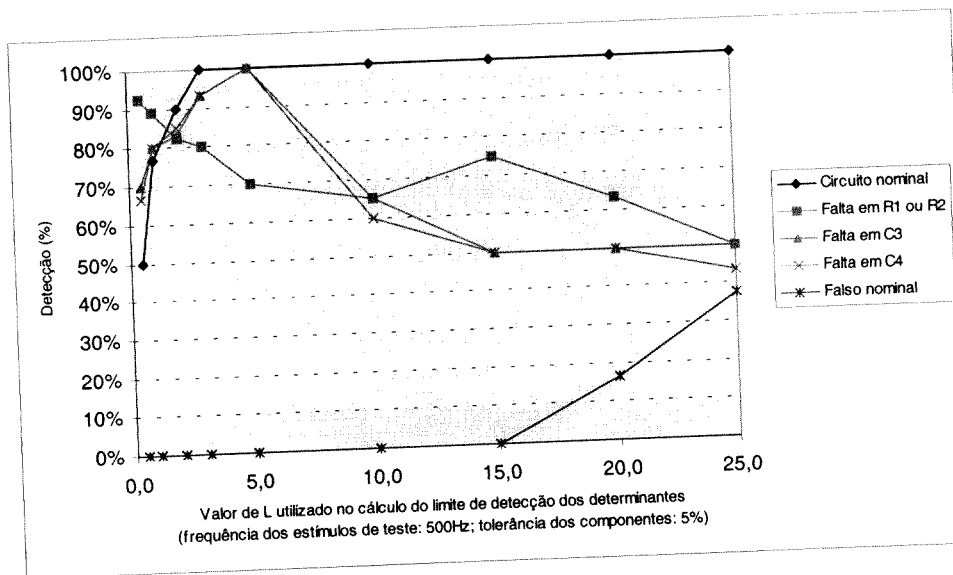


Figura 5.13: Variação da detecção das faltas no circuito da figura 5.9 para diferentes valores do factor de ponderação do desvio padrão ( $L$ ), e para a frequência de teste 500Hz.

Observando os gráficos de detecção, verifica-se que para as frequências de 50Hz (figura 5.11) e 250Hz (figura 5.12) ainda é possível obter valores de detecção de praticamente 100% quando se utilizam valores de  $L$  próximos de 5. Contudo, os valores de detecção são inferiores quando o valor de  $L$  se afasta de 5. No caso da utilização da frequência de 500Hz (figura 5.13), os resultados de detecção diminuem consideravelmente, não sendo já possível detectar todos os casos de faltas em R1 e R2.

A tolerância máxima admitida para os componentes nominais é outro dos factores que influenciam os resultados de detecção. As figuras 5.14 e 5.15 apresentam os resultados de detecção nos casos em que a tolerância máxima admissível é de 2% e 10%, respectivamente. Como seria de esperar, quando a tolerância admitida é menor a variação dos determinantes diminui, e os resultados de detecção melhoram substancialmente. O aumento da tolerância tem como consequência o aumento da variação dos valores dos determinantes, pelo que a detecção é mais difícil e menos exacta.

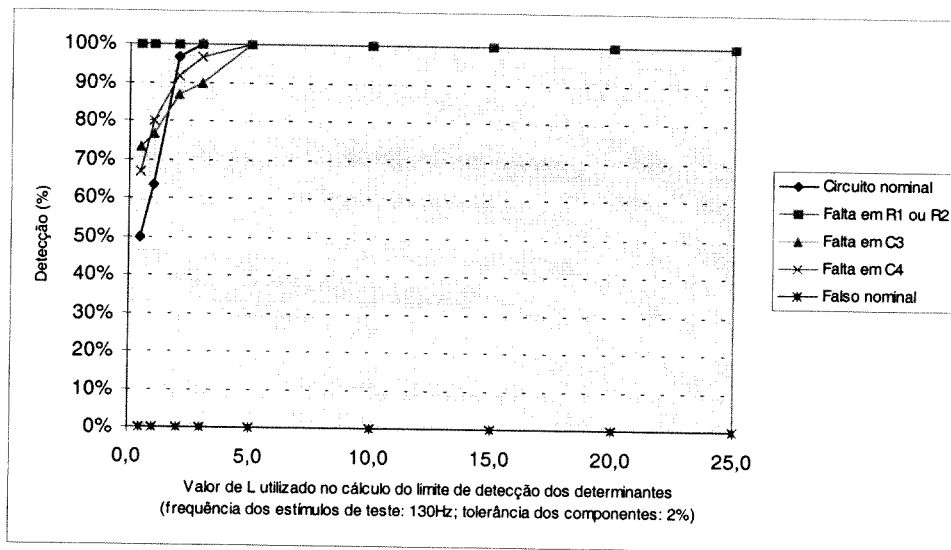


Figura 5.14: Variação da detecção das faltas no circuito da figura 5.9 para diferentes valores do factor de ponderação do desvio padrão ( $L$ ), e para uma tolerância de 2% para os valores dos componentes.

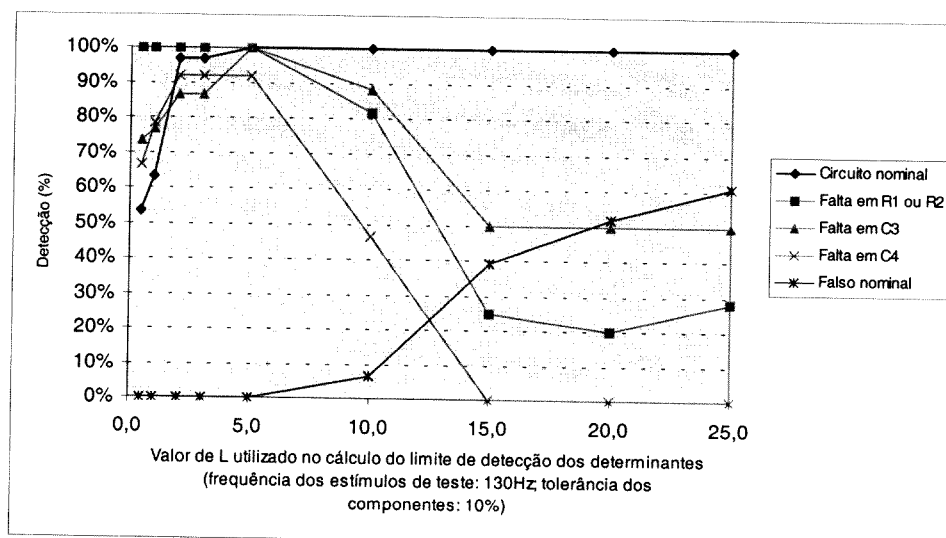


Figura 5.15: Variação da detecção das faltas no circuito da figura 5.9 para diferentes valores do factor de ponderação do desvio padrão ( $L$ ), e para uma tolerância de 10% para os valores dos componentes.



## 5.4 Exemplo da utilização integrada dos dois módulos da ferramenta

A figura 5.16 ilustra o desenho de uma hipotética CCI que é constituída por um circuito integrado (AMPOP), duas resistências e dois condensadores. Esta CCI implementa o filtro *Sallen-Key* (figura 5.17) já apresentado anteriormente. De forma a obter uma descrição correcta das faltas extraídas, o arquivo com a descrição do desenho da CCI deve incluir a informação sobre a designação das pistas e dos componentes que compõem a CCI. Desta forma, a ferramenta de extracção de faltas pode gerar um arquivo com a descrição em HSPICE das faltas extraídas.

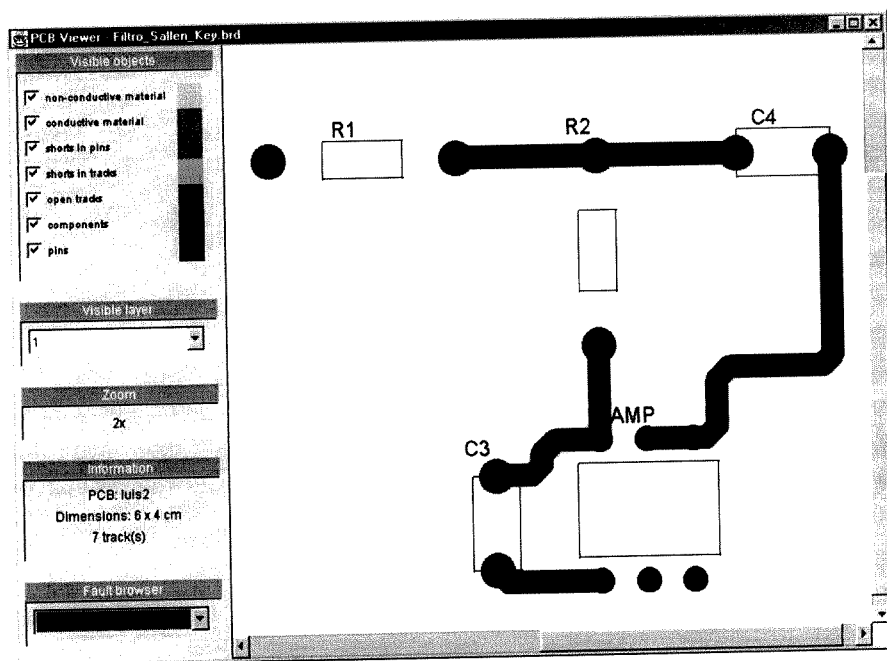


Figura 5.16: Desenho de uma hipotética CCI para implementar um filtro *Sallen-Key*.

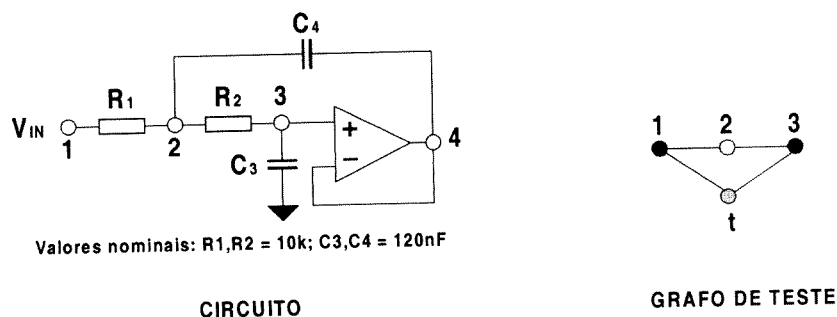


Figura 5.17: Filtro *Sallen-Key* e respectivo grafo de teste para os nós acessíveis {1, 3}.

Na figura 5.18 apresentam-se os parâmetros utilizados na realização da extracção de faltas, os quais caracterizam um possível processo de fabrico. Neste caso escolheu-se a extracção de faltas realistas, incluindo o cálculo da área crítica para curto-circuitos.

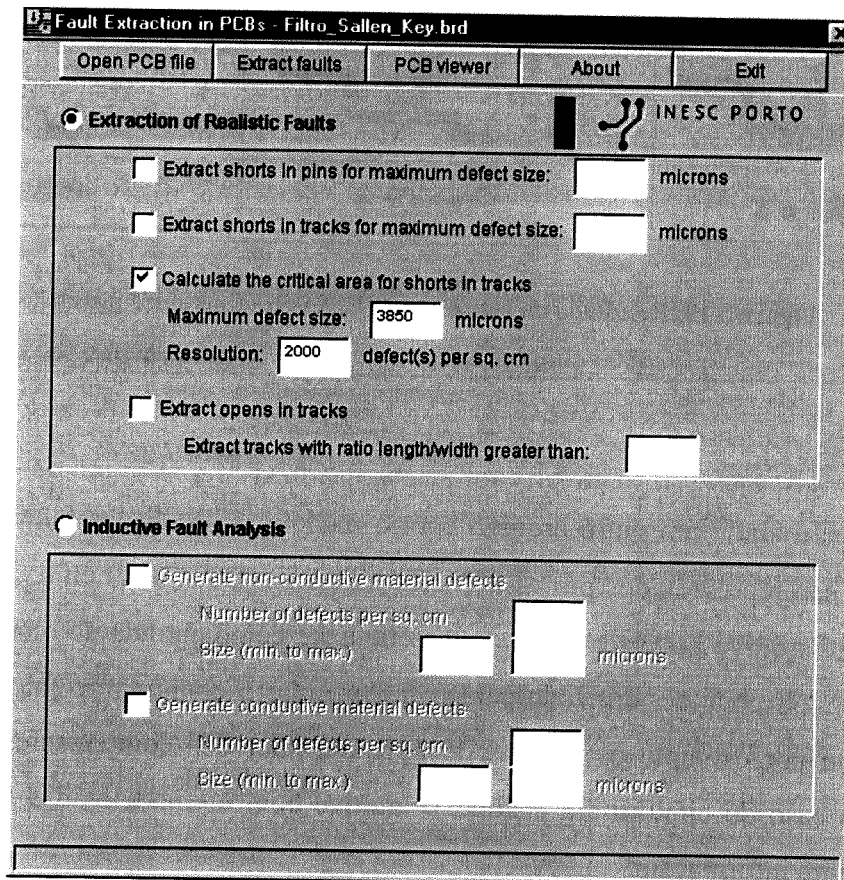


Figura 5.18: Opções inseridas no módulo de extracção de faltas.

A figura 5.19 representa as faltas extraídas e as respectivas áreas críticas. O resultado da extracção de faltas é escrito para um arquivo, com a identificação das pistas afectadas e do valor da área critica respectiva:

```
Report: faults extracted
-----
Fault           : Critical area
-----
Short in tracks 4 & 3 : 230
Short in tracks 2 & 4 : 27
Short in tracks 3 & 0 : 23
```

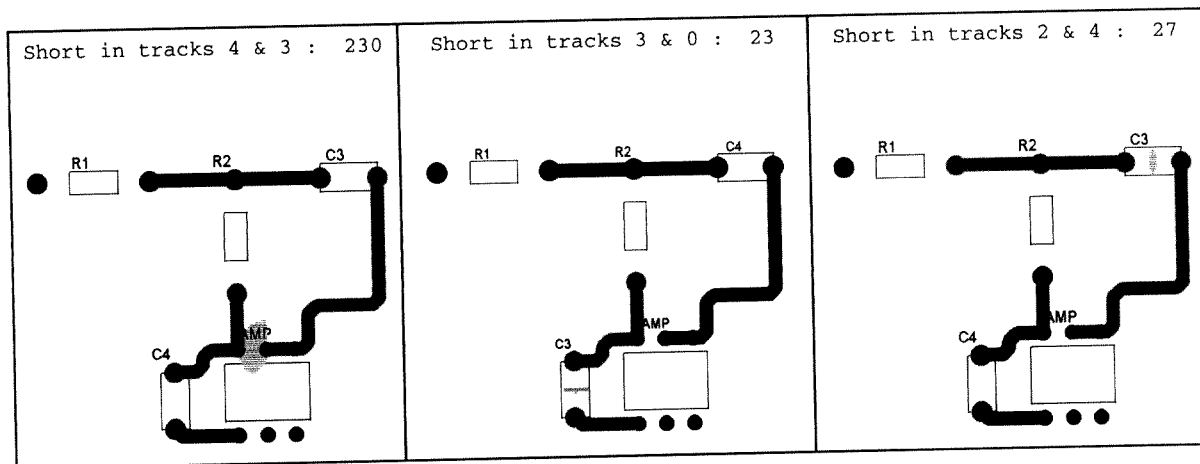


Figura 5.19: Resultado da extracção de curto-circuitos entre pistas.

A ferramenta gera ainda um outro arquivo com o modelo HSPICE das faltas extraídas. Os curto-circuitos são representados por resistências de baixo valor ( $10\Omega$ ) entre as pistas curto-circuitadas. Este arquivo pode ser utilizado directamente como entrada do módulo de análise de testabilidade, ou pode ser utilizado para complementar o conjunto de faltas previamente definidas, como por exemplo os desvios de 50% no valor dos componentes utilizados no capítulo 5. No caso do circuito em análise, o arquivo com os modelos das faltas extraídas contém a seguinte informação:

```
R4_3 4 3 10ohm
R2_4 2 4 10ohm
R3_0 3 0 10ohm
```

A figura 5.20 apresenta os resultados da simulação feita com a ferramenta de análise de testabilidade. Os curto-circuitos são facilmente detectados mesmo para valores pequenos de tolerâncias dos componentes, porque a sua presença implica uma variação extrema nas tensões observadas.

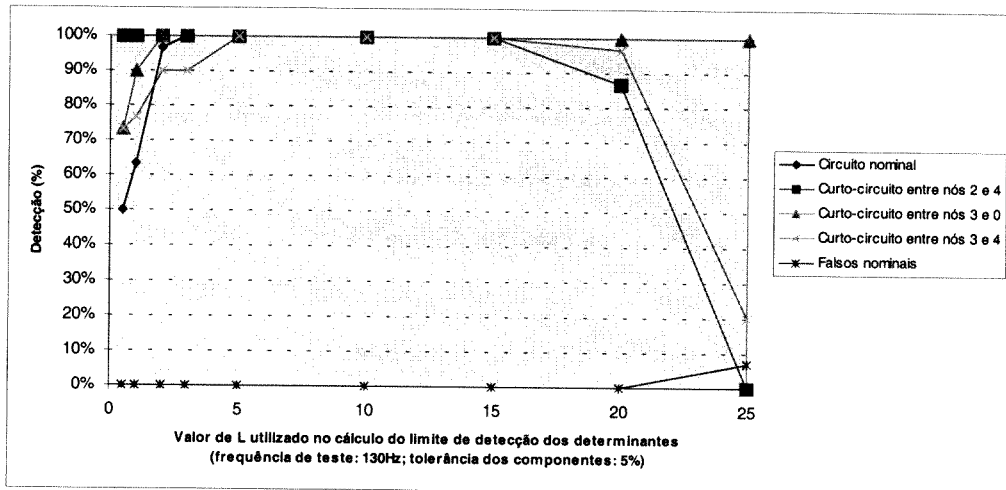


Figura 5.20: Variação da detecção das faltas para diferentes valores do factor de ponderação ( $L$ ).

## 5.5 Montagem experimental

De forma a avaliar a aplicação na prática da ferramenta, foi realizada uma montagem experimental do circuito da figura 5.17. Para aceder aos nós 1 e 3, para aplicação de correntes e medida das tensões, podem ser utilizados módulos ABMs (figura 5.21).

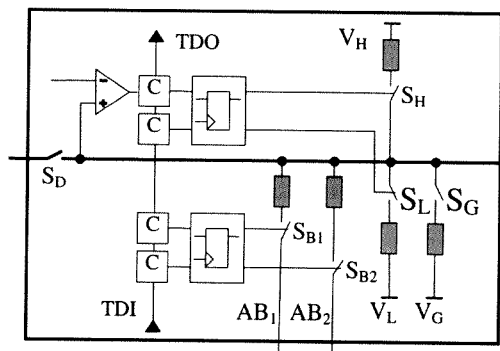


Figura 5.21: Arquitectura detalhada de um módulo ABM.

Os ABMs utilizados na montagem são disponibilizados pelo circuito integrado MNABST-1, desenvolvido pela Matsushita e pela Panasonic para servir de veículo de avaliação da infraestrutura IEEE 1149.4. A arquitectura deste CI protótipo é apresentada na figura 5.22. Existem quinze módulos analógicos (ABMs) e oito módulos digitais (DBM), que formam

uma cadeia *Boundary-Scan* controlada através dos sinais TMS, TCK, TDI, TDO e TRST, segundo o protocolo definido na norma IEEE 1149.1. As tensões  $V_H$ ,  $V_L$ ,  $V_{ref}$  e DC são definidas externamente para permitir a experimentação com diversos valores, e as suas funções foram definidas no capítulo 2.  $R_A$  e  $R_B$  são entradas digitais que permitem seleccionar o valor da resistência ( $100\Omega$ ,  $640\Omega$ ,  $1,4k\Omega$  ou  $6,4k\Omega$ ) dos interruptores SD, SB1, e SB2 existentes em cada ABM. Os interruptores  $S_H$  e  $S_L$ , também existentes em cada ABM, apresentam um valor da resistência de condução de  $6,4k\Omega$ .

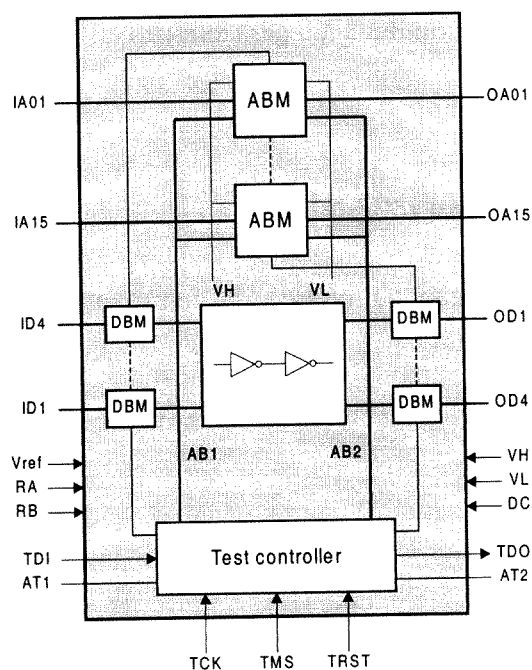
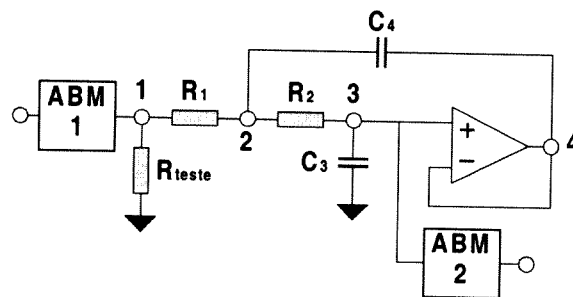


Figura 5.22: Arquitectura do circuito integrado MNABST-1.

A figura 5.23 apresenta o esquema de montagem do circuito. Para aplicar a análise de testabilidade de faltas em nós, o ABM2 não pode dispor de um interruptor  $S_D$  (o que é possível de acordo com a norma IEEE 1149.4[4]), caso contrário esse interruptor iria alterar a topologia do circuito nos instantes de aplicação de estímulos de teste e de captura de respostas. Como o CI protótipo não dispõe deste tipo de ABM, a disposição do ABM2 tem de ser a indicada na figura 5.23. Esta configuração apresenta a vantagem de não inserir interruptores em série com o percurso de sinal, minimizando assim o efeito perturbador que a presença de módulos ABMs pode implicar.

A resistência  $R_{\text{teste}}$  apenas é utilizada de forma a providenciar um percurso até à massa para a componente DC dos estímulos aplicados. De acordo com a figura 5.21, o módulo ABM possui um interruptor ( $S_L$ ) que liga o pino à massa, e que pode ser ligado enquanto se aplicam os estímulos e se capturam as respostas, pelo que a resistência  $R_{\text{teste}}$  poderia eventualmente ser dispensada. Infelizmente, o valor da resistência de condução do interruptor  $S_L$  varia, no caso deste CI protótipo, com a corrente que o atravessa, introduzindo desvios nas medições que afectam os resultados obtidos. Por esta razão, a resistência  $R_{\text{teste}}$  foi de facto adicionada ao circuito para efectuar o teste.



Valores nominais:  $R_1, R_2 = 10k$ ;  $C_3, C_4 = 120nF$

Figura 5.23: Configuração do circuito experimental. Os nós 1 e 3 estão acessíveis através de dois ABMs.

### 5.5.1 Controlador IEEE 1149.x

O controlo da infra-estrutura de teste é realizado através de uma carta de expansão para PC [51] que implementa um controlador IEEE 1149.x num CI com lógica reconfigurável (*Field Programmable Gate Array* – FPGA). Esta carta (figura 5.24) permite controlar a infra-estrutura BST existente no circuito integrado MNABST-1, por forma a aplicar os estímulos e a capturar as respostas.

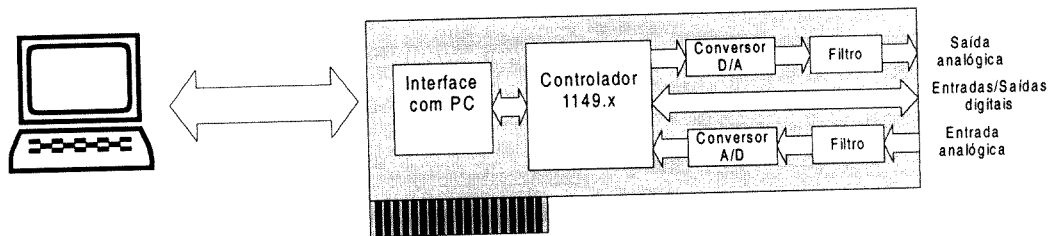


Figura 5.24: Carta de expansão para PC utilizada para controlar a infra-estrutura IEEE 1149.4.

### 5.5.2 Resultados obtidos

Os resultados foram obtidos através da substituição de elementos nominais por outros de diferente valor, de forma a introduzir faltas no circuito. Os casos seleccionados estão assinalados na tabela 5.8. Os limites de detecção dos determinantes (tabela 5.9) foram determinados a partir dos resultados de 30 simulações do circuito nominal, para uma frequência de teste de 130Hz, e para uma tolerância de 5% dos valores dos componentes nominais. Na tabela 5.10 encontram-se os resultados do diagnóstico. No primeiro caso, os determinantes encontram-se todos abaixo do limite de detecção, identificando assim um circuito nominal. No segundo caso, apenas o determinante associado ao pino 3 se encontra abaixo do limite de detecção, o que indica que o componente  $C_3$  está faltoso. No terceiro caso, o determinante 2 é o único abaixo do limite de detecção, logo o componente  $C_4$  está faltoso. Nas dois últimos casos, todos os determinantes estão acima dos limites de detecção, pelo que o circuito apresenta uma falta num dos restantes elementos ( $R_1$  ou  $R_2$ ).

Tabela 5.8: Casos utilizados na montagem experimental.

Circuito	$R_1$	$R_2$	$C_3$	$C_4$
Nominal	10k	10k	120n	120n
Circuito faltoso 1	10k	10k	<b>180n</b>	120n
Circuito faltoso 2	10k	10k	120n	<b>60n</b>
Circuito faltoso 3	<b>5k</b>	10k	120n	120n
Circuito faltoso 4	10k	<b>15k</b>	120n	120n

Tabela 5.9: Limites de detecção dos determinantes.

Determinante	1	2	3
Limite de detecção	5	13	36

Tabela 5.10: Resultados do diagnóstico.

Falta inserida	Determinante 1	Determinante 2	Determinante 3	Diagnóstico
Nenhuma	2,5	1,2	5,5	Circuito nominal
$C_3=180n$	23,6	17,1	28,6	Falta em $C_3$
$C_4=60n$	14,8	12,4	50,0	Falta em $C_4$
$R_1=5k$	39,6	29,3	50,0	Falta em $R_1$ ou $R_2$
$R_2=15k$	19,5	15,2	36,8	Falta em $R_1$ ou $R_2$

## 5.6 Resumo do capítulo

Neste capítulo foi apresentada a ferramenta para análise de testabilidade, a qual implementa o método de análise de testabilidade de faltas em nós. Este método encontra-se bem adaptado à infra-estrutura IEEE 1149.4, e inclui procedimentos para a avaliação da testabilidade de um circuito, projecto de um circuito testável, localização de faltas em nós, e diagnóstico de faltas em ramos. Contudo, o método não contempla o efeito das tolerância nos componentes não faltosos, pelo que neste capítulo é proposta uma extensão do método para solucionar esse problema.

A ferramenta de análise de testabilidade segue uma estrutura um pouco mais rígida do que a ferramenta de extracção de faltas em CCIs, devido à necessidade de direccionar a arquitectura da ferramenta para a automatização das operações mais complexas associadas à aplicação da análise de testabilidade de faltas em nós. A identificação destas operações permitiu o estabelecimento de uma arquitectura da ferramenta adequada.

Os resultados obtidos pela aplicação da ferramenta demonstram a validade da extensão do método proposto para incluir o efeito das tolerâncias nos componentes não faltosos. A frequência dos estímulos de teste e a tolerância máximo admissível para os componentes são



dois factores que condicionam a eficácia da ferramenta, devido ao impacto no cálculo dos determinantes. É proposta uma regra de escolha da frequência de teste de modo a que o módulo das reactâncias seja semelhante ao valor das resistências, por forma a que as matrizes de teste estejam o mais balanceadas possível. Embora as tarefas mais complexas tenham sido objecto de automatização, existem ainda algumas funcionalidades que exigem a inserção manual de parâmetros, tais como: configuração dos estímulos de teste (amplitude e frequência) e escolha da regra de definição do limite de detecção dos determinantes.

A integração dos dois módulos da ferramenta de planeamento e análise de testabilidade requer a introdução, a nível da descrição do desenho da CCI, da designação de pistas e componentes, de forma a que as faltas extraídas possam ser directamente utilizadas pelo módulo de análise de testabilidade. Foi apresentado um exemplo de uma hipotética CCI, tendo sido realizada a extracção das faltas mais prováveis, as quais foram utilizadas como entrada pelo módulo de análise de testabilidade.

A montagem experimental envolveu a utilização de um CI projectado para avaliação da infraestrutura IEEE 1149.4, e que disponibiliza diversos módulos ABM. O controlo da infraestrutura de teste foi efectuado através de uma carta de expansão para PC com um controlador IEEE 1149.x. A utilização da testabilidade de faltas em nós implica a introdução dos ABMs de forma a não alterarem a topologia do circuito quando se aplicam estímulos e se capturam as respostas, o que permite afastar os interruptores do percurso de sinal, minimizando assim o efeito perturbador que a presença de módulos ABMs pode implicar. A substituição de componentes nominais por outros de diferente valor permitiu comprovar a detecção das faltas introduzidas.

## Capítulo 6

# Conclusão e perspectivas de evolução

A evolução dos sistemas electrónicos, e dos produtos em geral com forte componente electrónica, tem seguido uma tendência caracterizada pelo aumento das funcionalidade e do desempenho, pelo aumento da qualidade e da fiabilidade, e pela redução das dimensões, do consumo energético e do preço. Os domínios de aplicação mais recentes, como as comunicações móveis, os sistemas multimédia, e os sistemas de navegação, trouxeram um novo impulso decisivo para a expansão da Microelectrónica, e simultaneamente vieram renovar o interesse e a importância dos circuitos analógicos.

O crescimento da indústria de fabrico de CIs digitais tem sido acompanhado na sua evolução pelo desenvolvimento de metodologias de teste capazes de responder às exigências de melhor qualidade e menor custo de fabrico. No entanto, a tendência para a integração de componentes de naturezas diferentes (analógicos e digitais) num mesmo circuito integrado ou carta de circuito impresso coloca novos problemas de testabilidade, devido às restrições em termos da acessibilidade aos blocos analógicos.

### 6.1 Contributos do trabalho desenvolvido

No capítulo 2 foi apresentada uma panorâmica das tecnologias actualmente empregues no fabrico de circuitos integrados e de cartas de circuito impresso. A tendência aponta para o desaparecimento gradual dos componentes de inserção em furo, e para a vulgarização a médio prazo dos encapsulamentos mais compactos e com melhor aproveitamento de área. A evolução das tecnologias envolvidas no fabrico de CIs e CCIIs implica uma alteração nos

mecanismos responsáveis pela ocorrência de defeitos no processo de fabrico de CCI's. Ao longo da cadeia de fabrico de CCI's são realizados inúmeros testes às características físicas e eléctricas dos circuitos, para evitar os custos associados à propagação de circuitos defeituosos para as etapas seguintes da cadeia de fabrico.

Existem dois métodos de acesso à CCI para efectuar o teste. O acesso mecânico é feito por intermédio de testadores com pontas de prova em forma de matriz de agulhas, que entram em contacto directo com a CCI. No entanto, o aumento da densidade de circuitos e as mais recentes tecnologias de encapsulamento de CIs restringem fortemente a acessibilidade, e podem tornar impraticável o acesso mecânico. O acesso electrónico a nós internos da CCI com componentes digitais é proporcionado pela utilização de uma infra-estrutura de teste normalizada conhecida por *Boundary-Scan* (IEEE 1149.1). Em Junho de 1999 foi aprovada uma extensão desta norma que define um conjunto de blocos adicionais que proporcionam o acesso electrónico aos nós analógicos da CCI, para realizar testes de interligações, para medir componentes externos passivos, e para o teste do núcleo dos CIs analógicos.

O capítulo 3 apresentou uma metodologia de análise e planeamento da testabilidade de CCI's com circuitos analógicos e mistos, com base nos últimos desenvolvimentos em termos de infra-estruturas normalizadas de teste, e que procura responder aos desafios em termos de testabilidade colocadas pelas mais modernas tecnologias de implementação de CCI's. A metodologia proposta é constituída por dois módulos principais que realizam o tratamento de informação a nível do circuito eléctrico e a nível do desenho da CCI. Após a análise de diversos métodos candidatos para realizar as operações identificadas, foi estabelecida a arquitectura para uma ferramenta computacional, que implementa os métodos identificados como os mais adequados.

O módulo de tratamento da informação a nível do desenho da CCI, apresentado no capítulo 4, implementa os algoritmos de extracção de faltas realistas e de análise indutiva de faltas. A extracção de faltas realistas utiliza a informação geométrica da CCI para calcular distâncias mínimas entre os elementos da CCI, extraindo faltas quando essas distâncias são inferiores a um valor especificado de acordo com a tecnologia em questão.

O cálculo de áreas críticas permite classificar de forma mais rigorosa a probabilidade de ocorrência das faltas extraídas, e proporciona uma indicação das zonas em que a ocorrência de um defeito tem como consequência uma falta. A análise indutiva de faltas utiliza as informações estatísticas de ocorrência de defeitos para o processo de fabrico em questão, para simular o efeito da introdução desses defeitos sobre a superfície da CCI. Este método exige uma boa caracterização dos defeitos ocorridos no processo de fabrico de forma a que as faltas extraídas cubram a maioria dos defeitos ocorridos no processo de fabrico. O módulo de extracção de faltas em CCIs foi demonstrado sob a forma de uma ferramenta autónoma no *University Booth* da conferência DATE 2000 – *Design, Automation and Test in Europe*. Este trabalho foi também apresentado no ETW 2000 – *IEEE European Test Workshop*, sob a forma de um *poster*.

No capítulo 5 foi apresentado o módulo de análise de testabilidade, que implementa o método de análise de testabilidade de faltas em nós. Este método encontra-se bem adaptado à infraestrutura IEEE 1149.4, e inclui procedimentos que facilitam o projecto para a testabilidade, a avaliação dessa testabilidade, a localização de faltas em nós, e o diagnóstico de faltas em ramos. Contudo, este método, tal como apresentado na forma original, não contempla o efeito das tolerâncias nos componentes não faltosos. Neste capítulo foi proposta uma extensão do método para lidar com o problema das tolerâncias, com o cálculo de um limite de detecção dos determinantes, baseado na média e no desvio padrão dos determinantes obtidos por simulação dos desvios nos valores dos componentes em torno dos valores nominais.

Os resultados das simulações revelam que a frequência dos estímulos de teste, e a tolerância máxima admissível, são dois factores que condicionam a eficácia do método. É proposta uma regra de cálculo da frequência de teste, de modo a que o módulo das reactâncias seja semelhante ao valor das resistências, o que permite maximizar o balanceamento das matrizes de teste. Os resultados das simulações indicam uma degradação substancial dos resultados quando a frequência de teste se afasta do valor calculado segunda a regra atrás enunciada. O aumento da tolerância admitida para os componentes nominais causa, como seria previsível, uma degradação dos valores de detecção das faltas. Os resultados obtidos com a metodologia utilizada no módulo de análise de testabilidade foram apresentados em artigos [52-54].

A integração dos módulos que compõe a ferramenta foi objecto de análise, sendo apresentado um exemplo da utilização dos dois módulos a partir de uma hipotética CCI. Neste capítulo foi ainda apresentada uma montagem de um circuito, utilizando um CI de teste que disponibiliza os módulos ABM definidos na norma IEEE 1149.4, e uma carta de expansão para PC com um controlador IEEE 1149.x. Os resultados de diagnóstico para os casos apresentados confirmam os resultados obtidos por simulação. A disposição dos ABMs no circuito, para aplicação de estímulos e captura de respostas, permite que o caminho do sinal não atravesse qualquer interruptor, minimizando assim as perturbações associadas à utilização da infra-estrutura IEEE 1149.4.

## 6.2 Perspectivas de desenvolvimento futuro

A ferramenta desenvolvida permitiu demonstrar a viabilidade e a utilidade de uma ferramenta que integra a informação de testabilidade disponível a dois níveis: a nível do desenho da CCI e dos defeitos ocorridos no seu fabrico, e a nível do circuito eléctrico e dos requisitos de acesso a nós internos da CCI.

O módulo de extracção de faltas em CCI apresenta uma estrutura flexível que permite facilmente estender as capacidades actuais, através da incorporação de novos algoritmos, ou refinamento dos actuais. O principal aspecto a evoluir prende-se com a caracterização estatística dos defeitos ocorridos no processo de fabrico. De facto, os resultados obtidos pelo algoritmo de análise indutiva de faltas dependem directamente do detalhe e da exactidão com que são modelados os defeitos de fabrico mais comuns, o que poderá acarretar a necessidade de evoluir a interface de entrada dos parâmetros característicos de determinado processo de fabrico.

O módulo de análise de testabilidade implementa o algoritmo de análise de faltas em nós, e por isso apresenta uma estrutura mais rígida e adaptada à implementação deste algoritmo em particular. Devido à diversidade dos circuitos analógicos, não existe um método que seja universalmente aplicável a todos os tipos de circuitos. Seria interessante estabelecer um conjunto de tipos de circuitos e respectivos métodos aplicáveis, de forma a permitir uma escolha dos algoritmos mais adequados a cada caso concreto. No caso do método

implementado para demonstrar o funcionamento da análise de testabilidade, resta ainda algum trabalho que poderia ser feito ao nível da automatização das tarefas que ainda necessitam de intervenção do utilizador, como por exemplo o cálculo e a análise do grafo de teste. A outro nível, o processamento realizado ao nível da folha de cálculo poderá eventualmente ser integrado na lista de comandos utilizados nas chamadas ao Matlab, com a vantagem de centralizar a intervenção do utilizador unicamente na interface disponibilizada pela ferramenta.

Finalmente, a ferramenta foi desenvolvida numa linguagem (Java) independente da plataforma, pelo que pode ser facilmente integrada com outras ferramentas, como por exemplo ferramentas de geração automática de vectores de teste e de controlo da cadeia *Boundary-Scan*.



# Referências

- [1] *The International Technology Roadmap for Semiconductors: 1999*, Semiconductor Industry Association, 1999.
- [2] R. Bordwell and V. Goyal, "Packaging Challenges Present New Paradigm of Assembly and Test", *Advanced Packaging*, pp.34-38, Março 1999.
- [3] J. Hwang, "What Can We Expect in 2000?", *SMT Magazine*, pp.20-23, Fevereiro 2000.
- [4] "IEEE Standard for a Mixed-Signal Test Bus", IEEE Std. 1149.4-1999, June 1999.
- [5] J. Clyde F. Coombs, *Printed Circuits Handbook*, McGraw-Hill, fourth edition, 1995.
- [6] *Status of the Technology, Industry Activities and Action Plan*, Surface Mount Council, August 1999.
- [7] S. Berry e S. Winkler, "IC Packaging Foundries Can Look Forward to Solid Growth", *ChipScale Review – Electronic Trends*, July – August 2000.
- [8] J. da Silva, "Defeitos em cartas de circuito impresso", relatório interno do projecto AUTCAM, INESC Norte, Outubro de 1997.
- [9] B. Johnson, "Boundary-Scan eases test of new technologies", *Test & Measurement Europe*, pp.25-30, Outumn, 1993.
- [10] K. MacLean, "Design for Test", *SMT's back to basics – special supplement to SMT*, pp.8-11, July 1998.
- [11] M.Renovell, F.Azais e Y.Bertrand, "A DFT Technique to Fully Access Embedded Modules in Analog Circuits Under Test", *International Mixed-Signal Testing Workshop Proceedings*, pp.172-177, 1995.
- [12] D. Vázquez, A. Rueda e J. Huertas, "A DFT Methodology for Fault Diagnosis in Active Analog Filters", *International Mixed-Signal Testing Workshop Proceedings*, pp.124-129, 1995.
- [13] "IEEE Standard Test Access Port and Boundary-Scan Architecture", IEEE Std. 1149.1-1990, February 1990.



- [14] K. Parker, J. McDermid e S. Oresjo, "Structure and Metrology for an Analog Testability Bus", *International Test Conference Proceedings*, pp.309-322, 1993.
- [15] J. Silva e J. Matos, "Parametric Testing of Passive Components Using Power Supply Current Monitoring", *Design of Circuits and Integrated Circuits Proceedings*, pp.119-123, 1996.
- [16] Y. Lu, W. Mao, R. Dandapani e R. Gulati, "Structure and Metrology for a Single-wire Analog Testability Bus", *International Test Conference Proceedings*, pp.919-928, 1994.
- [17] E. Peralías, A. Rueda, J. Huertas, "On-Line Testing of Integrated Pipelined A/D Converters", *2nd IEEE International Mixed Signal Testing Workshop Proceedings*, pp.253-258, 1996.
- [18] K. Arabi, B. Kaminska, "Oscillation Built-In Self Test (OBIST) Scheme for Functional and Structural Testing of Analog and Mixed-Signal Integrated Circuits", *International Test Conference Proceedings*, pp.786-795, 1997.
- [19] M. Zarnik, F. Novak e S. Macek, "Design of Oscillation-Based Test Structures for Active RC Filters", *European Design and Test Conference Proceedings*, p.618, 1997.
- [20] J. Teixeira, I. Teixeira, C. Almeida, E. Gonçalves and J. Gonçalves, "A Methodology for Testability Enhancement at Layout Level", *Journal of Electronic Testing: Theory and Applications I*, 1991, pp.287-299.
- [21] J. de Sousa e P. Cheung, "Diagnosis of boards for realistic interconnect shorts", *Journal of Electronic Testing: Theory and Applications II*, pp.157-171, 1997.
- [22] P. Maxwell, R. Aitken e L. Huisman, "The effect on quality of non-uniform fault coverage and fault probability", *International Test Conference Proceedings*, pp.739-746, 1994.
- [23] L. Milor, "Yield modeling based on in-line scanner defect sizing and a circuit's critical area", *IEEE Transactions on Semiconductor Manufacturing*, vol. 12, no. 1, pp.26-35, Fevereiro 1999.
- [24] I. Koren e Z. Koren, "Defect Tolerance in VLSI Circuits: Techniques and Yield Analysis", *Proceedings of the IEEE*, vol. 86, no. 9, pp.1819-1836, Setembro 1998.
- [25] Y. Bourai e C.-J. Shi, "Layout Compaction for Yield Optimization via Critical Area Minimization", *Design, Automation and Test in Europe Proceedings*, pp.122-125, 2000.
- [26] J. Gyvez e J. Jess, "On the Definition of Critical Areas for IC Photolithographic Spot Defects", *European Test Conference*, pp.152-158, 1989.
- [27] B. Atzema e T. Zwemstra, "Exploit analog IFA to improve specification based tests", *European Design and Test Conference Proceedings*, pp.542-546, 1996.
- [28] R. Harvey, A. Richardson e H. Kerkhoff, "Defect Oriented Test Development Based on Inductive Fault Analysis", *International Mixed-Signal Testing Workshop Proceedings*, pp.2-9, 1995.
- [29] M. Sachdev e B. Atzema, "Industrial Relevance of Analog IFA: A Fact or a Fiction", *International Test Conference Proceedings*, pp.61-70, 1995.

- 
- [30] F. Ferguson e J. Shen, "Extraction and Simulation of Realistic CMOS Faults using Inductive Fault Analysis", *International Test Conference Proceedings*, pp.475-484, 1988.
- [31] J. Shen, W. Maly e F. Ferguson, "Inductive Fault Analysis of MOS Integrated Circuits", *IEEE Design and Test*, pp.13-26, 1985.
- [32] F. Corsi, C. Morandi, "Inductive fault analysis revisited", *IEE Proceeding-G*, Vol. 138, No.2, pp.253-263, Abril 1991.
- [33] A. Balivada, J. Chen e J. Abraham, "Efficient Testing of Linear Analog Circuits", *International Mixed-Signal Testing Workshop Proceedings*, pp.66-71, 1995.
- [34] N. Hamida e B. Kaminska, "Analog Circuit Testing Based on Sensitivity Computation and New Circuit Modeling", *Proc. International Test Conference*, pp.652-661, 1993.
- [35] M. Slamani e B. Kaminska, "Multifrequency Testability Analysis for Analog Circuits", *Proc. 12th VLSI Test Symposium*, pp.54-59, 1994.
- [36] T. Wei, M. Wong, Y. Lee, "Analog Element-Level Fault Diagnosis Based on Large Change Sensitivity Computation in the Frequency Domain", *Proc. International Mixed-Signal Testing Workshop*, pp.35-44, 1996.
- [37] M. Renovell, F. Azais e Y. Bertrand, "Optimized Implementations of the Multi-Configuration DFT Technique for Analog Circuits", *Proc. Design, Automation and Test in Europe*, pp.815-821, 1998.
- [38] N. Hamida, K. Saab, D. Marche, B. Kaminska e G. Quesnel, "LIMSoft: Automated Tool for Design and Test Integration of Analog Circuits", *Proc. International Test Conference*, pp.571-580, 1996.
- [39] M. Soma, "Automatic Test Generation Algorithms for Analogue Circuits", *IEE Proc. Circuits, Devices and Systems*, Vol. 143, No. 6, pp.366-373, 1996.
- [40] J. Bandler e A. Salama, "Fault Diagnosis of Analog Circuits", *Proc. IEEE*, vol 73, pp.1279-1325, 1985.
- [41] J. Augusto e C. Almeida, "Automatic Fault Dictionary Construction and Test Node Selection for Analogue and Mixed Fault Diagnosis with DC Measurements", *Proc. International Mixed-Signal Testing Workshop*, pp.15-20, 1995.
- [42] Z. Huang, C.-S. Lin e R.-W. Liu, "Node-Fault Diagnosis and a Design of Testability", *IEEE Trans. Circuits and Systems*, vol. CAS-30, pp.257-265, 1983.
- [43] J.-L.Huang e K.-T. Cheng, "Analog Fault Diagnosis for Unpowered Circuit Boards", *Proc. International Mixed Signal Testing Workshop*, pp.15-24, 1997.
- [44] Harry Mcintosh, *Talk Java to me*, Waite Group Press, 1996.
- [45] Martin Fowler e Kendall Scott, *UML Distilled*, Addison-Wesley, 1997.
- [46] <http://www.orcad.com>
- [47] Thomas Nau, *Pcb-an interactive printed circuit board layout system for x11*, software release 1.6.3, 1998.

- [48] <http://www.avanticorp.com>
- [49] <http://www.mathworks.com>
- [50] R. Spence e R. Soin, *Tolerance Design of Electronic Circuits*, Electronic Systems Engineering Series, Addison-Wesley, 1988.
- [51] C. Albuquerque, J. Duarte e L. Laranjeira, “PC-Based Reconfigurable Test System for Analogue and Mixed-Signal Circuits”, Poster session, IEEE ICECS’98 – *International Conference on Electronics, Circuits and Systems*, Setembro de 1998.
- [52] L. Laranjeira, J. da Silva e J. Matos, “Test Node Selection and Fault Diagnosis in an IEEE 1149.4 Environment”, Proc. DCIS’99 – *XIV Design of Circuits and Integrated Systems Conference*, pp.665-670, Novembro de 1999.
- [53] J. da Silva, L. Laranjeira e J. Matos, “A Method for Testing Analog Clusters Using IEEE P1149.4”, IMSTW’99 - *5th IEEE International Mixed Signal Testing Workshop*, pp.125-130, Junho de 1999.
- [54] L. Laranjeira, J. da Silva e J. Matos, “A Method for Testing Analogue and Mixed-Signal Clusters Using IEEE P1149.4”, Proc DCIS’98 – *XIII Design of Circuits and Integrated Systems Conference*, pp.432-437, Novembro de 1998

# Apêndice A

## Programas que implementam os algoritmos de extracção de faltas realistas

### A.1 Extracção de faltas em pinos

```
public void ExtrairFaltasEmPinos(int tolerancia){
    CurtoCircuitoPinos falta;
    Linha linha;
    int nr_pinos= this.pcb.getPinos().size();
    int indice1;
    int indice2;
    Pino pino1;
    Pino pino2;

    System.out.print("Extracting Shorts in Pins... ");
    Date date = new Date();
    long instante0= date.getTime();

    for( indice1=0; indice1<nr_pinos; indice1++){
        pino1= (Pino) pcb.getPinos().elementAt(indice1);
        for( indice2=indice1+1; indice2<nr_pinos; indice2++){
            pino2= (Pino) pcb.getPinos().elementAt(indice2);
            if( pino1.getPista()==pino2.getPista() ){
                continue;
            }
            if(CalculosGeometricos.DistanciaPinoPino(pino1,pino2)
                .getComprimento()<tolerancia ){
                falta= new CurtoCircuitoPinos(pino1,pino2);
                this.pcb.getFaltas_em_pinos().addElement(falta);
            }
        }
    }

    date = new Date();
    long instantel= date.getTime();
    System.out.print(this.pcb.getFaltas_em_pinos().size());
    System.out.print(" shorts. (");
    System.out.print(((instantel-instante0)/1000.0));
    System.out.println(" secs.)");
}
```

## A.2 Extracção de faltas em pistas

```

public void ExtrairFaltasEmPistas(Camada camada, int tolerancia){
    CurtoCircuitoPistas falta;
    Linha linha;
    int nr_pistas= camada.getPistas().size();
    int indice1;
    int indice2;
    Pista pista1;
    Pista pista2;
    String progresso = new String("");
    int passo = 0;
    int nr_passos = nr_pistas*nr_pistas/2;

    System.out.print("Extracting Shorts in Tracks... ");
    Date date = new Date();
    long instante0= date.getTime();

    for( indice1=0; indice1<nr_pistas; indice1++){
        //calcular percentagem de trabalho concluido
        for(int i=1; i<=progresso.length(); i++){
            System.out.print("\b");
        }
        progresso = String.valueOf(100*passo/nr_passos)+"%";
        System.out.print(progresso);

        pista1= (Pista) camada.getPistas().elementAt(indice1);
        for( indice2=indice1+1; indice2<nr_pistas; indice2++){
            passo++;
            pista2= (Pista) camada.getPistas().elementAt(indice2);

            //melhoria x2.1 com BB: inicio...
            if( CalculosGeometricos.DistanciaBBPistaPista(pista1,pista2)
                >tolerancia ){
                continue;
            }
            //...fim

            linha= CalculosGeometricos.DistanciaPistaPista(pista1, pista2);
            if( linha.getComprimento()>0 &&
                linha.getComprimento()<tolerancia ){
                area_critica= this.AreaCritica(pista1,pista2,tolerancia);
                falta=new CurtoCircuitoPistas(pista1,pista2,linha);
                this.pcb.getFaltas_em_pistas().addElement(falta);
            }
        }
    }

    date = new Date();
    long instante1= date.getTime();
    System.out.print("\b\b\b\b\b");
    System.out.print(this.pcb.getFaltas_em_pistas().size());
    System.out.print(" shorts. (");
    System.out.print(((instante1-instante0)/1000.0));
    System.out.println(" secs.)");
}

```

## A.3 Extração de pistas interrompidas

```
public void ExtrairPistasInterrompidas(Camada camada, int tolerancia){
    int indice_pista;
    Pista pista;

    System.out.print("Extracting Opens in Tracks... ");
    Date date = new Date();
    long instante0= date.getTime();

    for( indice_pista=0; indice_pista<camada.getPistas().size(); indice_pista++){
        pista= (Pista) camada.getPistas().elementAt(indice_pista);
        if( pista.getComprimento()/pista.getEspessura_media()>tolerancia ){
            this.pcb.getPistas_interrompidas()
                .addElement( new CircuitoAbertoPista(pista) );
        }
    }

    date = new Date();
    long instante1= date.getTime();
    System.out.print(this.pcb.getPistas_interrompidas().size());
    System.out.print(" opens. (");
    System.out.print(((instante1-instante0)/1000.0));
    System.out.println(" secs.)");
}
```

## A.4 Cálculo da área crítica

```

public void CalcularAreaCritica(Camada camada, int tamanho_maximo defeito,
                               int resolucao){
    Defeito defeito;
    int p;
    int total_defeitos;
    int passo = 0;
    Vector pistas_a_testar = new Vector();
    Vector pistas_nao_testadas = (Vector)camada.getPistas().clone();
    Pista pista;
    String progresso=new String("");
    if( resolucao>1000000 || resolucao<1 ){
        p = 1000;
    }else{
        p = (int)(1000f/Math.sqrt(resolucao)); //pixels entre defeitos gerados
    }
    total_defeitos = (camada.getMax_x()-camada.getMin_x()+1)/p*(camada.getMax_y()-
        camada.getMin_y()+1)/p;
    System.out.print("Calculating critical area ");
    System.out.print(total_defeitos);
    System.out.print(" defects inserted... ");
    //instante de início dos cálculos
    Date date = new Date();
    long instante0= date.getTime();
    for( int y=camada.getMin_y(); y<=camada.getMax_y(); y+=p){
        //calcular percentagem de trabalho concluído
        for(int i=1; i<=progresso.length(); i++){
            System.out.print("\b");
        }
        progresso = String.valueOf(100*passo/total_defeitos)+"%";
        System.out.print(progresso);
        //colocar pistas a testar
        if( !pistas_nao_testadas.isEmpty() ){
            for(int i=pistas_nao_testadas.size()-1; i>=0; i--){
                pista = (Pista)pistas_nao_testadas.elementAt(i);
                if( pista.getMin_y()-tamanho_maximo defeito/2<y ){
                    pistas_nao_testadas.removeElementAt(i);
                    pistas_a_testar.addElement(pista);
                    continue;
                }
            }
        }
        //extrair faltas
        for(int x=camada.getMin_x(); x<=camada.getMax_x(); x+=p){
            defeito = new Defeito(x, y, tamanho_maximo defeito,
                Defeito.MATERIAL_EM_EXCESSO );
            this.ExtrairCCentrePistas(pistas_a_testar, defeito, p);
            passo++;
        }
        //retirar pistas a testar
        for(int i=pistas_a_testar.size()-1; i>=0; i--){
            pista = (Pista)pistas_a_testar.elementAt(i);
            if( pista.getMax_y()<y-tamanho_maximo defeito/2 ){
                pistas_a_testar.removeElementAt(i);
                continue;
            }
        }
    }
    date = new Date();
    long instantel= date.getTime();
    System.out.print("\b\b\b\b\b ");
    System.out.print(((instantel-instante0)/1000.0));
    System.out.println(" secs.");
    this.ColapsarFaltas(camada, true);
}

```

# Apêndice B

## Programas que implementam os algoritmos de análise indutiva de faltas

### B.1 Geração de defeitos

```
public void GerarDefeitos(Camada camada, int nr_defeitos, int tamanho_min,
                        int tamanho_max, int tipo defeito ){
    float rnd;
    int n;
    int diametro;
    int x;
    int y;

    if( tipo_defeito==0 ){
        System.out.print("Generating "+Integer.toString(nr_defeitos)+
            " 'non-conductive material' Defects... ");
    }else{
        System.out.print("Generating "+Integer.toString(nr_defeitos)+
            " 'conductive material' Defects... ");
    }

    Date date = new Date();
    long instante0= date.getTime();

    for( n=1; n<=nr_defeitos; n++ ){
        rnd= random.nextFloat();
        diametro= (int) (tamanho_min+rnd*(tamanho_max-tamanho_min));
        rnd= random.nextFloat();
        x= (int) ( camada.getMin_x()+rnd*(camada.getMax_x()-camada.getMin_x()));
        rnd= random.nextFloat();
        y= (int) ( camada.getMin_y()+rnd*(camada.getMax_y()-camada.getMin_y()));
        Defeito defeito= new Defeito(x,y,diametro,tipo_defeito);
        this.pcb.inserDefeito( defeito );
    }

    date = new Date();
    long instante1= date.getTime();
    System.out.print("(");
    System.out.print(((instante1-instante0)/1000.0));
    System.out.println(" secs.");
}
```



## B.2 Extracção de curto-circuitos entre pinos

```

public void ExtrairCCEntrePinos(){
    int indice defeito;
    int indice_pino;
    Defeito defeito;
    Pino pino_afectado_anterior;
    Pino pino;
    Vector pinos_afectados= new Vector();

    System.out.print("Extracting Shorts in Pins... ");
    Date date = new Date();
    long instante0= date.getTime();

    this.pcb.getFaltas_em_pinos().removeAllElements();
    for( indice defeito=0; indice defeito<this.pcb.getDefeitos().size();
        indice defeito++){
        defeito= (Defeito) this.pcb.getDefeitos().elementAt(indice defeito);
        pinos_afectados.removeAllElements();
        if( defeito.isMaterialExcesso() ){
            pino_afectado_anterior= null;
            for( indice_pino=0; indice_pino<this.pcb.getPinos().size();
                indice_pino++){
                pino= (Pino) this.pcb.getPinos().elementAt(indice_pino);
                if( CalculosGeometricos.DistanciaPinoPonto(pino,
                    defeito.getX(), defeito.getY()).getComprimento()
                    <defeito.getDiametro()/2){
                    if( pino_afectado_anterior!=null ){
                        for(int i=0;i<pinos_afectados.size();i++){
                            Pino pino_afectado= (Pino)
                                pinos_afectados.elementAt(i);
                            if( pino.getPista() ==
                                pino_afectado.getPista() ){
                                continue;
                            }
                            this.pcb.getFaltas_em_pinos().
                                addElement( new CurtoCircuitoPinos
                                    (pino_afectado,pino) );
                        }
                    }
                    pino_afectado_anterior = pino;
                    pinos_afectados.addElement( pino );
                }
            }
        }
    }
    date = new Date();
    long instante1= date.getTime();
    System.out.print(this.pcb.getFaltas_em_pinos().size());
    System.out.print(" shorts. (");
    System.out.print(((instante1-instante0)/1000.0));
    System.out.println(" secs.)");
}

```

### B.3 Extracção de curto-circuitos entre pistas

```

public void ExtrairCCEntrePistas(Camada camada){
    int indice defeito;
    int indice pista;
    Defeito defeito;
    Pista pista;
    Pista pista_afectada_anterior;
    Linha linha_pista_defeito;
    Linha linha_afectada_anterior;
    Vector pistas_afectadas= new Vector();
    Vector linhas_afectadas= new Vector();
    System.out.print("Extracting Shorts in Tracks... ");
    Date date = new Date();
    long instante0= date.getTime();

    this.pcb.getFaltas_em_pistas().removeAllElements();
    for( indice defeito=0; indice defeito<this.pcb.getDefeitos().size();
        indice defeito++ ){
        defeito= (Defeito) this.pcb.getDefeitos().elementAt(indice defeito);
        pistas_afectadas.removeAllElements();
        linhas_afectadas.removeAllElements();
        if( defeito.isMaterialExcesso() ){
            pista_afectada_anterior= null;
            linha_afectada_anterior= null;
            for( indice pista=0; indice pista<camada.getPistas().size();
                indice pista++ ){
                pista= (Pista) camada.getPistas().
                    elementAt(indice pista);
                linha_pista_defeito= CalculosGeometricos.
                    DistanciaPistaPonto(pista,defeito.getX(),
                    defeito.getY());
                if( Linha_pista_defeito.getComprimento() <=
                    (defeito.getDiametro()/2) ){
                    if( pista_afectada_anterior!=null ){
                        for( int i=0; i<pistas_afectadas.size();
                            i++ ){
                            Pista pista_afectada= (Pista)
                                pistas_afectadas.elementAt(i);
                            Linha linha_afectada= (Linha)
                                linhas_afectadas.elementAt(i);
                            Linha linha_defeito= new Linha
                                (linha_afectada.getX1(),
                                linha_afectada.getY1(),
                                linha_pista_defeito.getX1(),
                                linha_pista_defeito.getY1(),
                                10);
                            this.pcb.getFaltas_em_pistas().
                                addElement( new
                                    CurtoCircuitoPistas(pista_afectada,
                                    pista,linha_defeito) );
                        }
                    }
                }
                pista_afectada_anterior= pista;
                linha_afectada_anterior= linha_pista_defeito;
                pistas_afectadas.addElement( pista );
                linhas_afectadas.addElement( linha_pista_defeito);
            }
        }
    }
    date = new Date();
    long instante1= date.getTime();
    System.out.print(this.pcb.getFaltas_em_pistas().size());
    System.out.print(" shorts. (");
    System.out.print(((instante1-instante0)/1000.0));
    System.out.println(" secs.)");
    this.ColapsarFaltas(camada, false);
}

```



