

## **Resumo**

A pressão exercida por novos domínios de aplicação desencadeou uma tendência para a integração de circuitos digitais e analógicos num mesmo circuito integrado ou carta de circuito impresso. As restrições impostas pelas cartas de circuito impresso mais modernas, ao nível do acesso físico a nós de teste da carta, podem ser ultrapassadas pela utilização da infra-estrutura de teste normalizada IEEE 1149.4. Contudo, a utilização desta infra-estrutura tem um custo associado aos circuitos adicionais que a compõem, pelo que a sua inclusão deve ser justificada em termos de melhorias na testabilidade. O crescimento da complexidade das cartas de circuito impresso acarreta um aumento do número de teste a realizar, de forma a garantir níveis adequados de qualidade. Contudo, a aplicação de testes exaustivos não é compatível com o aumento de complexidade porque implica um crescimento exponencial do número de testes a realizar.

Perante estas dificuldades, e sendo o teste uma operação primordial para a satisfação de requisitos de competitividade no mercado, há necessidade de desenvolver novas metodologias capazes de testar eficientemente, em tempo e custo reduzidos, as novas gerações de cartas de circuito impresso. Torna-se por isso fundamental estudar e caracterizar os defeitos ocorridos no processo de fabrico de cartas de circuito impresso, de modo a otimizar o teste para a detecção dos defeitos de fabrico com maior probabilidade de ocorrência, reduzindo assim o tempo e o custo do teste.

Neste trabalho é proposta uma metodologia de análise e planeamento da testabilidade de cartas de circuito impresso, composta por dois módulos principais: um módulo de extracção de faltas, que trata a informação de testabilidade a nível do desenho da carta de circuito impresso, e um módulo de análise de testabilidade que, a partir das faltas de ocorrência mais provável, apresenta como resultado a selecção dos nós e dos estímulos de teste, de forma a garantir um determinado grau de testabilidade. Esta metodologia é materializada numa ferramenta de análise e planeamento da testabilidade de cartas de circuito impresso. São apresentados detalhes de implementação e os resultados obtidos com a aplicação da ferramenta.

## **Abstract**

New, demanding, high performance applications, where robustness and small size are also required, are responsible for a renewed interest in analogue circuit design. In fact, analogue circuits are more and more often found embedded in complex integrated circuits or printed circuit boards. Modern printed circuit boards greatly restrict the level of physical access to its internal nodes, thus requiring the use of electronic probes like the ones provided in the IEEE 1149.4 standard test infrastructure. However, the advantage of using this infrastructure comes at the cost of additional circuitry, therefore the use of a test infrastructure must be justified by the increased testability level achieved. Current assembly technologies allow for an increased number of interconnections in printed circuit boards,

thus requiring larger test sets to assure production quality. Besides simple boards, testing for all possible faults at the production test stage is too expensive, so reduced test sets must be used.

These difficulties justify the need for new methodologies that can increase the effectiveness of production tests, by making them defect-oriented, thus detecting the most probable defects occurred in the fabrication process and therefore minimising the number of tests and the number of nodes to be made accessible.

This work presents a methodology for testability analysis and planning of printed circuit boards, that is made of two main modules: a module for fault extraction, which leads with layout level information, and a module for testability analysis that performs a circuit level analysis that leads to a selection of test nodes and test stimuli. This methodology is implemented as a software tool for testability analysis and planning of printed circuit boards. Implementation details and results obtained are thoroughly described in this work.