

Resumo

O trabalho apresentado nesta dissertação incide sobre a concepção e realização de processadores dedicados em sistemas digitais reconfiguráveis, e aborda problemas fundamentais a partir de estudos desenvolvidos em torno de casos concretos. Os temas tratados abarcam o desenvolvimento de suporte para programação em alto nível, a selecção e construção de operadores dedicados, a optimização da configuração para uma arquitectura programável e reconfigurável e o desenvolvimento de raiz de um processador dedicado a uma aplicação específica, passando pelo estudo do problema, concepção da arquitectura e a sua implementação num novo sistema reconfigurável construído para essa aplicação.

A questão do desenvolvimento de suporte para programação em linguagens de alto nível é abordada no quadro de um processador dedicado programável por microcódigo, que foi construído para uma aplicação de controlo em tempo real. Foi adaptado um compilador de C para produzir instruções de baixo nível suportadas pelo processador estudado e foi desenvolvida uma aplicação para compactar o microcódigo executado pelo processador. Apesar de ter por objecto um processador dedicado a uma aplicação específica, a abordagem seguida é igualmente aplicável no desenvolvimento de ferramentas de suporte para programação em alto nível, adaptadas às características próprias de diferentes processadores dedicados programáveis.

Tendo por base o processador dedicado anterior é proposta uma arquitectura reconfigurável para um processador programável. Generalizando a arquitectura em que foi baseada, os seus operadores fixos foram trocados por unidades funcionais realizadas como circuitos programáveis do tipo FPGA. A reconfigurabilidade assim oferecida permite reunir num processador programável um conjunto de operadores bem adaptado às necessidades específicas de diferentes aplicações. Apresentam-se exemplos ilustrativos de situações onde o recurso a operadores construídos como circuitos lógicos desenhados expressamente para tarefas específicas pode conduzir a benefícios importantes de rapidez. Pelas características exibidas, a configuração da arquitectura proposta para uma aplicação específica requer uma abordagem de optimização conjunta dos problemas centrais de optimização de síntese de alto nível de circuitos digitais. Esse problema é tratado com uma aplicação que foi desenvolvida com base no algoritmo *Simulated Annealing*, permitindo considerar operadores com características muito genéricas, incluindo a capacidade de reconfiguração dinâmica suportada pelos FPGAs das gerações recentes.

Finalmente, é abordado o desenvolvimento de raiz de uma arquitectura optimizada para um problema concreto e a sua realização num sistema digital reconfigurável. Foi concebido um processador dedicado para a estimação de momentos de ordem superior que foi desenhado propositadamente para essa aplicação, explorando eficazmente as características próprias do problema estudado. Tendo por objectivo a realização, experimentação e afinação da arquitectura proposta, foi concebido e construído um novo sistema digital reconfigurável baseado em circuitos programáveis FPGA, no qual foi implementado e validado o processador dedicado desenvolvido.

Abstract

The work presented in this dissertation looks into the design and implementation of dedicated processors on reconfigurable digital systems, and addresses important problems that arise from developments around concrete case studies. High-level language programming support, selection and construction of dedicated operators, and optimized configuration of programmable reconfigurable processors are some of the problems that are addressed. The architectural design of an application-specific processor and its implementation on a special purpose reconfigurable system are also presented.

The issue of high-level programming support is tackled in the context of a microcoded dedicated processor that was developed for a real-time application. A general purpose C compiler was adapted in order to generate the low-level instructions executed by this processor, and a microcode compaction application was also built. Although these developments were targeted at a specific processor architecture the methods and techniques that are used are of interest in the general task of providing high-level language support for a wide range of application-specific programmable processors.

Inspired in this work, the architecture of a reconfigurable and programmable processor is presented next. In order to expand and add generality to the original architecture, the fixed set of operators is replaced with functional units realized on FPGA circuits. The reconfigurability thus offered allows building a processor whose set of operators may be adapted to specific tasks of different applications. Examples are presented illustrating situations where operators implemented as specially designed logic circuits can be used to speed-up the execution of certain tasks. The special characteristics identified in the configuration of this architecture require that the three central problems of high-level synthesis are addressed simultaneously in an integrated fashion. Based on this idea an application of Simulated Annealing was developed, allowing the consideration of operators with very generic characteristics that include the capability of dynamic reconfigurability found in modern FPGA circuits.

Finally, an application of digital signal processing involving the estimation of higher-order moments on long vectors of data, provided the basis of the specification of a dedicated processor that was designed from ground-up with the goal of exploiting the specific characteristics of the problem. It was implemented on a reconfigurable digital system that was built to offer a platform for the realization of the dedicated processor, and is also intended to serve as a target for the implementation of processors with similar general requirements. The results of this effort were found to be fully in line with the advantages of increased speed and greater flexibility that are to be expected from dedicated hardware implemented on a reconfigurable platform.