RESUMO

O aumento da complexidade dos circuitos integrados com integração em larga escala, associado aos avanços verificados durante os anos 80 nas técnicas de encapsulamento e montagem destes componentes, criaram dificuldades de teste que reduziram drasticamente a viabilidade dos equipamentos do tipo funcional e in-circuit, conduzindo ao desenvolvimento da norma IEEE 1149.1. Esta norma define uma arquitetura para o varrimento periférico e um porto de acesso ao teste, proporcionando uma infraestrutura de teste residente nos próprios circuitos integrados e que funciona de uma forma semelhante a uma matrizes-de-agulhas electrónica, permitindo a controlabilidade e observabilidade de qualquer pino, sem requerer acesso físico ao respectivo nó na carta de circuito impresso.

A aprovação da norma IEEE 1149.1, em 1990, bem como o generalizado aparecimento de componentes conformes com esta especificação, conduziram por sua vez ao interesse pela disponibilidade de controladores desta infraestrutura de teste, residentes nas próprias cartas de circuito impresso, com o objectivo principal de permitir a sua reutilização em várias etapas do ciclo de vida do produto, desde a depuração de protótipos até às operações de manutenção.

O trabalho apresentado nesta dissertação partiu do reconhecimento desta oportunidade e teve por objectivo desenvolver uma biblioteca de módulos em VHDL (uma linguagem de descrição de circuitos que é também norma IEEE), que facilita a implementação de diversas arquiteturas de controladores, de acordo com a utilização principal subjacente ao uso da infraestrutura de teste referida. Os módulos VHDL que integram esta biblioteca foram por sua vez desenvolvidos com o objectivo de proporcionar a síntese rápida para dispositivos programáveis, de modo a permitir a prototipagem rápida de qualquer arquitectura.
ABSTRACT

The increasing complexity of VLSI (Very Large Scale Integration) circuits, together with the new packaging and mounting technologies that were developed during the 80s, contributed drastically to reduce the usefulness of functional and in-circuit test equipment, leading to the development of the IEEE standard 1149.1. This standard defines a boundary scan (BS) architecture and test access port, providing a test infrastructure embedded in complex integrated circuits and similar to an electronic bed-of-nails, which allows controllability and observability of any pin, without requiring physical access to its respective node in the printed circuit board.

The approval of this IEEE 1149.1 Standard, in 1990, together with the wide availability of components compliant with this specification, led in turn to an interest for the availability of dedicated controllers for this test infrastructure, embedded in the printed circuit boards, with the main goal of enabling its reuse throughout several stages of the product life cycle, from prototype debugging to in-field maintenance.

The work presented in this thesis originated from this opportunity and had for main objective the development of a library of VHDL (VHSIC Hardware Description Language, another IEEE standard) modules for the implementation of various controller architectures, according to use envisaged for the BS test infrastructure. The VHDL models comprising this library were in turn developed with the objective of providing a quick route to the synthesis into field-programmable logic arrays (FPGAs), in order to enable the rapid prototyping of any of these architectures.