

Resumo

O tema principal desta tese consiste na arquitectura de um controlador de teste para CCI's com BST, e na geração automática do respectivo programa de teste.

A arquitectura proposta para o controlador suporta um conjunto de instruções que implementam directamente as operações elementares identificadas para controlar a infraestrutura BST presente numa CCI. Esta arquitectura admite a existência de uma ou duas cadeias BST na CCI a testar, e proporciona igualmente os recursos necessários para estabelecer o sincronismo com um equipamento de teste exterior, responsável pelo acesso aos pinos de E / S primária.

O próprio controlador pode também dispor de uma infraestrutura BST, incluindo os blocos destinados a permitir que a inicialização e controlo tenham lugar a nível local (na CCI), ou a partir de um outro controlador residente a um nível hierárquico superior. Esta estratégia permite que o mesmo controlador seja empregue a vários níveis, sendo a comunicação entre controladores em níveis diferentes efectuada através das respectivas infraestruturas BST.

A arquitectura do controlador é apresentada de forma modular, de modo a tomar possível a distinção entre o seu núcleo central (constituído por um processador dedicado), e os blocos que permitem a interacção com um barramento de teste a nível hierárquico superior. Esta aproximação permite uma identificação clara dos blocos que deverão sofrer modificações, caso se pretenda suportar outro barramento de teste a nível do sistema/subsistema. Por outro lado, e nos casos em que não se pretenda uma estratégia de teste hierárquica, a implementação do controlador de teste poderá restringir-se ao seu núcleo central, com reduções em termos de complexidade. Esta possibilidade pode revelar-se com interesse, sobretudo se a implementação como um componente programável localmente (do tipo FPGA, Field Programmable Gate Array) for viável. A geração do programa de teste é feita de forma automática, e toma como pressuposto que os modos de operação proporcionados pela infraestrutura BST presente em cada componente não ultrapassam as três instruções obrigatórias (Bypass, Sample/Preload, Extest), e as quatro instruções opcionais (Idcode, Usercode, Intest, Runbist), descritas na norma BST (IEEE Std 1149.1, 90). O impacto provocado pela existência de modos de operação mais poderosos é também discutido.

A geração automática do programa de teste (GAPT) suporta as três etapas principais do protocolo de teste para CCI's com BST, que consistem no teste da infraestrutura BST da CCI, no teste das ligações, e no teste de componentes. A etapa correspondente ao teste de ligações inclui igualmente o teste das ligações pertencentes a grupos de componentes não BST, para os quais devem ser gerados exteriormente os respectivos vectores de teste.

O fluxo de dados para cada uma das etapas referidas é descrito, e identifica-se a informação mínima que permite a geração dos respectivos segmentos no programa de teste. Os procedimentos principais empregues em cada uma destas etapas são especificados através de uma pseudo-linguagem de alto nível.

Após o enquadramento geral que foi proporcionado pelo capítulo 1, efectua-se no capítulo 2 uma apresentação sumária dos conceitos principais relativos à tecnologia BST. Esta apresentação inclui uma abordagem às suas limitações principais, e termina com uma referência à sua importância relativamente aos três cenários principais considerados: desenvolvimento e verificação de protótipos, teste de produção, e operações de manutenção.

O teste de CCIs com BST é descrito no capítulo 3, e tem por objectivo principal a caracterização das três etapas principais do respectivo protocolo: teste da infraestrutura BST, das ligações, e dos componentes. A presença de grupos de componentes não BST é considerada, e são discutidas as estratégias possíveis para a realização do respectivo teste.

O capítulo 4 é exclusivamente dedicado ao teste das ligações em CCIs com BST. O facto de ter constituído o objectivo principal que presidiu ao desenvolvimento desta tecnologia de teste justifica que o tratamento deste tema tenha lugar em capítulo próprio. Este capítulo inclui como parte principal uma descrição comparativa dos algoritmos destinados à geração de vectores para a detecção de curto-circuitos entre ligações.

O capítulo 5 efectua a apresentação global do trabalho realizado, quer no que respeita à arquitectura do controlador, quer relativamente à geração automática do programa de teste. A apresentação que é efectuada neste capítulo serve como introdução para uma descrição mais detalhada em cada um destes domínios principais, que terá lugar nos dois capítulos seguintes.

A arquitectura do controlador desenvolvido constitui o tema principal do capítulo 6. Os blocos fundamentais são aqui descritos, sendo também apresentada a especificação da sequência de transição de estados correspondente a cada uma das instruções suportadas.

O capítulo 7 efectua a apresentação da geração automática do programa de teste (GAPT). A caracterização do fluxo de informação para cada uma das correspondentes etapas, a especificação dos procedimentos principais empregues, e a integração do conjunto de vectores gerados, de modo a produzir um programa de teste final, constituem as partes principais deste capítulo.

Os resultados obtidos, e as perspectivas de trabalho futuro, são apresentados no capítulo 8.

O controlador de teste proposto neste trabalho foi fabricado como um componente LCC com 68 pinos (CMOS, 1.5 μ), cujas características são apresentadas no anexo A.

O anexo B ilustra uma aplicação concreta para este controlador, relativamente a uma CCI simples, mas que exemplifica os casos mais complexos presentes em CCIs de maior dimensão (duas cadeias BST, e grupos de componentes não BST). O programa de teste gerado para este caso está igualmente incluído neste anexo.